



Laboratório 3 **- CPU RISC-V UNICICLO -**

Objetivos:

- Treinar o aluno com a Linguagem de Descrição de Hardware (HDL) Verilog;
- Familiarizar o aluno com a plataforma de desenvolvimento FPGA DE1-SoC da Intel e o software QUARTUS Prime;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando uma HDL;
- Implementar uma CPU Uniciclo compatível com a ISA RV32I reduzida;

PARTE A: Apresentação do ambiente de desenvolvimento, ferramentas e interface do processador

1) (0.0) Apresentação da plataforma de desenvolvimento.

Faça o download do arquivo Lab3.zip . Abra e leia o arquivo RISCv-v23/Docs/RISCv-v23.docx.

Restaure o projeto do processador RISCv-v23 e carregue o arquivo TopDE.sof no kit DE1-SoC.

1.1)(0.0) Com as chaves SW[9:0]=10'b1000000000, execute o programa *default* (*testeECALLv21.s*) já presente na memória do processador.

Com as chaves SW[9:0]=10'b1000000010, execute novamente o programa *default*. O que ocorreu?

1.2)(0.0) Carregue o programa focafofa.s (System/TestesDE1) no Ras16_Custom1, analise e execute. Gere os arquivos .mif e carregue-os na DE1-SoC usando no menu Tools/In-system Memory Content Editor e importando os respectivos arquivos. Execute em uma frequência baixa (slow), visualizando os registradores, e em passo a passo.

1.3)(2.0) Modificando as seleções no arquivo Parametros.v e recompilando o processador, faça duas tabelas comparativas dos requerimentos físicos e temporais das CPUs UNICICLO com as ISAs RV32I, RV32IM, RV32IMF e a Reduzida vista em aula RV32Red, gerando os arquivos Uniciclo_RV32I.sof, Uniciclo_RV32IM.sof, Uniciclo_RV32IMF.sof e Uniciclo_RV32IRed.sof.

ISA	Número de ALMs	Número de Registradores	Quantidade de bits de memória	Número de DSPs
RV32I				
RV2IM				
RV32IMF				
RV32Red				

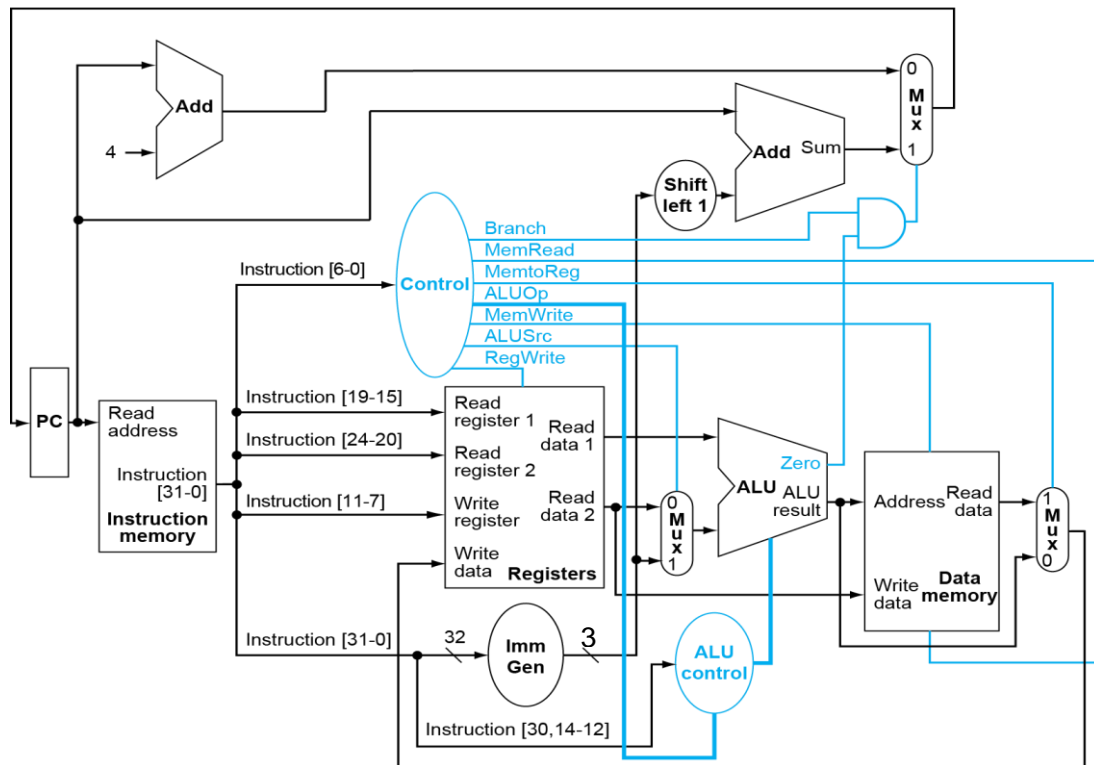
ISA	maior atraso tpd	maiores tempos tco	maiores tempos th	maiores tempos tsu	máxima frequência de clock utilizável
RV32I					
RV2IM					
RV32IMF					
RV32Red					

Comente os resultados obtidos.

1.4)(1.0) Com os arquivos .sof gerados no item 1.3) verifique se o seu programa do Entregador de Pizza é executado corretamente em todas as 4 ISAs. Explique caso ocorra algum erro. Filme as 4 execuções na maior frequência de clock possível.

PARTE B: Processador RISC-V Uniciclo com ISA Reduzida

2) Implemente o processador Uniciclo com ISA reduzida apresentado em aula (ISA32Red), com as instruções: add, sub, and, or, slt, lw, sw, beq, jal.



2.1) (0.5) Implemente o Banco de Registradores (3 leituras simultâneas)

Stack pointer inicial: 0x1001_03FC Global pointer inicial: 0x1001_0000

2.2) (0.5) Implemente o Gerador de Imediatos

2.3) (0.5) Implemente as Memórias de Instruções (1024 words) e de Dados (1024 words)

Endereço inicial do .text: 0x0040_0000 Endereço inicial do .data: 0x1001_0000

2.4) (0.5) Implemente a ULA mínima necessária (add, sub, and, or, slt, zero)

2.5) (0.5) Implemente o Controlador da ULA

2.6) (0.5) Implemente o Bloco Controlador

2.7) (2.0) Implemente o Processador Uniciclo completo. Obtenha o netlist RTL view.

2.8) (1.0) No diretório Auxiliar tem o TopDE.v com a interface que:

Usa o fdiv.v com as chaves SW[4:0] para dividir o clock de 50MHz para o processador.

De acordo com as chaves SW[9:5] mostra nos displays hexadecimais decoder7.v o valor do respectivo registrador.

Caso $\sim\text{KEY}[1]=1$ mostra o valor de PC e caso $\sim\text{KEY}[2]=1$ mostra a instrução e $\sim\text{KEY}[0]=1$ faz o reset do processador (PC=0x00400000 e todos os registradores como 0).

2.9) (1.0) Escreva um programa testeRed.s que teste a corretude de todas as 9 instruções, execute na maior frequência possível pela divisão das SW[4:0], filme e explique a execução.

No arquivo GrupoX_Lab3.zip a ser enviado no Moodle coloque apenas:

- (i) o arquivo GrupoX_Lab3.pdf do relatório;
- (ii) o arquivo Uniciclo_RV32Red.qar, com o programa do item 2.9) como default nos arquivos de1_data.mif e de1_text.mif :