



## **Laboratório 4** **- CPU RISC-V MULTICICLO -**

### **Objetivos:**

- Treinar o aluno com a Linguagem de Descrição de Hardware (HDL) Verilog;
- Familiarizar o aluno com a plataforma de desenvolvimento FPGA DE1-SoC da Intel e o software QUARTUS Prime;
- Desenvolver a capacidade de análise e síntese de sistemas digitais usando uma HDL;
- Implementar uma CPU Multiciclo compatível com a ISA RV32I reduzida;

1) (0.0) Faça o download do arquivo Lab3.zip . Restaure o projeto do processador RISC-V-v23, coloque o programa focafofa.s como default (de1\_data.mif e de\_text.mif), compile e realize a simulação com a Waveform2.vwf

1.1) (0.0) Carregue na DE1 o processador compilado e altere o programa da placa para o testeSYSCALLv21.s

Com as chaves SW[9:0]=10'b1000000010, execute o programa, filme.

Com as chaves SW[9:0]=10'b1000000001, execute novamente o programa, filme. O que ocorreu?

1.2) (2.0) Modificando as seleções no arquivo Parametros.v e recompilando o processador, faça duas tabelas comparativas dos requerimentos físicos e temporais das CPUs MULTICICLO com as ISAs RV32I, RV32IM, RV32IMF e a Reduzida vista em aula RV32Red, gerando os arquivos Multiciclo\_RV32I.sof, Multiciclo\_RV32IM.sof, Multiciclo\_RV32IMF.sof e Multiciclo\_RV32IRed.sof.

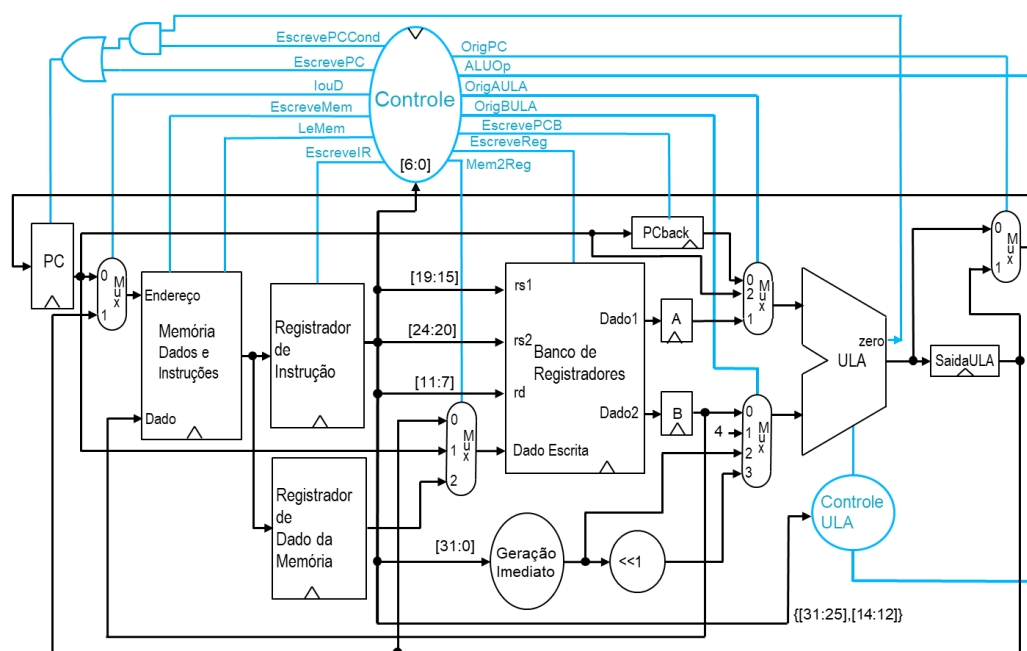
ISA	Número de ALMs	Número de Registradores	Quantidade de bits de memória	Número de DSPs
RV32I				
RV32IM				
RV32IMF				
RV32Red				

ISA	maior atraso tpd	maiores tempos tco	maiores tempos th	maiores tempos tsu	máxima frequência de clock utilizável
RV32I					
RV32IM					
RV32IMF					
RV32Red					

Comente os resultados obtidos.

1.4) (1.0) Com os arquivos .sof gerados no item 1.3) verifique se o seu programa do Entregador de Pizza é executado corretamente em todas as 4 ISAs. Explique caso ocorra algum erro. Filme as 4 execuções na maior frequência de clock possível.

2) Implemente o processador Multiciclo com ISA reduzida apresentado em aula (ISA32Red), com as instruções: add, sub, and, or, slt, lw, sw, beq, jal.



2.1) Os blocos Banco de Registradores, Gerador de Imediatos, ULA, controlador da ULA são os mesmos do processador Uniciclo.

a) (1.0) Implemente as Memórias Unificada (2048 words, 1024 para data e 1024 para text)

Endereço inicial do .text: 0x0040\_0000    Endereço inicial do .data: 0x1001\_0000

b) (2.0) Implemente o Bloco Controlador. Desenhe a máquina de estados do controle.

c) (2.0) Implemente o Processador Multiciclo completo com os registradores auxiliares. Obtenha o netlist RTL view.

2.8) (1.0) Modifique levemente o TopDE.s do Processador Uniciclo:

- Use o fdiv.v com as chaves SW[4:0] para dividir o clock de 50MHz para o processador.
- De acordo com as chaves SW[9:5] mostre nos displays hexadecimais decoder7.v o valor do respectivo registrador.
- Caso  $\sim\text{KEY}[1]=1$  mostra o valor de PC e caso  $\sim\text{KEY}[2]=1$  mostra a instrução (IR) e  $\sim\text{KEY}[0]=1$  faz o reset do processador (PC=0x00400000 e todos os registradores como 0, menos o sp e o gp).
- Mostre nos LEDR[3:0] o estado atual da máquina de estados.

2.3) (1.0) Use o mesmo programa testeRed.s e teste a corretude de todas as 9 instruções, execute na maior frequência possível pelas divisões das SW[4:0], filme e explique a execução.

No arquivo GrupoX\_Lab4.zip a ser enviado no Moodle coloque apenas:

- o arquivo GrupoX\_Lab4.pdf do relatório;
- o arquivo Multiciclo\_RV32Red.qar, com o programa do item 2.3) como default nos arquivos de1\_data.mif e de1\_text.mif ;