



UNIVERSIDADE DE BRASÍLIA
Organização e arquitetura de computadores

Relatório Laboratório 3

Grupo 3

Davi Mansur Costa - 211042701
Hagatta Giovanna Nogueira de Sousa - 190088508
Leonardo Ramos Barbosa - 211010360
Maria Eduarda Alves de Sousa - 190113219
Pedro Brum Tristão de Castro - 202067470

1.3)(2.0) Modificando as seleções no arquivo Parametros.v e recompilando o processador, faça duas tabelas comparativas dos requerimentos físicos e temporais das CPUs UNICICLO com as ISAs RV32I, RV32IM, RV32IMF e a Reduzida vista em aula RV32Red, gerando os arquivos Uniciclo_RV32I.sof, Uniciclo_RV32IM.sof, Uniciclo_RV32IMF.sof e Uniciclo_RV32IRed.sof.

ISA	Número de ALUTs	Número de Registradores	Quantidade de bits de memória	Número de DSPs
RV32I	3171	1616	0	0
RV2IM	8070	1616	0	12
RV32IMF	11341	4126	47716	18
RV32Red	702	1147	65536	0

ISA	Maior atraso tpd	Maiores tempos tco	Maiores tempos th	Maiores tempos tsu	Máxima frequência de clock utilizável
RV32I	29.155	44.189	6.787	15.467	101.09
RV2IM	29.899	20.770	7.131	22.046	103.1
RV32IMF	26.492	127.947	7.202	25.205	90.67
RV32Red	19.229	5.883	0.762	3.283	94.03

1.4)(1.0) Com os arquivos .sof gerados no item 1.3) verifique se o seu programa do Entregador de Pizza é executado corretamente em todas as 4 ISAs. Explique caso ocorra algum erro. Filme as 4 execuções na maior frequência de clock possível.

R: Na ISA **RV32IM** ocorre um erro logo depois que a primeira linha é desenhada, isso ocorre porque usamos instruções de ponto flutuante para calcular a distância entre as casas e a ISA não suporta essas instruções.

Já na ISA **RV32I** o erro ocorre no procedimento de SORTEIO, pois usamos uma instrução de REM e essa ISA não suporta essa instrução.

2) Implemente o processador Uniciclo com ISA reduzida apresentado em aula (ISA32Red), com as instruções: add, sub, and, or, slt, lw, sw, beq, jal.

2.1) (0.5) Implemente o Banco de Registradores (3 leituras simultâneas)
Stack pointer inicial: 0x1001_03FC Global pointer inicial: 0x1001_0000

2.2) (0.5) Implemente o Gerador de Imediatos

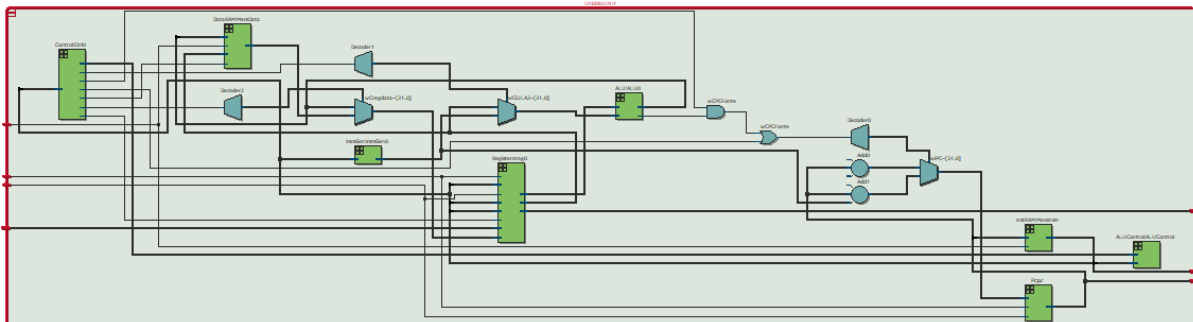
2.3) (0.5) Implemente as Memórias de Instruções (1024 words) e de Dados (1024 words)
Endereço inicial do .text: 0x0040_0000 Endereço inicial do .data: 0x1001_0000

2.4) (0.5) Implemente a ULA mínima necessária (add, sub, and, or, slt, zero)

2.5) (0.5) Implemente o Controlador da ULA

2.6) (0.5) Implemente o Bloco Controlador

2.7) (2.0) Implemente o Processador Uniciclo completo. Obtenha o netlist RTL view.



2.8) (1.0) No diretório Auxiliar tem o TopDE.v com a interface que:

Usa o fdiv.v com as chaves SW[4:0] para dividir o clock de 50MHz para o processador.

De acordo com as chaves SW[9:5] mostra nos displays hexadecimais decoder7.v o valor do respectivo registrador.

Caso ~KEY[1] =1 mostra o valor de PC e caso ~KEY[2]=1 mostra a instrução e ~KEY[0]=1 faz o reset do processador (PC=0x00400000 e todos os registradores como 0).

2.9) (1.0) Escreva um programa testeRed.s que teste a corretude de todas as 9 instruções, execute na maior frequência possível pelas divisão das SW[4:0], filme e explique a execução.

Link para o vídeo: <https://youtu.be/hISOIWFVIm0>