

ENGENHARIA DE COMPUTAÇÃO

ARQUITETURA E ORGANIZAÇÃO BÁSICA DE COMPUTADORES – TEORIA

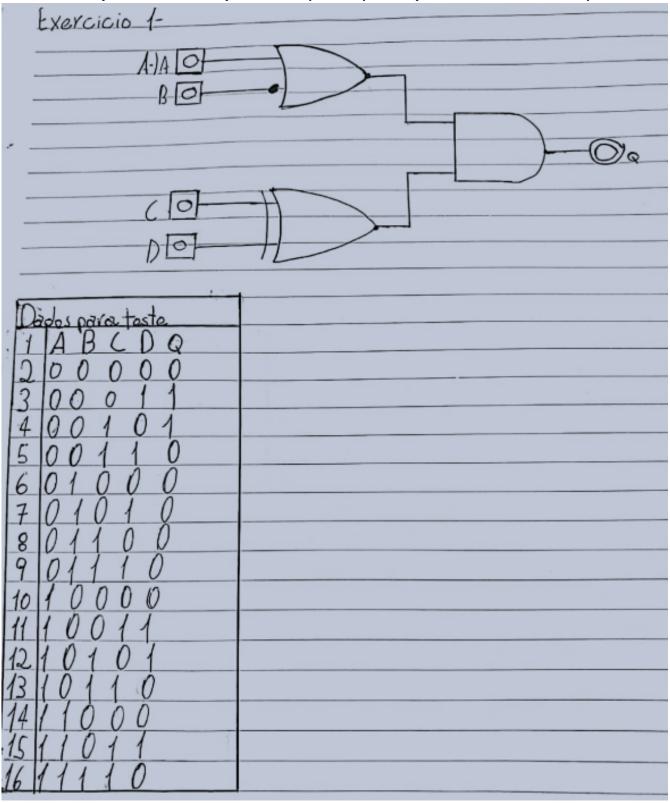
Exercícios: Listas 4, 5 e 6

Turma: CP300TIN2

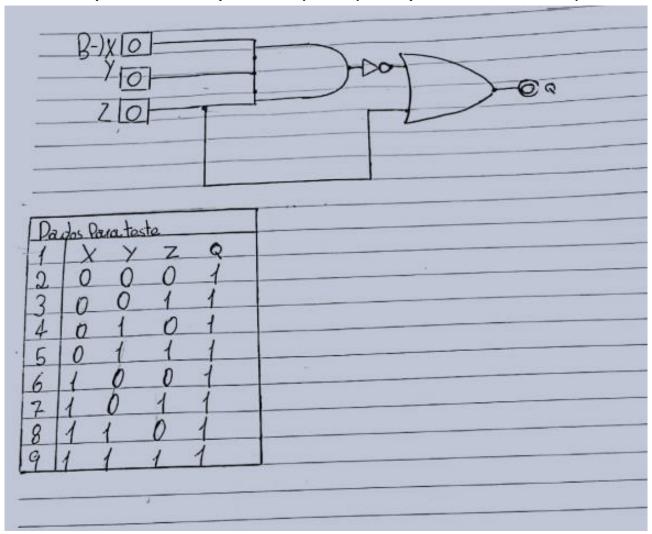
João Pedro de Oliveira Grangeiro - 222507 Leonardo Rossi de Oliveira - 222410 Lucas Camargo Oliveira - 222231 Natã Camargo Oliveira - 210399

Professor: Rafael Rodrigues da Paz

Arquitetura de computadores (Lista 4) – Respostas: Exercícios 1-A)



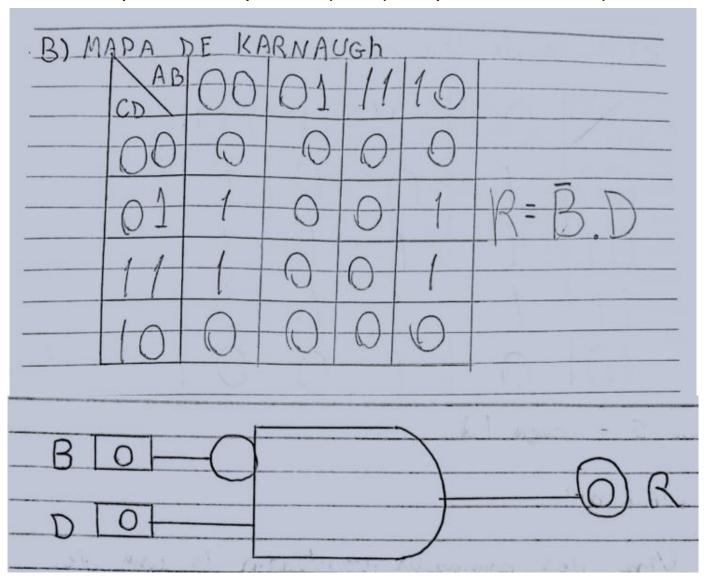
Arquitetura de computadores (Lista 4) – Respostas Exercícios 1-B)



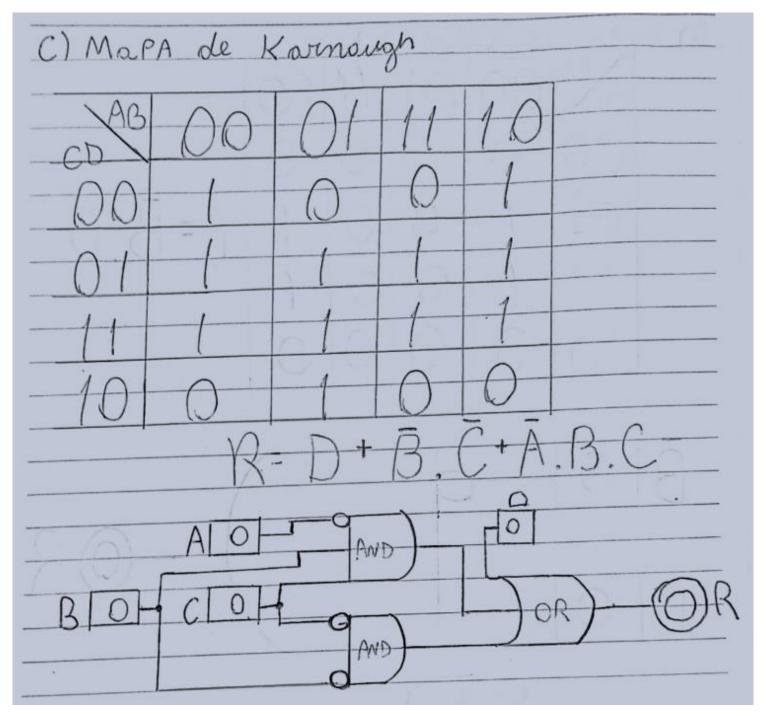
Arquitetura de computadores (Lista 4) – Respostas Exercícios 2-A)

Enerclas 2-	. V.		h 000	TO cotioning of
	Nors	nomy		ra setimizor o
CD 00	01	11	10	
00 0	1		0	0.00
010	1	1	0	TSD.C_
100	0	0	0	
B 10 -				Junear Mil or other man
CIO	-0	4	asta i	P (9) R
- L 241.4		3		1073 June 1971

Arquitetura de computadores (Lista 4) – Respostas Exercícios 2-B)



Arquitetura de computadores (Lista 4) – Respostas Exercícios 2-C)



Arquitetura de computadores (Lista 4) – Respostas: Exercício 3

Exercici	10 B-				
-	Clock	2	K	Qm+1	
2	0	_×_	_X_	Qm	
3	1	_0_		Ò	
4			_!_		
5		1		Qn'	
112					

Lista 5 - Grupo 12
Exercício 1-
R: Uma dos principais vontogens do use pla organitatura Horward em CPUS e microcontrolledo res l'a reparação físico dos cominhos de instruções e dodes. Isso permite que a basca de instruções e a recuperação de dodos sejam realizados simultaneamente o que resulta em um melhor desempenho em termos
de relociosole de Isaculção.
2. A-) o programa faz um los pde 0 até 10
Explicação: 100-> ac = 0 101-> ac = 0+1
101-> ac = 0+1 102->902=1
103-7 ac=1-10 104-7 ac==0-0 (booleand)
105->ac=1
106-7 pc=101 (loop outé ac==10) 104-7 ac==0->1 (bankano)-> 0(=107
104-2 ac==0->1(booleanol->ρc=107 107-> Fim

Arquitetura de computadores (Lista 5) – Respostas: Exercício 2-B)

/ A quitotal a de compatade les (Lieta e) - Respectael Exercicle 2 2)
01
B-)
pc:101
bic:noll
//valoves a serem-multiplicados
901=3
902=0
1/decremento
903=1
100-> 7[000]
//0 0
//função principal
1/-1 ->
_l/checa se algum vomero for 0 101→1[900]
102-> 5[100]
103->1[901]
104->5[100]
//soma 901 em 902 à lé que 900 se ja 0
[V3-3[40]]
106-72[903]
107-71[900]
108->4[903]
109->2[900]
110-7 6[101]

Exercícios
1-1 Considere um computador ele 8 fios para o barramentose el dados e 20 fios paros o barramento de endereços e seu barramento rodognelo em 66 MHz.
dados e 20 fios paros o barramento de enderecos e seu barramen
to rodowalo em 66 MHz.
a-2 Qual taxa de lavaura de banda?
R: doiobs: 8 fios
66MHz
*
- Taxa de largura de bandon: nº de fios de barramento de dados X frequênción de operação
trequencial de operação
7 11 - 00 V//MI
-Taxà de largura de banda: 8 fios X 66MHz
14411 1.000 00011
1MHz=1.000.000 Hz
The state of the s
-Taxa de largura de barnola = 8 fins X 66.000.000 = 528.000.000 bps = 528 Mbps
-x-
b-2 Qual é a capacidade de memoria ob compotador? R: dados: 20 fios 2 estados: 0 ou 1, assimtendo duas opções para cada bit de
R: dados: 20 fios
2 estados= O ou 1, assimtendo duas openes para cada bit de
barramento
-Acapacidade de memória de computador é determinador pela muttiplicación da copacidade de endereçamento pelo tamanho do barramento do dados.
-Acapacioade de memoria acomprado de la colo tama una de harra mente de
ção da copacidade de endereçamento pero tamano o
06008.
8 bits = 1 byte
oused
2 ²⁰ =1.048.576
1.048.576×1=1.048.576=1MB

Arquitetura de computadores (Lista 6) – Respostas: Exercício 1-C)

(-) Quais são às melhorias possíveis de Pazar no barramento?
C-) Quais são as melhorias possíveis de fazer no barramento? -Aumentar à largura do barramento de modo a se terummaior números de fios, de 8 para 16,32 ou alé mesmo 64 fios, assim permitinob um transforência de dados mais vápida e eficiente
números de Gos, de 8 rara 16.32 ou alé mesmo 64 fios, assim
sermitions um transferência de da des mais vasida e eficiente
Torring of the control of the contro
-Aumentar à largura do bavramento de endereços, pois isso parmit vià um àcesso à uma quantidade maior de memória e dispo
vid um acesso à uma quantidade maior de memória e dispo
sitivos.
1 1 2 1 1 2 1 1 2 1 1 2
Aumentar à treguencia de clock. a diferação pode melhorar
· Aumentar a frequência de clock. Tal alteração pode melhorar a taxa de transferência de dados. No entanto deve-se considerou
as timitorções dos outros componentes do sistema, como a memória e
as timitorções dos outros componentes do sistema, como a memória e a copacidade dos dispositivos conectados ao barramento.
20/200
Frovas
Pagaran - Pagara

Exercícios:					1.1	^
2-Considera	e o program	a abaix	o: Conside	ve o coi	npulado	or; Os
VACCIOTARA	ne AC JAC.PC	P. tormal	o instrução			
-1 bute pa	voi Operación	e.3bytes	para valor,	onde ope	racas:	
·1- Cari	vor Operación	memor	ia (AC-MLV	ALORJ)		
·)-(2ray	a Al now m	emoria (1 ILVALOR =	ALU		
-3-Soma	em ACobi	memóri	a (AC=AC+1	TWALORY		
-4-Retor	na de inte	rrupção				
·5-Desli	gà o compu	tador	, ,	OUIL /	1 .	1 ~
· Considera	o clock do	comput	ador sevor	8KH2(e	.caoa in	strucção
· Considera • Considera • Executa em	1 cido de cl	ock)			1	1
· Em tempo	T= 0.0005 ec	orre um	a interrupa	ão exec	tot a vol	inol no
endereço 50	2			,	1	
· a-l Execute	tooks osp	assos ex	nostre à m	ubança o	da memo	srial reg
7 - 1 011	4.3					
· b-2 Situação	final de n	nemória	eregistrao	lores		
					٥	
100 1 900	105	3901	900	0000	120	NAME OF TAXABLE PARTY.
101 3901	106	2902	901	0001	AC IR	
102 3 901	107	5902	902	0010	IR_L	
103 3901	500	1902	903		0"	
104 3901	501	2903			Pilha	
107 10101		4000				
	500					
od R:						
	- 662		Registra	doves		
	pária.		TPC 100			
900	0001		AC 0000			
901	0001		10 1			
902	0010					
903			TD/ TIM	1		
			1/ 1001			
			AC WOL			
			11/4/15			
				-)		SIII

Arquitetura de computadores (Lista 6) – Respostas: Continuação do exercício 2-A)

Memoria	Registradores PC 102 AC 0010 IR 3	
1.1617.01.100	PC 300	
1+	AC 0010	
	IR 3	
	шого	
ia .	DC 103	
	PC 103 AC 0011	
	IR 3	
	11/012	
	PC 104	
	AC 0100	
	IR 3	
	Dalcon	[104]
	PC 500 AC 0050	0100
	AC 10050	2
	IR. 1	
	10/150/	
00 0000	PC 501	104
01 0001	AC 0010	0100
02 0010	IR 2	3
03 0010		
03 [0010]	P(502	104
	1/ 0010	0100
	ID 4	3
		-
	D/ 100	
	PC 105 AC 0101	
	AC 10101	
	IR 3	

Arquitetura de computadores (Lista 6) – Respostas: Continuação do exercício 2-B)

Memória	Begistvædores PC 106
900 0000	1/ NO1
901 0001	10 2
902 0101	in i
903 10010	DC 107
	A(0101
	IR 5
-X-	
	*
2.6-2 Memorial	Registroidores
900 0000	PC 107
901 0001	AC 0101
900 0011	IR S
903 0010	
10310010	

Exercícios:
3-Lavordo principal objetivo em utilizar interrupções para Els?
R: O principal objetivo em utilizar interrupções para entrada e saída E/S em sistemas de computação é melhorar a eficacia e à capacidade de respostor do sistemo. As interrupções permitem que os dispositivos perifericos solicitam a atenção do processador quando estão prontos para E/S.
e à capacidade de respostor do sistemor.
à atenção do processador quando estão prontos paros Els.
funcionamento: Quando um dispositivo precisa transmilivou receber dado, ele envia um sinal de intervupção ao processador, intervompendo a execução
ele envia um sinal de interrupção ào processãobr, interrompendo a execução
normal do programa em anobmento. U processador então salvol o estado
normal ob programa em anobmento. O processador então salvoi o estado atual ob programa em anobmento, atende à interrupção e lioba com a solicitação do dispositivo. Após à conclusão da operação de ElS, o proces sador retorna ao programa original a partir do ponto emque foi interrupção
interrompido.
The state of the s
4-20 que é atroca de contexto e por que é necessária?
2: A troca de contexto, refere-se ào processo de interromper à execução de uma tarefa ou processo e passar para outro tarefa ou processo. A troca de contexto é necessário em sistemas mutilarefas para per la troca de contexto é necessário em sistemas mutilarefas para per la concernante.
de uma tareta ou processo e passar para cutra tareta ou processo.
A troca de contexto é necessarior em sistemas multilaretas para per
mente, ou sexa, para que cada um tenha sua fatia de tempo de proceso terio de ser concluido antes
- To Owner Compray (Olay woo asking of the
processamento eumor experiência de usuario lentor e mão vesponsiva.
v

LXEICICIOS:
5-2 Porque a técnica DMA deixa à magima/comptador mais
eticiente?
ON I
R: Normalmente, em um sistemoi sem DMA, à CPU é vesponsavel por
gerenciour tooks às operações de E/S, aque pook ser um processo lentre.
ineficiente, pois à CPU precisor esperar que os dados sevantivante
gerencioù toolas às operações de E/S, oque poob ser um processo lento e ineficiente, pois à CPU precisor esperar que os obabs sevam transfe riobs entre os dispositivos e à memorial antes de poder prosseguir
to the contract of the contract of the contract of the
Le vesponsavel por coordenar a transférência direta de dade
erire dispositivos ememoria. Sem a voca ssida de no envelvimento
considered City. A CPU apenas configurar econtroloxoby DIVIA
perfor inicional transtavacia de dados e pode contincar executando
outros tarefas enquanto à troinsférência ocorre em segundo plano.
6-2 Cite três protocolos utilizados em barramentos e duos característicos
de cada um.
Sc. · Universal Serial Bus (USB):
-Plua and Plau: o USB suporter a funcionalielorde Plus and Pau.
-Plug and Play: o USB suporter à funcionalielorde Plug and Play, oque significa que os dispositivos podem ser conectados a desconeda_ obs enquanto o sistema esta emerecução sem a necessidade ak
che anarante a sistema esta eme vacina sema vacassidade ale
Vaince a line con
Veinicialização. -Velociolade de Transferência: O USB oforece vavias velociolades
-/ L C 2 / / / (100 0 / 100 0 / 100) 1
de tranferência de dados, com USB 2.0, USB 3.0 e USB 3.1, que permi_ Tem taxas de tras ferência de dados mais vápidas.
lem Taxas de Trasterência de dados mais vápidas.
-11
• Ethernet:
- Compatibilidade de rede: O protocolo Ethernet: é d'amente
compative com uma ampla gama de dispositivos de rede, permitindo
- Compatibilidade de rede: O protocolo Ethernet: é atlamente compatível com uma ampla gama de dispositivos de rede, permitindo acomunicação entre computaçobres, voteadoves, suriches e actuas equipa
mentos de rede.
men los de rede.

Arquitetura de computadores (Lista 6) – Respostas: Exercício (continuação) 6 e 7

- Escalabilidade: A Tecnologia Ethernet e altamente escalaivel, permitinde
que às vedes seyam dimensionadas facilmente, adicionando mais dispo
Sitivos ou aumentanob à lavoura de banoba conforme necessário.
· Serial ATA (SATA):
-Alta velociolade transferêncios: O protocolo SATA oférece altos velocida des eletransferência de dados, permitindo taxas de transferência de
até 66 bps, oque otornoù a obquado parron a transferêncior de daobs
mais vápida de granobs arquivos emídios digital.
- Conexões aprimoradas: O SATA oferece conectores e cabas mous simple
e compactos em comparação com as inforfaces mais antigois, facili
tando a instalação e melhonando a circulação ob ar dentro do goibinete
-x- '
Exercícios:
Exercícios: 7-2 Quantas vezes por ciclo são verificadas as interrupções? Em quan
L Cuantas vezes por ciclo salo veriticadas as interrupçes : em quan
momentos?
R: Em um processador típico, ors interrupções são varificardas continamente, votriors vezes por ciclo de clock, podendo ocorrer em vários
mente variors vezes por ciclo de clock, podendo ocorrer em vários
momentos durante a execução de um programa, exemplo:
* No God de anda internation Acres a execusão de um instruedo a com
* No final de cada instrução: Apos a execução de um instrução, o proc
saobr verifica se ocorreu uma interrupção.
*Durante a busca de instruções: Enguanto busca a próxima instruções
à ser executador, o processador podo verificar se ha interrupções.
*Em intervalos regulares: alguns sistemas proopamam intervupções
veoulaves, como um sinal de temporizador que geros umos interrupção os
caeb intervalo fixo.