

# Trabalho 2

Sistemas Digitais – 2025/2  
Prof. Fernanda Kastensmidt

# Definição

Implementar um algoritmo de multiplicação de duas matrizes 3x3.

Matriz de entrada A e matriz de entrada B

- dados inteiros de 8 bits positivos

A matriz A e matriz B podem estar escritas em memória BRAM ou podem ser entrada paralela.

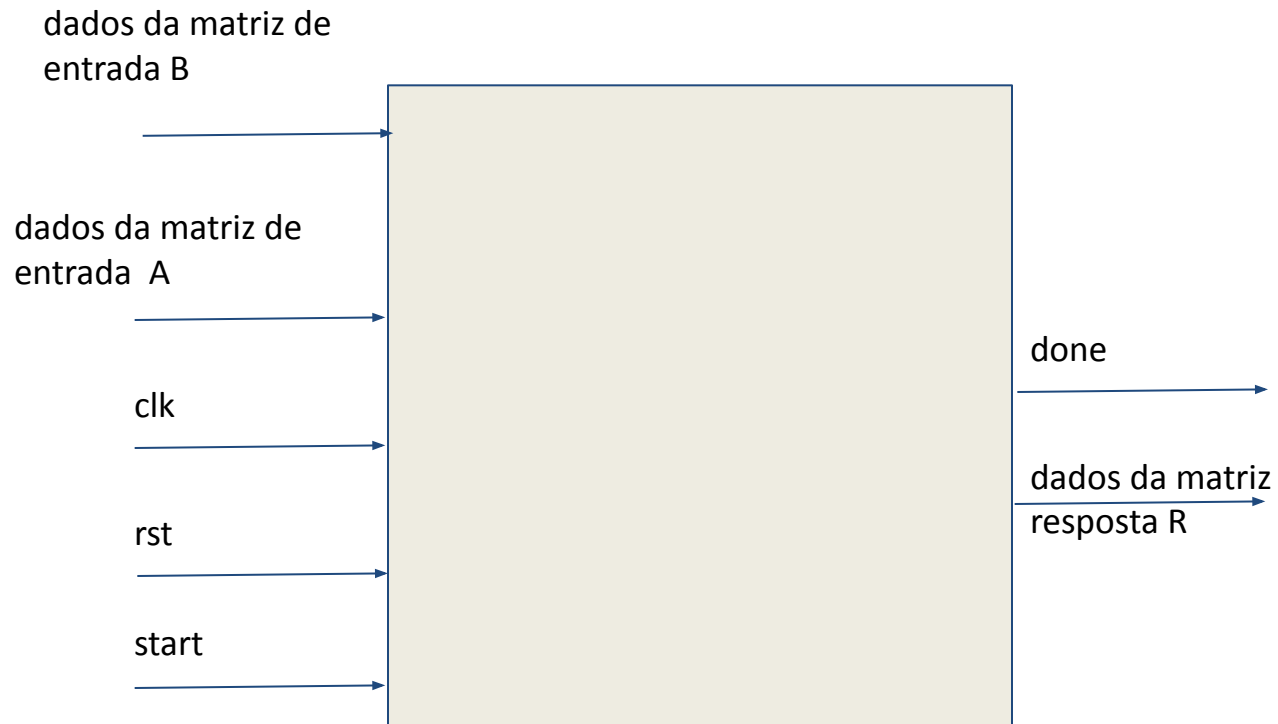
A matriz resposta R pode ser gravada e BRAM ou saída paralela.

# Definição

Implementar um algoritmo em hardware usando:

- 1) HLS e duas opções de otimização explicando e justificando as escolhas
- 2) A mão, realizando o projeto PC-PO
- 3) Apresentar a simulação do projeto PC-PO
- 4) Comparar as 3 implementações em dados de área e desempenho (tempo de execução em ciclos de relógio)

# Definição



# Testbenchs

Definir 3 testbenchs e apresentar no trabalho final com simulação.

# Entrega e Apresentação

A entrega do trabalho é em pptx e em um zip com os VHDLs no Moodle.

No pptx (que vai ser apresentado em aula) mostrar os seguintes detalhes:

# Projeto

Algoritmo em C

Versões HLS

Otimizações usadas

# Fluxograma PC-PO



# Esquemático do PO

# FSM da PC

# VHDL PO

# VHDL PC

# Testbench usado na simulação

# Simulação comportamental

# Simulação com atraso

# Algoritmo no HLS



# Otimização 1 no HLS

# Otimização 2 no HLS

# Dados Comparação

implementações	Área (ffps, LUTs, DSP)	# c.c.	Memoria	# pinos I/O
HLS1				
HLS2				
PC-PO				

# Conclusões