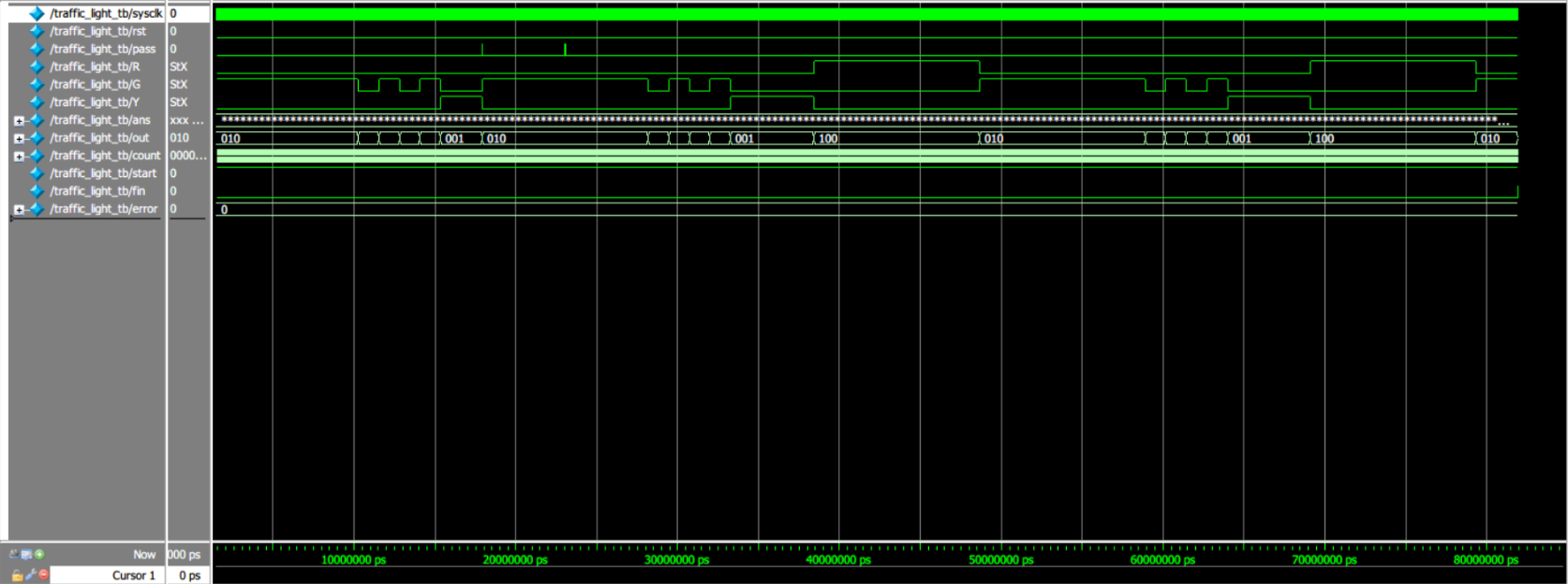
**Computer Organization 2019**

**HOMEWORK 1**

系級: 資訊112 學號: F74082086 姓名: 王維瀚

**實驗結果圖:**

(波形圖及模擬完成截圖)



**程式運作流程:**

(簡單說明波形變化的意義)

本題測資中pass在第512和1792個cycle中均為1，但第512個cycle時紅綠燈是在第一個狀態的綠燈，所以不用做任何改變，R,G,Y的波形顯示它們分別是0,1,0；而第1792個cycle時則因紅綠燈在黃燈的狀態，所以要在clock正緣來的時候(pass是同步觸發)，將燈號切從(R,G,Y)=(0,0,1)切換成(0,1,0)。rst只在一開始是1，之後就都是0，可當成是一個初始化的動作，將紅綠燈設定成第一個紅燈的狀態。我運用有限狀態機的概念將各個狀態用不同的current\_state表示，而count則用來計算運行了幾個cycle，當count達到當前狀態的最大cycle數時，就會將count歸零並將紅綠燈切換到下一個狀態。

**心得**

(請寫下完成本次作業的心得、學到哪些東西、困難點的部分。)

這次的作業基本上就是為上學期的數位系統實驗做複習。經過一個寒假，verilog的撰寫已經有些生疏，透過這次作業算是抓回不少感覺。但是生疏還是導致過程中會忘了一些verilog的語法及基本概念。例如宣告reg陣列時我將count設成reg[9:0]，也就是只有10個bit，然而我的count允許我數到1024，導致overflow而使結果不對。後來改成reg[10:0]後就解決問題了。