

전하 저장 절연층의 표면 위에 증착된 유기반도체 물질과; 상기 유기반도체 물질로 증착된 박막 위에 증착된 유기 전계효과 트랜지스터의 소스(Source)와 드레인(Drain) 전극을 포함하는 것을 특징으로 하는 고분자 전하 저장층을 이용한 유기 전계효과 트랜지스터 기반 비휘발성 유기물 트랜지스터 메모리를 제공한다.

상기 고분자 전하 저장층은 소수성 또는 스티렌 치환계 고분자를 포함하는 유기 절연 물질로 코팅된 것을 특징으로 한다.

가장 바람직하게는, 상기 고분자 전하 저장층은 폴리알파메틸스티렌(Poly(α -methylstyrene))로 코팅된 것을 특징으로 한다.

상기 유기반도체 물질은 펜타센을 포함하는 단분자 물질 및/또는 폴리(3-헥실티오펜)(poly(3-hexylthiophene))을 포함하는 고분자 물질을 포함하는 것을 특징으로 한다.

상기한 목적을 달성하기 위한 본 발명의 다른 구현예는 고농도 도핑된 n형 실리콘 반도체 위에 열 산화 방식에 의해 300nm 두께로 실리콘산화물(SiO_2) 게이트 절연층을 형성하는 단계와; 상기 실리콘산화물 게이트 절연층 위에 절연체 성질을 띠면서도 전하를 저장할 수 있는 능력을 가진 고분자 전하 저장층(polymeric electret)을 30nm 정도의 두께로 코팅하는 단계와; 코팅된 고분자 전하 저장 절연층의 표면 위에 유기반도체 물질을 증착하는 단계와; 증착된 유기 반도체 박막 위에 유기 전계효과 트랜지스터의 소스(Source)와 드레인(Drain) 전극을 증착하는 단계를 포함하는 것을 특징으로 하는 고분자 전하 저장층을 이용한 유기 전계효과 트랜지스터 기반 비휘발성 유기물 트랜지스터 메모리 제조방법을 제공한다.

바람직한 구현예로서, 상기 고분자 전하 저장층(electret)을 스핀코팅 방법을 이용하여 30nm 두께의 박막으로 형성시킨 후, 잔류 용매를 제거해 주기 위한 건조 공정이 더 진행되는 것을 특징으로 한다.

상기 고분자 전하 저장층은 소수성, 스티렌 치환계 고분자를 포함하는 유기 절연물질인 것을 특징으로 한다.

가장 바람직하게는, 상기 고분자 전하 저장층은 소수성 혹은 스티렌 치환계 고분자로서, 폴리알파메틸스티렌(Poly(α -methylstyrene))인 것을 특징으로 한다.

상기 유기반도체 물질은 펜타센을 포함하는 단분자 물질 및/또는 폴리(3-헥실티오펜)(poly(3-hexylthiophene))을 포함하는 고분자 물질을 포함하는 것을 특징으로 한다.

특히, 상기 메모리 소자는 게이트(Gate) 전극으로 사용될 고농도로 도핑(doping)된 n형 실리콘 반도체가 유기반도체 물질 위로 가는 탑 게이트(top gate) 방식과 게이트가 아래에 놓이는 바텀 게이트(bottom gate) 방식과 쌍게이트(double gate) 방식중 선택된 하나의 방식으로 제조되는 것을 특징으로 한다.

이하, 본 발명을 보다 상세하게 설명하기로 한다.

본 발명은 스티렌 치환계 고분자나 소수성 고분자가 전하를 저장할 수 있는 능력이 탁월함을 이용하여, 기존 유기 전계효과 트랜지스터의 반도체 채널과 게이트 절연층 사이에 간단한 용액공정을 통해 고분자 전하 저장층(electret) 박막을 삽입함으로써, 높은 성능의 OFET 특성과 비휘발성 트랜지스터 메모리 특성을 동시에 갖는 차세대 메모리 소자를 제공할 수 있도록 한 점에 주안점이 있다.

이러한 구조를 갖는 본 발명의 OFET 메모리 소자는 기존의 실리콘 반도체 기반 트랜지스터 메모리와 유사한 기능 및 동작을 하고, 같은 전자 회로를 수용하여 집적화될 수 있으며, 더욱이 복잡한 제조 공정이 필요한 기존의 실리콘 기반 플래시(Flash) 메모리에 비해 훨씬 쉽고 저렴하게 제작할 수 있으므로, 향후 유니쿼터스(Ubiquitous) 시대에 실리콘 기반 반도체 메모리를 대체해 새로운 차세대 메모리로서 역할을 수행할 수 있는 효과를 제공할 수 있다.

본 발명에 따른 고분자 전하 저장층을 이용한 유기 전계효과 트랜지스터 기반 비휘발성 유기물 트랜지스터 메모리 제조방법을 각 단계별로 상세하게 설명하면 다음과 같다.

첨부한 도 2는 본 발명에 따른 유기 전계효과 트랜지스터 메모리 구조를 설명하는 구성도이다.

첫번째 단계로서, 고농도 도핑된(highly doped) n형 실리콘 반도체 위에 열 산화 방식에 의해 300nm 두께로 실리콘산화물(SiO_2) 게이트 절연층을 형성한 다음, SiO_2 실리콘산화물 기판 위에 고분자 전하 저장 층을 코팅하는 단계가 진행된다.