

怎样做一块好的 PCB 板

大家都知道理做 PCB 板就是把设计好的原理图变成一块实实在在的 PCB 电路板, 请别小看这一过程, 有很多原理上行得通的东西在工程中却难以实现, 或是别人能实现的东西另一些人却实现不了, 因此说做一块 PCB 板不难, 但要做好一块 PCB 板却不是一件容易的事情。

微电子领域的两大难点在于高频信号和微弱信号的处理, 在这方面 PCB 制作水平就显得尤其重要, 同样的原理设计, 同样的元器件, 不同的人制作出来的 PCB 就具有不同的结果, 那么如何才能做出一块好的 PCB 板呢? 根据我们以往的经验, 想就以下几方面谈谈自己的看法:

一: 要明确设计目标

接受到一个设计任务, 首先要明确其设计目标, 是普通的 PCB 板、高频 PCB 板、小信号处理 PCB 板还是既有高频率又有小信号处理的 PCB 板, 如果是普通的 PCB 板, 只要做到布局布线合理整齐, 机械尺寸准确无误即可, 如有中负载线和长线, 就要采用一定的手段进行处理, 减轻负载, 长线要加强驱动, 重点是防止长线反射。当板上有超过 40MHz 的信号线时, 就要对这些信号线进行特殊的考虑, 比如线间串扰等问题。如果频率更高一些, 对布线的长度就有更严格的限制, 根据分布参数的网络理论, 高速电路与其连线间的相互作用是决定性因素, 在系统设计时不能忽略。随着门传输速度的提高, 在信号线上的反对将会相应增加, 相邻信号线间的串扰将成正比地增加, 通常高速电路的功耗和热耗散也都很大, 在做高速 PCB 时应引起足够的重视。

当板上有毫伏级甚至微伏级的微弱信号时, 对这些信号线就需要特别的关照, 小信号由于太微弱, 非常容易受到其它强信号的干扰, 屏蔽措施常常是必要的, 否则将大大降低信噪比。以致于有用信号被噪声淹没, 不能有效地提取出来。

对板子的调测也要在设计阶段加以考虑, 测试点的物理位置, 测试点的隔离等因素不可忽略, 因为有些小信号和高频信号是不能直接把探头加上去进行测量的。

此外还要考虑其他一些相关因素, 如板子层数, 采用元器件的封装外形, 板子的机械强度等。在做 PCB 板子前, 要做出对该设计的设计目标心中有数。

二. 了解所用元器件的功能对布局布线的要求

我们知道, 有些特殊元器件在布局布线时有特殊的要求, 比如 LOTI 和 APH 所用的模拟信号放大器, 模拟信号放大器对电源要求要平稳、纹波小。模拟小信号部分要尽量远离功率器件。在 OTI 板上, 小信号放大部分还专门加有屏蔽罩, 把杂散的电磁干扰给屏蔽掉。NTOI 板上用的 GLINK 芯片采用的是 ECL 工艺, 功耗大发热厉害, 对散热问题必须在布局时就必须进行特殊考虑, 若采用自然散热, 就

要把 GLINK 芯片放在空气流通比较顺畅的地方,而且散出来的热量还不能对其它芯片构成大的影响。如果板子上装有喇叭或其他大功率的器件,有可能对电源造成严重的污染这一点也应引起足够的重视。

三. 元器件布局的考虑

元器件的布局首先要考虑的一个因素就是电性能,把连线关系密切的元器件尽量放在一起,尤其对一些高速线,布局时就要使它尽可能地短,功率信号和小信号器件要分开。在满足电路性能的前提下,还要考虑元器件摆放整齐、美观,便于测试,板子的机械尺寸,插座的位置等也需认真考虑。

高速系统中的接地和互连线上的传输延迟时间也是在系统设计时首先要考虑的因素。信号线上的传输时间对总的系统速度影响很大,特别是对高速的 ECL 电路,虽然集成电路块本身速度很高,但由于在底板上用普通的互连线(每 30cm 线长约有 2ns 的延迟量)带来延迟时间的增加,可使系统速度大为降低。象移位寄存器,同步计数器这种同步工作部件最好放在同一块插件板上,因为到不同插件板上的时钟信号的传输延迟时间不相等,可能使移位寄存器产生错误,若不能放在一块板上,则在同步是关键的地方,从公共时钟源连到各插件板的时钟线的长度必须相等。

四, 对布线的考虑

随着 OTNI 和星形光纤网的设计完成,以后会有更多的 100MHz 以上的具有高速信号线的板子需要设计,这里将介绍高速线的一些基本概念。

1. 传输线

印制电路板上的任何一条“长”的信号通路都可以视为一种传输线。如果该线的传输延迟时间比信号上升时间短得多,那么信号上升期间所产生的反射都将被淹没。不再呈现过冲、反冲和振铃,对现时大多数的 MOS 电路来说,由于上升时间对线传输延迟时间之比大得多,所以走线可长以米计而无信号失真。而对于速度较快的逻辑电路,特别是超高速 ECL

集成电路来说,由于边沿速度的增快,若无其它措施,走线的长度必须大大缩短,以保持信号的完整性。

有两种方法能使高速电路在相对长的线上工作而无严重的波形失真, TTL 对快速下降边沿采用肖特基二极管箝位方法,使过冲量被箝制在比地电位低一个二极管压降的电平上,这就减少了后面的反冲幅度,较慢的上升边缘允许有过冲,但它被在电平“H”状态下电路的相对高的输出阻抗($50\sim 80\Omega$)所衰减。此外,由于电平“H”状态的抗扰度较大,使反冲问题并不十分突出,对 HCT 系列的器件,若采用肖特基二极管箝位和串联电阻端接方法相结合,其改善的效果将会更加明显。

当沿信号线有扇出时, 在较高的位速率和较快的边沿速率下, 上述介绍的 TTL 整形方法显得有些不足。因为线中存在着反射波, 它们在高位速率下将趋于合成, 从而引起信号严重失真和抗干扰能力降低。因此, 为了解决反射问题, 在 ECL 系统中通常使用另外一种方法: 线阻抗匹配法。用这种方法能使反射受到控制, 信号的完整性得到保证。

严格他说, 对于有较慢边沿速度的常规 TTL 和 CMOS 器件来说, 传输线并不是十分需要的。对有较快边沿速度的高速 ECL 器件, 传输线也不总是需要的。但是当使用传输线时, 它们具有能预测连线时延和通过阻抗匹配来控制反射和振荡的优点。¹

决定是否采用传输线的基本因素有以下五个。它们是: (1) 系统信号的沿速率, (2) 连线距离 (3) 容性负载(扇出的多少), (4) 电阻性负载(线的端接方式); (5) 允许的反冲和过冲百分比(交流抗扰度的降低程度)。

2. 传输线的几种类型

(1) 同轴电缆和双绞线: 它们经常用在系统与系统之间的连接。同轴电缆的特性阻抗通常有 $50\ \Omega$ 和 $75\ \Omega$, 双绞线通常为 $110\ \Omega$ 。

(2) 印制板上的微带线

微带线是一根带状导(信号线), 与地平面之间用一种电介质隔离开。如果线的厚度、宽度以及与地平面之间的距离是可控制的, 则它的特性阻抗也是可以控制的。微带线的特性阻抗 Z_0 为:

式中: 【 ϵ_r 为印制板介质材料的相对介电常数

δ 为介电质层的厚度

W 为线的宽度

t 为线的厚度

单位长度微带线的传输延迟时间, 仅仅取决于介电常数而与线的宽度或间隔无关。

(3) 印制板中的带状线

带状线是一条置于两层导电平面之间的电介质中间的铜带线。如果线的厚度和宽度、介质的介电常数以及两层导电平面间的距离是可控的, 那么线的特性阻抗也是可控的, 带状线的特性阻抗 Z_0 为:

式中: b 是两块地线板间的距离

W 为线的宽度

t 为线的厚度

同样, 单位长度带状线的传输延迟时间与线的宽度或间距是无关的; 仅取决于所用介质的相对介电常数。

3. 端接传输线

在一条线的接收端用一个与线特性阻抗相等的电阻端接, 则称该传输线为并联端接线。它主要是为了获得最好的电性能, 包括驱动分布负载而采用的。

有时为了节省电源消耗, 对端接的电阻上再串接一个 104 电容形成交流端接电路, 它能有效地降低直流损耗。

在驱动器和传输线之间串接一个电阻, 而线的终端不再接端接电阻, 这种端接方法称之为串联端接。较长线上的过冲和振铃可用串联阻尼或串联端接技术来控制。串联阻尼是利用一个与驱动门输出端串联的小电阻 (一般为 $10 \sim 75 \Omega$) 来实现的。这种阻尼方法适合与特性阻抗来受控制的线相联用 (如底板布线, 无地平面的电路板和大多数绕接线等)。

串联端接时串联电阻的值与电路 (驱动门) 输出阻抗之和等于传输线的特性阻抗。串联端接线存在着只能在终端使用集总负载和传输延迟时间较长的缺点。但是, 这可以通过使用多余串联端接传输线的方法加以克服。

4. 非端接传输线

如果线延迟时间比信号上升时间短得多, 可以在不用串联端接或并联端接的情况下使用传输线, 如果一根非端接线的双程延迟 (信号在传输线上往返一次的时间) 比脉冲信号的上升时间短, 那么由于非端接所引起的反冲大约是逻辑摆幅的 15%。最大开路线长度近似为:

$$L_{\max} < t_r / 2 t_{pd}$$

式中: t_r 为上升时间

t_{pd} 为单位线长的传输延迟时间

5. 几种端接方式的比较

并联端接线和串联端接线都各有优点, 究竟用哪一种, 还是两种都用, 这要看设

计者的爱好和系统的要求而定。并联端接线的主要优点是系统速度快和信号在线上传输完整无失真。长线上的负载既不会影响驱动长线的驱动门的传输延迟时间, 又不会影响它的信号边沿速度, 但将使信号沿该长线的传输延迟时间增大。在驱动大扇出时, 负载可经分支短线沿线分布, 而不象串联端接中那样必须把负载集总在线的终端。

串联端接方法使电路有驱动几条平行负载线的能力, 串联端接线由于容性负载所引起的延迟时间增量约比相应并联端接线的大一倍, 而短线则因容性负载使边沿速度放慢和驱动门延迟时间增大, 但是, 串联端接线的串扰比并联端接线的要小, 其主要原因是沿串联端接线传送的信号幅度仅仅是二分之一的逻辑摆幅, 因而开关电流也只有并联端接的开关电流的一半, 信号能量小串扰也就小。

二 PCB 板的布线技术

做 PCB 时是选用双面板还是多层板, 要看最高工作频率和电路系统的复杂程度以及对组装密度的要求来决定。在时钟频率超过 200MHz 时最好选用多层板。如果工作频率超过 350MHz, 最好选用以聚四氟乙烯作为介质层的印制电路板, 因为它的高频衰耗要小些, 寄生电容要小些, 传输速度要快些, 还由于 Z_0 较大而省功耗, 对印制电路板的走线有如下原则要求

(1) 所有平行信号线之间要尽量留有较大的间隔, 以减少串扰。如果有两条相距较近的信号线, 最好在两线之间走一条接地线, 这样可以起到屏蔽作用。

(2) 设计信号传输线时要避免急拐弯, 以防传输线特性阻抗的突变而产生反射, 要尽量设计成具有一定尺寸的均匀的圆弧形。

印制线的宽度可根据上述微带线和带状线的特性阻抗计算公式计算, 印制电路板上的微带线的特性阻抗一般在 $50 \sim 120 \Omega$ 之间。要想得到大的特性阻抗, 线宽必须做得很窄。但很细的线条又不容易制作。综合各种因素考虑, 一般选择 68Ω 左右的阻抗值比较合适, 因为选择 68Ω 的特性阻抗, 可以在延迟时间和功耗之间达到最佳平衡。一条 50Ω 的传输线将消耗更多的功率; 较大的阻抗固然可以使消耗功率减少, 但会使传输延迟时间增大。由于负线电容会造成传输延迟时间的增大和特性阻抗的降低。但特性阻抗很低的线段单位长度的本征电容比较大, 所以传输延迟时间及特性阻抗受负载电容的影响较小。具有适当端接的传输线的一个重要特征是, 分枝短线对线延迟时间应没有什么影响。当 Z_0 为 50Ω 时。分枝短线的长度必须限制在 2.5cm 以内, 以免出现很大的振铃。

(4) 对于双面板 (或六层板中走四层线)。电路板两面的线要互相垂直, 以防止互相感应产生串扰。

(5) 印制板上若装有大电流器件, 如继电器、指示灯、喇叭等, 它们的地线最好要分开单独走, 以减少地线上的噪声, 这些大电流器件的地线应连到插件板和背板上的一个独立的地总线上, 而且这些独立的地线还应该与整个系统的接地点相连接。

(6) 如果板上有小信号放大器, 则放大前的弱信号线要远离强信号线, 而且走线要尽可能地短, 如有可能还要用地线对其进行屏蔽。



资料收集: <http://www.maihui.net>

电子邮件: killmai@163.net

OICQ 号码: 13985548