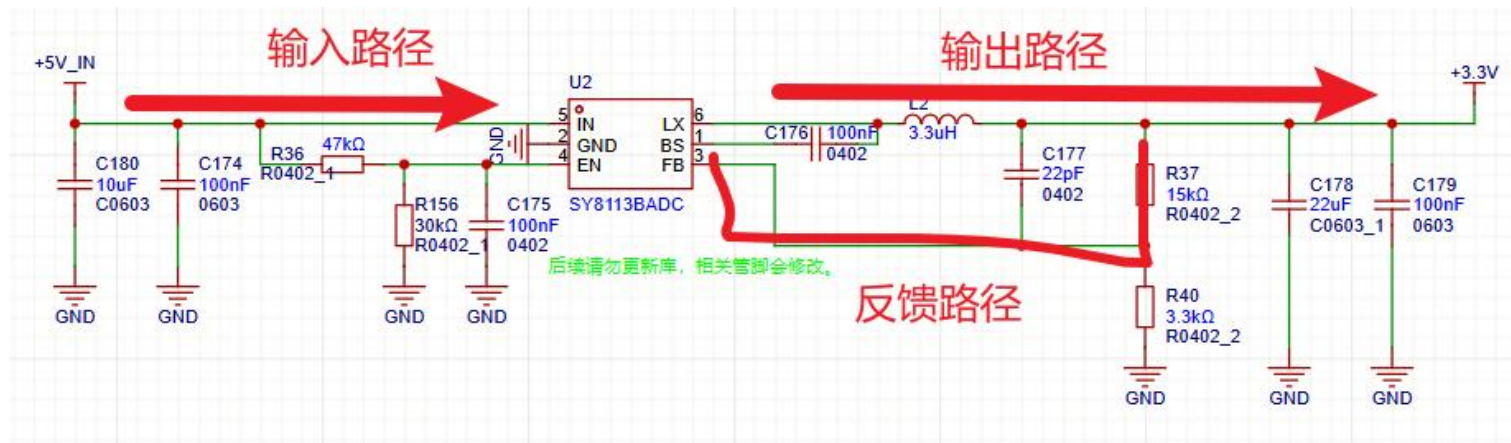


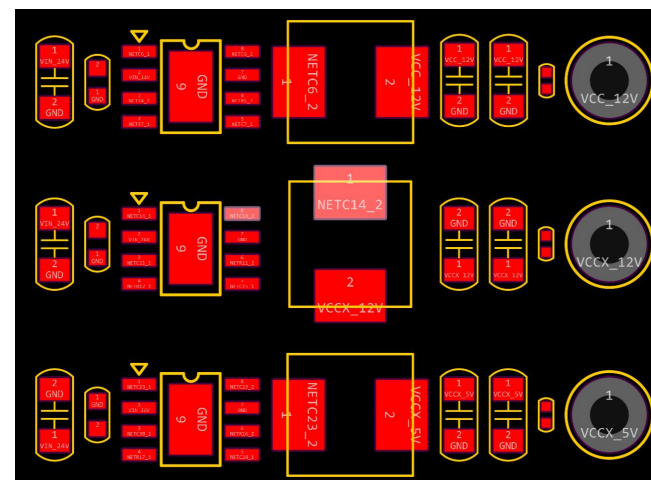
# 电源模块PCB设计布局布线



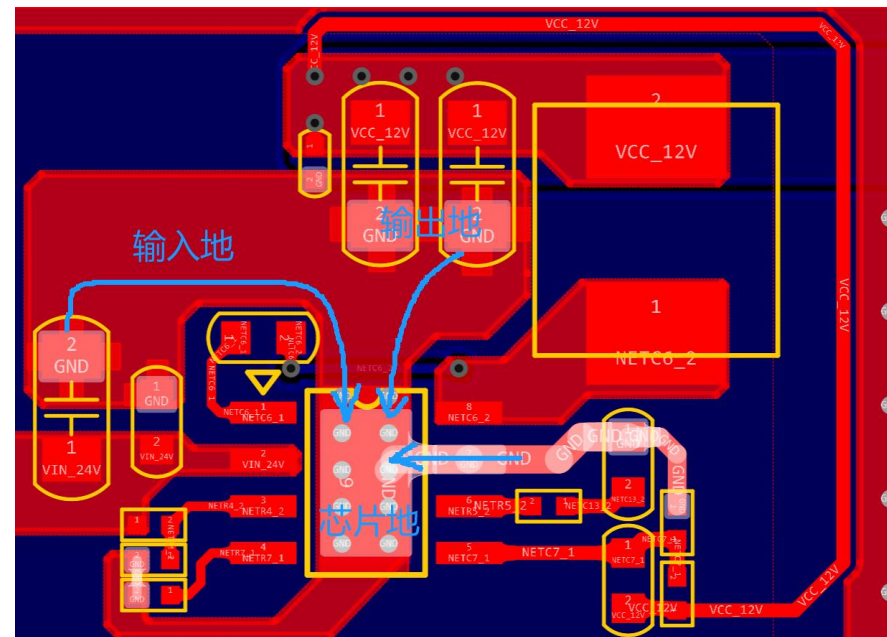
## 嘉立创EDA 开关电源布局要点



- 下载电源芯片的Datasheet，查看推荐布局布线要求；
- 分析原理图，找主干道，注意回流路径，原则是越短越好；
- 在摆放器件时，器件布局尽量紧凑，使电源路径尽量短，且注意留出打孔和铺铜的空间，以满足电源模块输入/输出通道通流能力；
- 注意滤波电容位置，滤波电容在电源路径上保持先大后小原则；
- 对于输出多路的开关电源尽量使相邻电感之间垂直放置，大电感和大电容尽量布置在主器件面。



- 电源输入/输出路径布线采用铺铜处理，铺铜宽度必须满足电源电流大小。输入/输出路径尽量少打孔换层，打孔换层的位置须考虑滤波器件位置，输入应打孔在滤波器件之前，输出在滤波器件之后。
- 反馈路径需要远离干扰源和大电流的平面上，一般采用10mil以上的线连到输出滤波电容之后。
- 开关电源模块内部的信号互联线尽量短而粗，一般加粗到10mil以上(但不能比焊盘粗)。
- 开关电源模块的电感器件底下需避免走线，其所在层需挖空铜皮处理（挖空至丝印位置），电感附近如有走线，需要对信号线包地处理，放置造成电磁干扰（EMI），这种干扰可能会导致信号质量下降。





# DDR 布局布线

- DDR模块放置位置要求：靠近CPU摆放
- 1片DDR时，点对点的布局方式；
- DDRx2片时，相对于CPU严格对称，间距推荐：DDR到CPU推荐的中心距离：无排阻时：900-1000mil；有排阻时：1000-1300mil。
- DDR滤波电容靠近管脚进行放置；
- 端接匹配电阻摆放：串联端接电阻放置到CPU端，并联端接电阻放置到DDR端。
- 地址线、控制线、时钟线是单向传输，且一般都是点到多点的拓扑结构。多个DDR间使用远端分支，分支尽量短且等长，并联电阻放在DDR端第一个T点处，长度不超过500mil；走菊花链拓扑的，并联电阻放在最后一个DDR后面，长度不超过500mil。
- Vref电容的放置要注意要靠近芯片的Vref管脚；走线要粗短，减少线上的电感；

- 特性阻抗: 单端50欧姆, 差分100欧姆
- Class分3个组:
- Byte Lane #0 -- DDR3\_DQ<7: 0>, DDR3\_DM<0>, DDR3\_DQS<0>P/N
- Byte Lane #1 -- DDR3\_DQ<15: 8>, DDR3\_DM<1>DDR3\_DQS<1>P/N
- 控制总线类: 地址线, 控制线, 时钟线
- 数据线同组同层, 组里面的所有信号在布局布线时要保持拓扑结构的一致性和长度上匹配, 这样才能保证良好的信号完整性和时序匹配关系, 要保证过孔数目相同。
- 信号线的间距满足3W原则, 蛇形线等长也要满足3W间距。

- 数据线、地址（控制）线、时钟线之间的距离保持20mil以上或至少3W
- 完整的参考平面，VREF电源走线推荐 $\geq 20 \sim 30$ mil
- 布线时不允许有直角，布线时要保证线上的Stub短；要对所有的线进行阻抗控制，保证传输线的阻抗连续。
- 等长要求：差分对误差严格控制在5mi。数据线同组（DQS、DM、DQ[7:0]）组内等长范围为 $\pm 10$ mil；地址线、控制线、时钟线误差范围控制在 $\pm 25$ mil。



# HDMI 布局布线



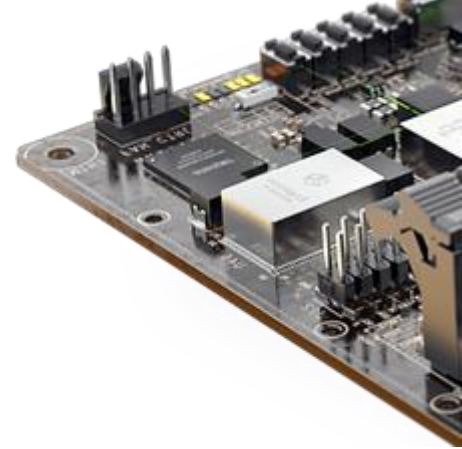
J

L

C



# HDMI 布局布线要点



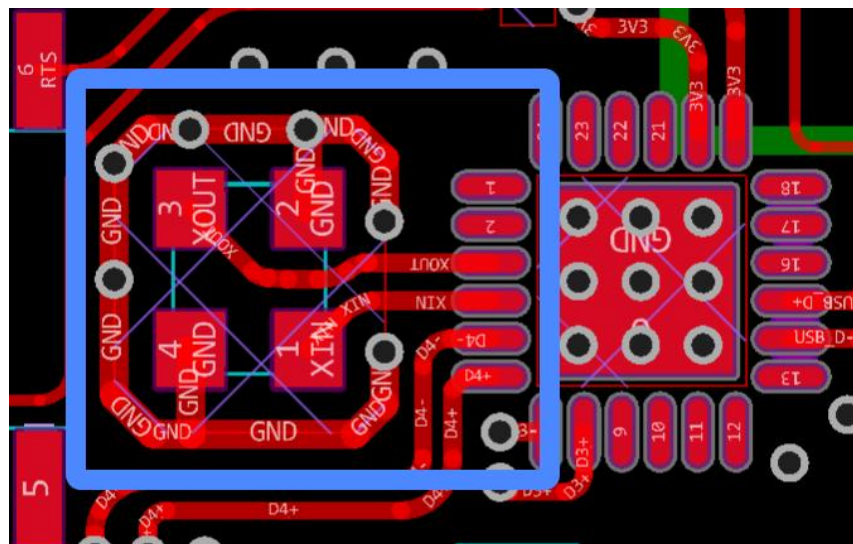
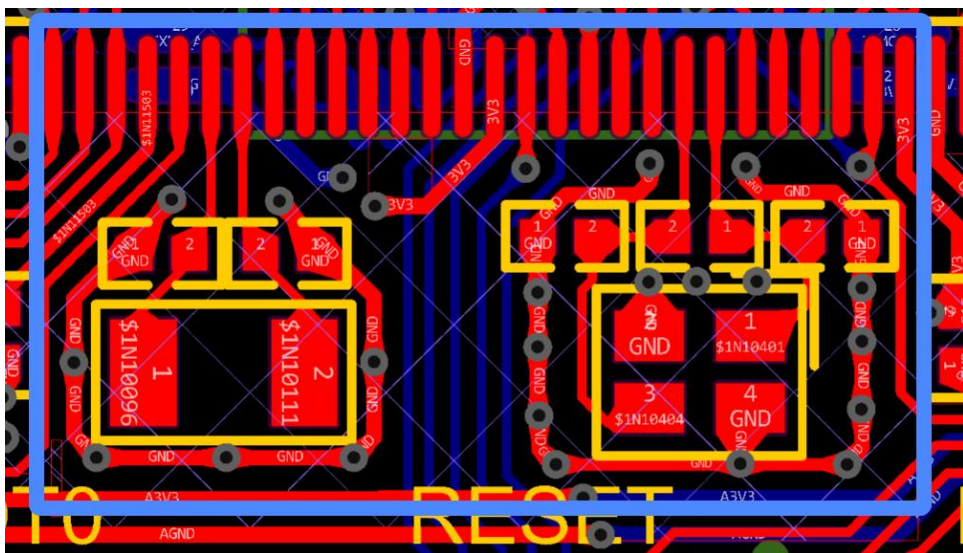
- 接口位置要根据结构要求进行摆放，如若没有固定要求则放置在板边即可。
- 差分信号特征阻抗100欧姆，单线控制50欧姆。
- ESD器件一定要靠近HDMI的端子放置。
- 四对差分走线对内误差 $<5\text{Mil}$ ，组内间距误差 $<10\text{Mil}$ ，对其它信号线间距保持 $15\text{Mil}$ 的间距，或者至少保证 $3W$ 间距，以便减小串扰。
- 邻近GND层走线，空间足够的情况下进行包地处理。
- 差分信号尽量做到不打孔换层，如若换层需打上回流地过孔。



# MCU晶振布局布线

- 晶振应尽量靠近主控IC摆放；
- 晶振的摆放最好与主控IC处于同层；
- 晶振匹配电容不是滤波电容，走线可不用先经过电容再到晶振，靠近晶振摆放整齐即可；
- 晶振需远离干扰源，如电感、天线等区域；
- 晶振摆放不可太靠近板边，距离板边至少1cm以上；
- 晶振区域的底层不可放置其余器件，需保证晶振区域的净空；

- 晶振频率较快（一般主控晶振为8Mhz或24Mhz），在电路板中属于较高速信号。在走线时，应遵循以下几点要求：
- 1. 晶振电路走线应尽可能短，非必要不打过孔连接；
- 2. 在晶振走线周围通过GND过孔进行包围（包地）；
- 3. 晶振区域同层不铺铜皮，可以使用禁止铺铜区域进行隔离，其他层可以铺铜，但晶振区域所有层都最好净空，





# U S B 布 局 布 线



J

L

C

## USB接口设计规范



USB接口分类：  
TypeA, TypeB, TypeC

01

接口靠近板边放置，  
方便拔插

02

ESD器件靠近接口放  
置，走线需先经过  
ESD器件

03

EMI滤波器或共模电感  
需靠近USB插座放置，  
防止电磁辐射

04

阻抗要求控制：USB  
差分阻抗 $Z_{diff}$ 为  
90  $\Omega$

05

USB差分信号线总长  
度尽量控制在6000  
mil

06

USB差分需要进行打孔  
包地，差分换层处需要  
打屏蔽地过孔

07

差分需要进行对内等  
长，误差为 $\pm 5\text{mil}$

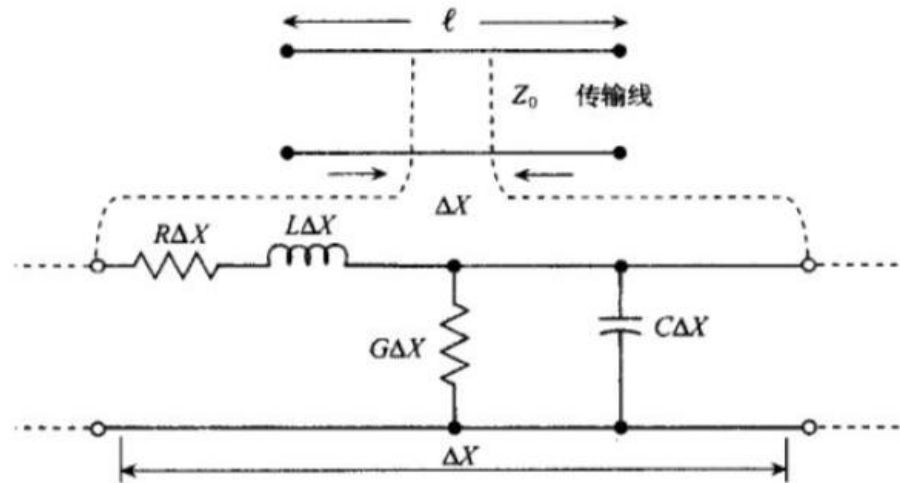
# 什么是特性阻抗PCB中如何去控制阻抗？

## 传输线与特性阻抗的关系？

信号在传输线中传输的过程中，信号到达的每一个点，传输线和平面之间会形成电场，由于电场的存在，会产生一个瞬间的小电流，这个小电流在传输线上的每一点都存在。同时信号也存在一定的电压，这样在信号的传输的过程中，传输线的每一点就会等效成一个电阻，这个电阻就是我们所指的**特性阻抗**。

在高速应用场景，信号传输线已经不能看作**理想导线**，不能忽略传输线上的一些**寄生参数**，如**寄生电阻**、**寄生电容**、**寄生电感**。特性阻抗就是一个综合传输线场景下这些参数的合成参数。

根据**传输线等效电路模型**，可得出右图阻抗特性阻抗表达式。实际应用中，传输线的电阻部分，即耗散能量的部分往往可以忽略不计，即无损情况下上式中的R和G为0。



$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad \rightarrow \quad Z_0 = \sqrt{\frac{L}{C}}$$

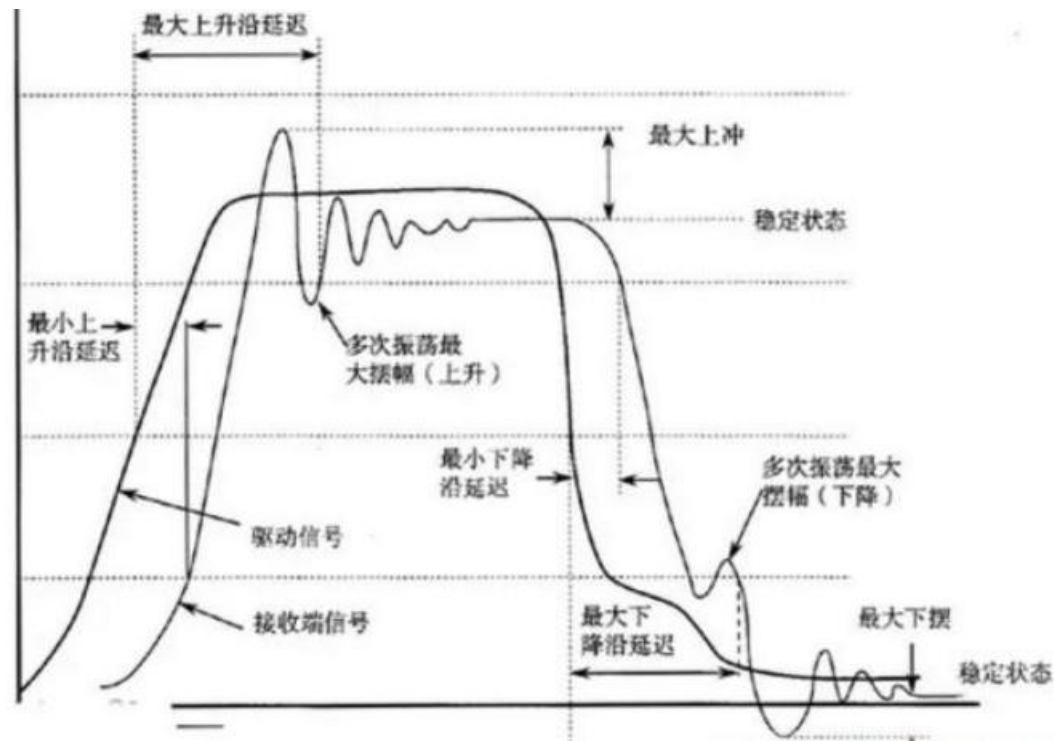


## 不控阻抗会造成什么影响？

在高速信号传输过程中，如果PCB上的阻抗一直在不断变化，就会形成信号的反射。反射幅度取决于阻抗之间变化的大小差异，阻抗差异越大，造成的信号反射越大。

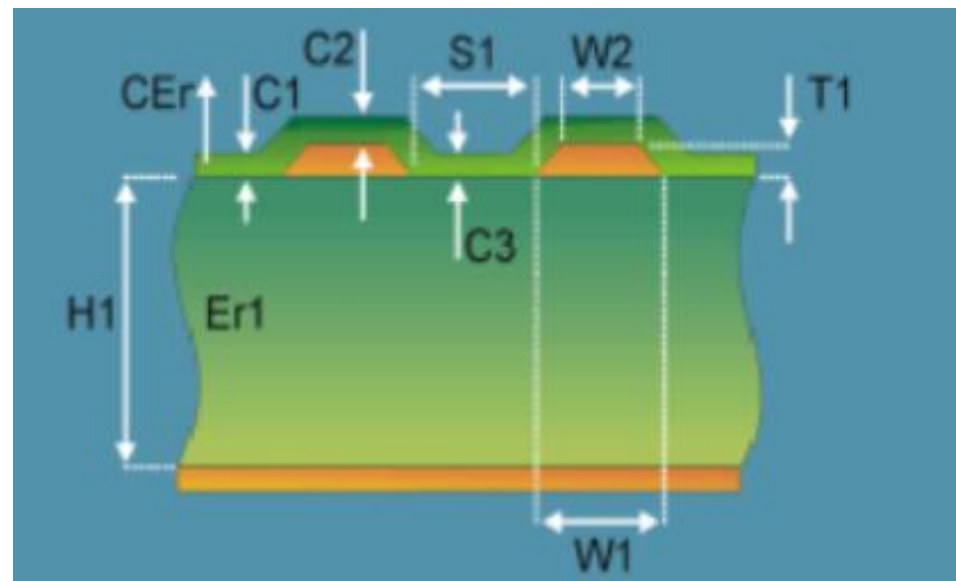
**1、信号反射：**当传输线上的阻抗不匹配时，信号会在不匹配点发生反射。这种反射信号会与原始信号叠加，导致信号失真或产生噪声。

**2、信号衰减：**阻抗不匹配还会导致信号在传输过程中衰减，使得信号强度逐渐降低。这可能使得信号在到达接收端时无法被正确识别，从而影响系统的性能。



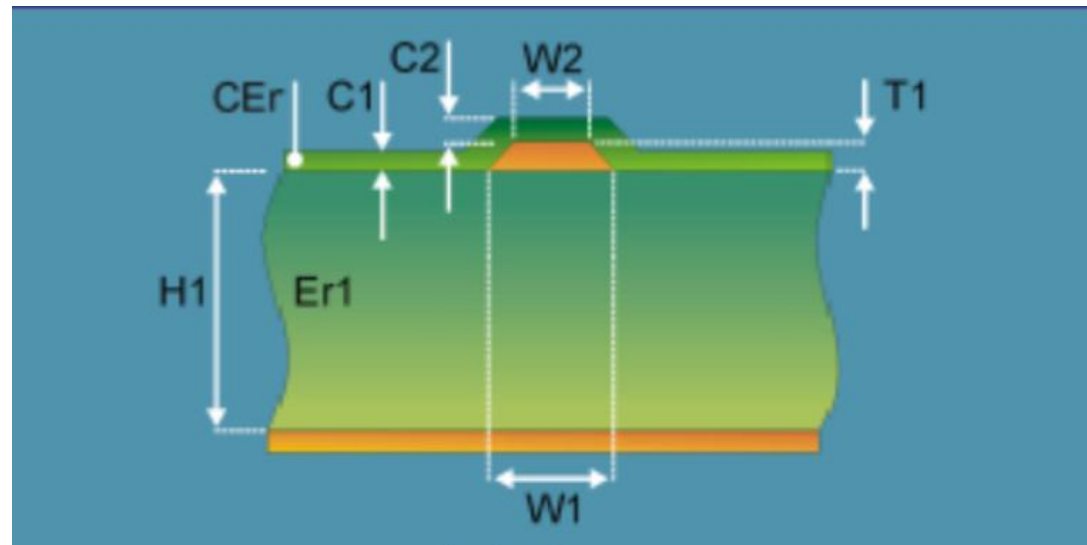
## 特性阻抗分了哪几种类型？

1. **差分阻抗**：差分阻抗分为**差模阻抗**和**共模阻抗**，其中差模阻抗用于描述正负差分信号之间的阻抗，而共模阻抗则用于描述这两个信号与地之间的阻抗。常见的差分阻抗值有90欧姆、100欧姆等。差分信号传输是一种常用的信号传输方式，它利用一对幅度相等但极性相反的信号来传输信息，这种方式可以有效地抑制共模噪声和干扰，提高信号的抗干扰能力和传输质量。



## 特性阻抗分了哪几种类型？

2. 单端阻抗：单端阻抗（Single-Ended Impedance）是指在单端信号传输中，信号线与地（GND）或参考平面之间所呈现的阻抗特性。单端信号传输是一种常用的信号传输方式，它使用一个信号线来传输信号，而信号线与地或参考平面之间则形成回路。常见的单端阻抗值有50欧姆、75欧姆等。



# PCB中如何去计算特性阻抗？

## 嘉立创阻抗神器

<https://tools.jlc.com/jlcTools/>

图片

选择板层数 选择板厚度

板子层数 4 成品板厚 1.6 内层铜厚 0.5oz(常用) 外层铜厚 1oz(常用) 计算单位 mil

添加所需阻抗计算

阻抗表 +添加阻抗 +复制阻抗 删除 计算

需求阻抗 (ohm)	阻抗模式	阻抗层	上参考层	下参考层	线距 (mil)	阻抗线到铜距离 (mil)
50	单端阻抗 (外层)	L1	/	L2	/	/
90	差分阻抗 (外层)	L1	/	L2	8	/
100	差分阻抗 (外层)	L1	/	L2	8	/

输入所需阻抗值

选则阻抗类型

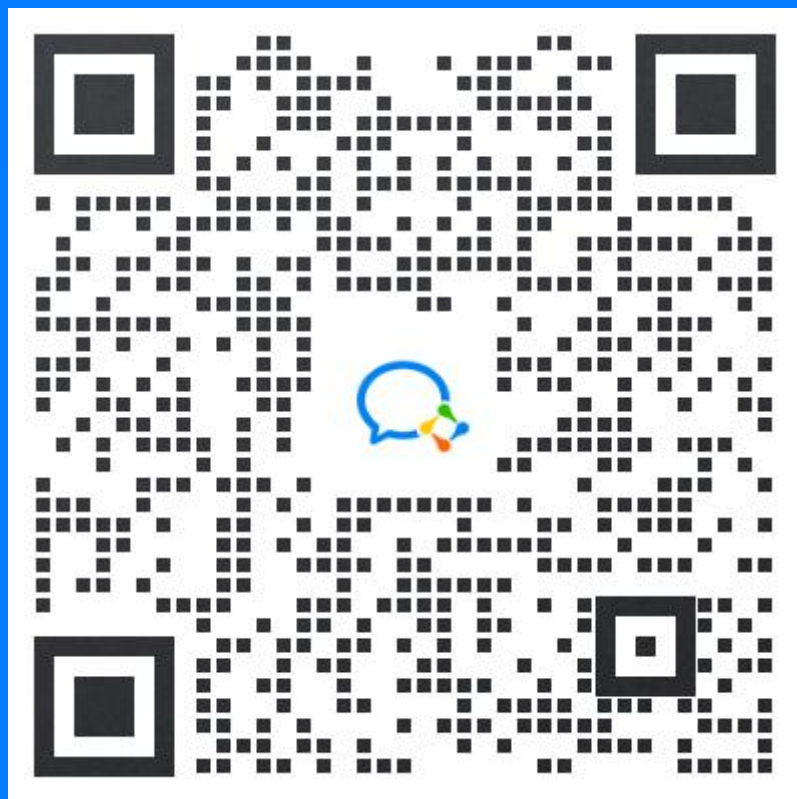
方案一: JLC04161H-3313(成品板厚1.56mm±10%) 查看 删除该方案及阻抗值

需求阻抗 (ohm)	阻抗模式	阻抗层	上参考层	下参考层	线宽	线距	阻抗线到铜距离	反算阻值	备注
50	单端阻抗 (外)	L1	/	L2	6.1600	/	/	/	请输入备注 0/100
90	差分阻抗 (外)	L1	/	L2	6.2300	8.0000	/	/	请输入备注 0/100
100	差分阻抗 (外)	L1	/	L2	4.8800	8.0000	/	/	请输入备注 0/100

得出方案以及所需对应阻抗  
PCB板设计中线宽线距值

阻抗板板		总厚度范围	
层名	材料	厚度 (mil)	厚度 (mm)
L1	外层铜厚1oz	1.30	0.0350
PP	3313 RC57% 4.2mil	3.91	0.0994
L2	内层铜厚	0.60	0.0152
芯板	1.3mm H/HO2 含铜	49.80	1.2650
L3	内层铜厚	0.60	0.0152
PP	3313 RC57% 4.2mil	3.91	0.0994





立创开发菌技术支持



技术支持-小京