

## 从数据手册获得的原理图

- 引脚1 A 可重复触发和不可重复触发控制端。当 A="1"时,允许重复触发,当A="0"时,不可重复触发
- 引脚2 VO 控制信号输出端。由 VS 上跳边沿触发使 VO 从低电平跳变到高电平时为有效触发。在输出延迟时间 TX 之外和无 VS 上跳变时 VO 为低电平状态
- 引脚8 VREF 参考电压及复位输入端。一般接 VDD。接"0"时可使定时器复位。
- 引脚9 VC 触发禁止端。当 VC<VR 时禁止触发,当 VC>VR 时允许触发。VR≈0.2VDD
- 引脚10~IB 运算放大器偏置电流设置端。经 RS 接 VSS, RS 取值为  $1M\Omega$ 左右

供电 VDD typ 3.3V, max 5V

引脚3, 4 RR1 RC1 输出延迟时间Tx

输出延迟时间 Tx 由外部的 R10 和 C6 的大小调整, 值为 Tx≈49152×R10×C6; 引脚5, 6 RC2 RR2 触发封锁时间Ti

触发封锁时间 Ti 由外部的 R9 和 C7 的大小调整, 值为 Ti≈48×R9×C7。