# ufsea

#### UNIVERSIDADE FEDERAL DE SÃO CARLOS

Centro de Ciências Exatas e Tecnologia Departamento de Computação



#### UNIVERSIDADE FEDERAL DE SÃO CARLOS

Centro de Ciências Exatas e de Tecnologia

Departamento de Computação

#### Arquitetura e Organização de Computadores 1

Prática 6 Unidade de Controle

Professores: Luciano de Oliveira Neris e Mauricio Fernandes Figueiredo

#### Autores (Grupo R)

Guilherme Campos Marques, 727338 e Engenharia da Computação Leticia Bossatto Marchezi, 791003 e Ciência da Computação Marcos Cardoso Vendrame, 790725 e Ciência da Computação Mateus Grota Nishimura Ferro, 771043 e Ciência da Computação

São Carlos, 29 de Maio de 2021

## uferea

## UNIVERSIDADE FEDERAL DE SÃO CARLOS

Centro de Ciências Exatas e Tecnologia Departamento de Computação



#### 1. Seção A

Link para o projeto: <a href="https://edaplayground.com/x/U">https://edaplayground.com/x/U</a> Hf

#### 2. Seção B

#### **Guilherme Campos Marques, 727338**

Dígito final: 8

0x20020001

Tipo I

addi \$v0 \$0 0x0001

(0x20020001)

(0x20020001)										
2	0	0	2		0	0	0		1	
0010	0000	0000	0010	00	000	0000	000	00	0001	
001000	0 00000		00010	00010 0000		00000		000001		
0010001	001000b 0d		2d	2d		1d				
op (6 l	oits) r	s (5 bits)	rt (5 b	its)	imm (16 bits)					

Instruction	Opcode	RegWrite	RegDst	ALUSrc	Branch	MemWrite	MemtoReg	ALUOp
addi	001000	1	0	1	0	0	0	00

#### Leticia Bossatto Marchezi, 791003.

Repetição do dígito final 3 - código do dígito 9 escolhido:

Tipo I

sw \$v0, 84(\$0)

0xAC020054.

UNIVERSIDADE FEDERAL DE SÃO CARLOS Centro de Ciências Exatas e Tecnologia Departamento de Computação



			(0xAC	020054)				
а	С	0	2	0	0	5	4	
1010	1100	0000	0010	0000	0000	0101	0100	
1010	11	00000	0001	0	000000001010100			
101011b		0d	2d		84d			
op (6 bits)		rs (5 bits)	rt (5 t	oits)	imm (16 bits)			
1 \	. ,	, ,	`	,		, ,		

Instruction	Opcode	RegWrite	RegDst	ALUSrc	Branch	MemWrite	MemtoReg	ALUOp
sw	101011	0	X	1	0	1	X	00

## **Marcos Cardoso Vendrame, 790725**

Dígito Final: 5

0xAC670044

Tipo I

sw \$a3, 68(\$v1)

## (0xAC670044)

A         C         6         7         0         0         4         4           1010         1100         0110         0111         0000         0000         0100         0100           101011b         3d         7d         68d         68d         68d         69 (6 bits)         68d         68d <th></th>												
101011         00011         0000 0000 0100 0100           101011b         3d         7d         68d           op (6 bits)         rs (5 bits)         rt (5 bits)         imm (16 bits)           Instruction         Opcode         RegWrite         RegDst         ALUSrc         Branch         MemWrite         MemtoReg         ALUOp	Α		С	6	7		0		0	4	4	
101011         00011         0000 0000 0100 0100           101011b         3d         7d         68d           op (6 bits)         rs (5 bits)         rt (5 bits)         imm (16 bits)           Instruction         Opcode         RegWrite         RegDst         ALUSrc         Branch         MemWrite         MemtoReg         ALUOp												
101011b         3d         7d         68d           op (6 bits)         rs (5 bits)         rt (5 bits)         imm (16 bits)           Instruction         Opcode         RegWrite         RegDst         ALUSrc         Branch         MemWrite         MemtoReg         ALUOp	1010	1	100	0110	0111		0000	(	0000	0100	0100	
101011b         3d         7d         68d           op (6 bits)         rs (5 bits)         rt (5 bits)         imm (16 bits)           Instruction         Opcode         RegWrite         RegDst         ALUSrc         Branch         MemWrite         MemtoReg         ALUOp												
op (6 bits) rs (5 bits) rt (5 bits) imm (16 bits)  Instruction Opcode RegWrite RegDst ALUSrc Branch MemWrite MemtoReg ALUOp	10101	11		0011	00111		0000 0000 0100 0100					
op (6 bits) rs (5 bits) rt (5 bits) imm (16 bits)  Instruction Opcode RegWrite RegDst ALUSrc Branch MemWrite MemtoReg ALUOp												
Instruction Opcode RegWrite RegDst ALUSrc Branch MemWrite MemtoReg ALUOp	101011	lb		3d	7d			68d				
	op (6 b	its)	rs (5 bits)		rt (5 1	rt (5 bits)		imm (16 bits)				
SW 101011 0 X 1 0 1 X 00	Instruction	Орс	ode	RegWrite	RegDst	ALUSr	c Bran	ch	MemWrite	MemtoReg	ALUOp	
	sw	101	011	0	X	1	0		1	Х	00	



UNIVERSIDADE FEDERAL DE SÃO CARLOS Centro de Ciências Exatas e Tecnologia Departamento de Computação



## Mateus Grota Nishimura Ferro, 771043

Dígito final: 3

0x00853820

Tipo R

add \$a3 \$a0 \$a1

(0x00853820)										
0	0	8	5	3	8	2	0			
0000	0000	1000	010	1 0011	1000	0010	0000			
000000	001	00 (	0101	00111	00000	1	00000			
000000b	<b>4</b> d		5d	7d	7d 00000b		0000b			
op (6 bits	s) rs (5 l	oits) rt	(5 bits)	rd (5 bits)	shamt (5bits)	func	t (6 bits)			

Instruction	Opcode	RegWrite	RegDst	ALUSrc	Branch	MemWrite	MemtoReg	ALUOp
R-type	000000	1	1	0	0	0	0	10