



---

**UNIVERSIDADE FEDERAL DE SÃO CARLOS**

Centro de Ciências Exatas e de Tecnologia

Departamento de Computação

**Arquitetura e Organização de Computadores 1**

**Prática 5 MIPS Datapath**

**Professores:** Luciano de Oliveira Neris e Mauricio Fernandes Figueiredo

**Autores (Grupo R)**

Guilherme Campos Marques, 727338 e Engenharia da Computação

Leticia Bossatto Marchezi, 791003 e Ciência da Computação

Marcos Cardoso Vendrame, 790725 e Ciência da Computação

Mateus Grota Nishimura Ferro, 771043 e Ciência da Computação

São Carlos, 13 de Maio de 2021

## 1. Introdução

Utilizando a plataforma de aprendizado online EDA playground, foi designado ao grupo realizar a tarefa de gerar projetos Verilog, primeiramente foi gerado um projeto correspondente ao MIPS Datapath monociclo e feita uma simulação com intuito didático.

## 2. Descrição da execução do experimento

Para a elaboração do testbench foi usado o tempo de 83ns de clock para adequar ao tempo de execução de comando, assim, uma instrução será realizada por completo em apenas um ciclo. Entretanto, destaca-se que em sistemas monociclos reais não há tempo de atraso (delay) na transmissão dos sinais, mas esse recurso foi usado na prática apenas com intuito didático.

A seguir, observa-se o diagrama de ondas e a tabela com os sinais de controle utilizados.

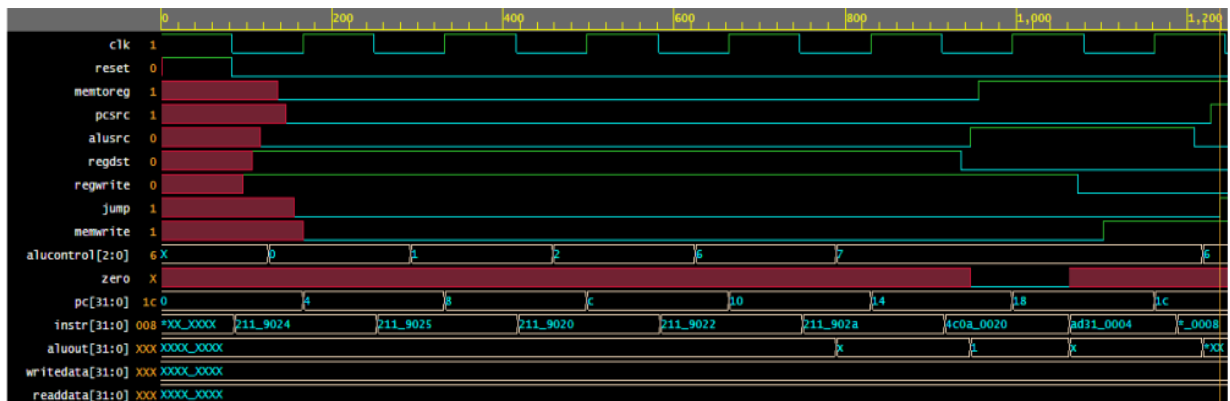


Imagem 1. Diagrama de ondas

INSTRUÇÕES/SINAIS	regwrite	regdst	alusrc	alucontrol	memtoreg	pcsrc	jump	memwrite
and	1	1	0	000	0	0	0	0
or	1	1	0	001	0	0	0	0
add	1	1	0	010	0	0	0	0
sub	1	1	0	110	0	0	0	0
slt	1	1	0	111	0	0	0	0
lw	1	0	1	X	1	X	0	0
sw	0	X	1	X	X	X	0	1
beq	0	X	0	110	X	1	1	0

Tabela 1. Sinais de controle

Posteriormente, observa-se o código da instrução em linguagem Assembly e linguagem de máquina, além das tabelas representando o desenvolvimento para alcançar a codificação final em hexadecimal referente às operações realizadas:

#### and \$s2, \$s0, \$s1 (R-Type)

op (6 bits)    rs (5 bits)    rt (5 bits)    rd (5 bits)    shamt (5bits)    funct (6 bits)

000000b	16d	17d	18d	00000b	100100b
---------	-----	-----	-----	--------	---------

000000	10000	10001	10010	00000	100100
--------	-------	-------	-------	-------	--------

0000	0010	0001	0001	1001	0000	0010	0100
------	------	------	------	------	------	------	------

0	2	1	1	9	0	2	4
---	---	---	---	---	---	---	---

(0x02119024)

### or \$s2, \$s0, \$s1 (R-Type)

op (6 bits)    rs (5 bits)    rt (5 bits)    rd (5 bits)    shamt (5bits)    funct (6 bits)

000000b	16d	17d	18d	0d	100101b
---------	-----	-----	-----	----	---------

000000	10000	10001	10010	00000	100101
--------	-------	-------	-------	-------	--------

0000	0010	0001	0001	1001	0000	0010	0101
------	------	------	------	------	------	------	------

0	2	1	1	9	0	2	5
---	---	---	---	---	---	---	---

(0x02119025)

### add \$s2, \$s0, \$s1 (R-Type)

op (6 bits)    rs (5 bits)    rt (5 bits)    rd (5 bits)    shamt (5bits)    funct (6 bits)

000000b	16d	17d	18d	00000	100000b
---------	-----	-----	-----	-------	---------

000000	10000	10001	10010	00000	100000
--------	-------	-------	-------	-------	--------

0000	0010	0001	0001	1001	0000	0010	0000
------	------	------	------	------	------	------	------

0	2	1	1	9	0	2	0
---	---	---	---	---	---	---	---

(0x02119020)

### sub \$s2, \$s0, \$s1 (R-Type)

op (6 bits)    rs (5 bits)    rt (5 bits)    rd (5 bits)    shamt (5bits)    funct (6 bits)

000000b	16d	17d	18d	00000	100010
---------	-----	-----	-----	-------	--------

000000	10000	10001	10010	00000	100010
--------	-------	-------	-------	-------	--------

0000	0010	0001	0001	1001	0000	0010	0010
------	------	------	------	------	------	------	------

0	2	1	1	9	0	2	2
---	---	---	---	---	---	---	---

(0x02119022)

### slt \$s2 \$s0 \$s1 (R-type)

op (6 bits)	rs (5 bits)	rt (5 bits)	rd (5 bits)	shamt (5bits)	funct (6 bits)		
00000b	16d	17d	18d	0d	101010		
000000	10000	10001	10010	00000	101010		
0000	0010	0001	0001	1001	0000	0010	1010
0	2	1	1	9	0	2	A
(0x0211902A)							

### lw \$t2, 32(\$0) (I-Type)

op (6 bits)	rs (5 bits)	rt (5 bits)	imm (16 bits)				
100011b	0d	10d	32d				
100011	00000	01010	0000 0000 0010 0000				
1000	1100	0000	1010	0000	0000	0010	0000
8	C	0	A	0	0	2	0
(0x8C0A0020)							

### sw \$s1, 4(\$t1) (I-Type)

op (6 bits)      rs (5 bits)      rt (5 bits)      imm (16 bits)

101011 b	9d	17d	4d
----------	----	-----	----

101011	01001	10001	0000 0000 0000 0100
--------	-------	-------	---------------------

1010	1101	0011	0001	0000	0000	0000	0100
------	------	------	------	------	------	------	------

A	D	3	1	0	0	0	4
---	---	---	---	---	---	---	---

(0xAD310004)

### beq \$t3, \$t5, PROX (J-Type)

op (6 bits)      addr (26 bits)

000100b	34668552d
---------	-----------

000100	10000 10001 0000 0000 0000 1000
--------	---------------------------------

0001	0010	0001	0001	0000	0000	0000	1000
------	------	------	------	------	------	------	------

1	2	1	1	0	0	0	8
---	---	---	---	---	---	---	---

(0x12110008)

### 3. Referências Bibliográficas:

1. Projeto Datapath - <https://edaplayground.com/x/qYHs>