

**ĐẠI HỌC CÔNG THƯƠNG TP. HỒ CHÍ MINH**  
**KHOA CÔNG NGHỆ ĐIỆN – ĐIỆN TỬ**  
**BỘ MÔN TỰ ĐỘNG HÓA**

-----



**KỸ THUẬT SỐ NÂNG CAO**

**TÊN ĐỀ TÀI**  
**THIẾT KẾ MÔ PHỎNG SRAM**

**SVTH: LÊ THẠCH ANH TÀI**  
**MSHV: 2002210206**

**TP. Hồ Chí Minh, .../.../20...**



# NỘI DUNG CHÍNH

---

**I. MẠCH LƯU TRỮ 1 BIT**

**II. BỘ NHỚ TĨNH**

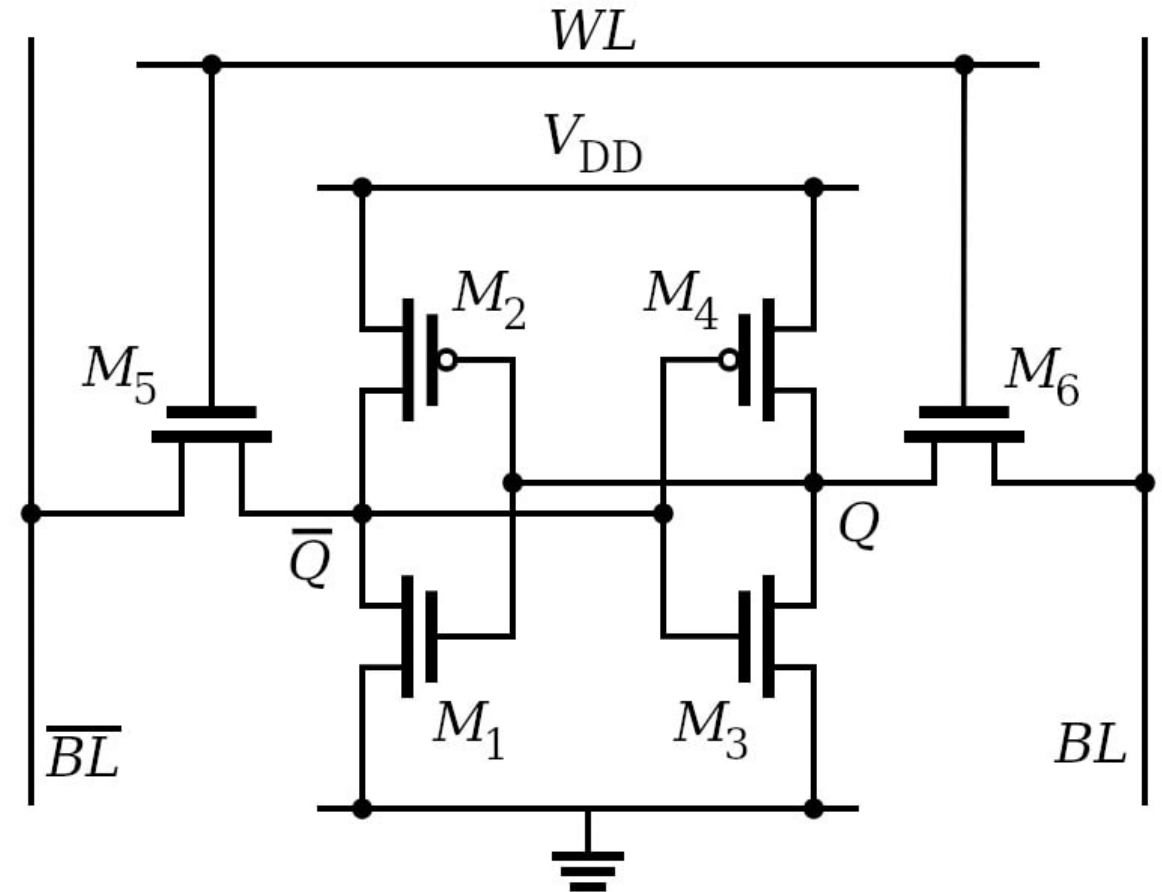
**III. MẠCH LƯU TRỮ BIT THÊM CÁC CHÂN**

**IV. KẾT QUẢ THỰC NGHIỆM**

# I. MẠCH LƯU TRỮ 1 BIT

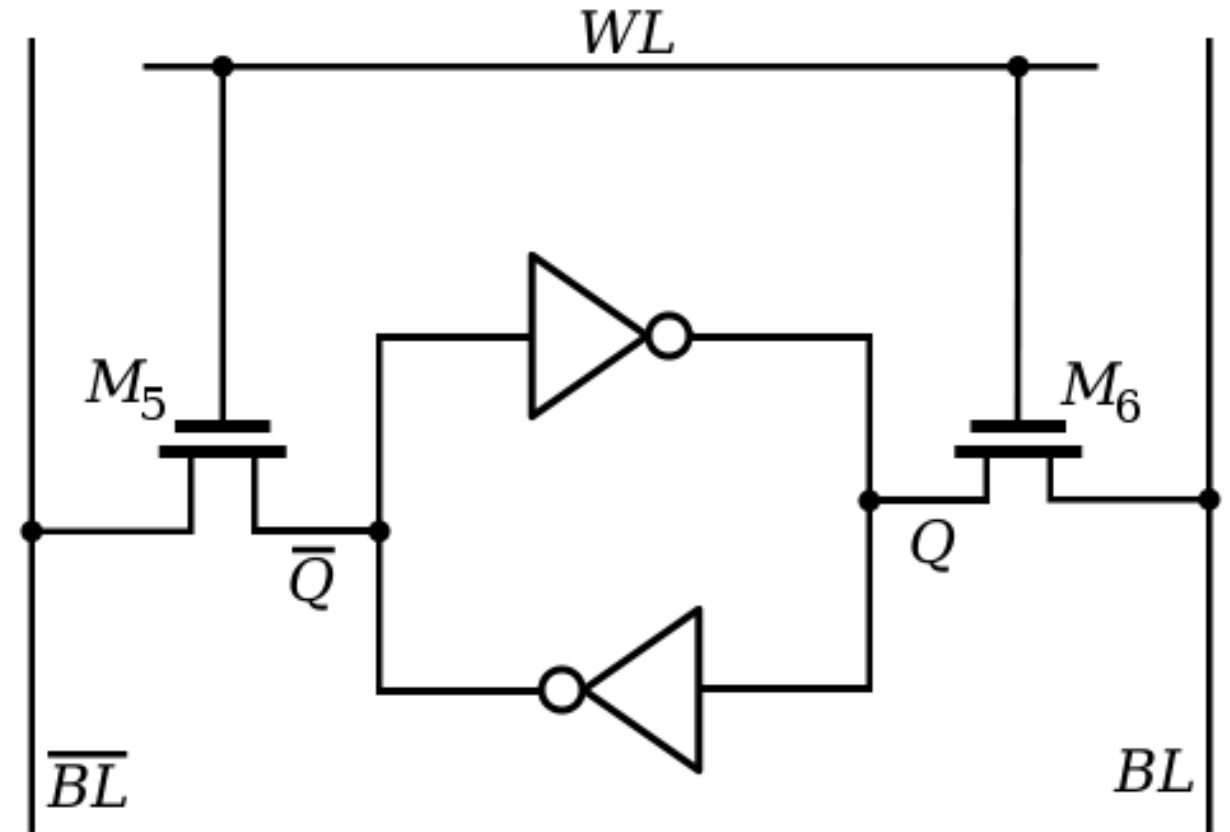
- LƯU TRỮ 1 BIT

- SRAM cell được cấu tạo từ 2 inverter (chính là cổng luận lý NOT) và 2 N-FET, chi tiết hơn thì mỗi cổng đảo được cấu tạo bởi 1 P-FET kết hợp với 1 N-FET. Hai cổng NOT được kết nối theo cấu hình phản hồi dương để tạo thành 1 phần tử lưu trữ 2 trạng thái ổn định, 2 N-FET còn lại được dùng như một công tắc để cho phép ghi hoặc đọc dữ liệu.





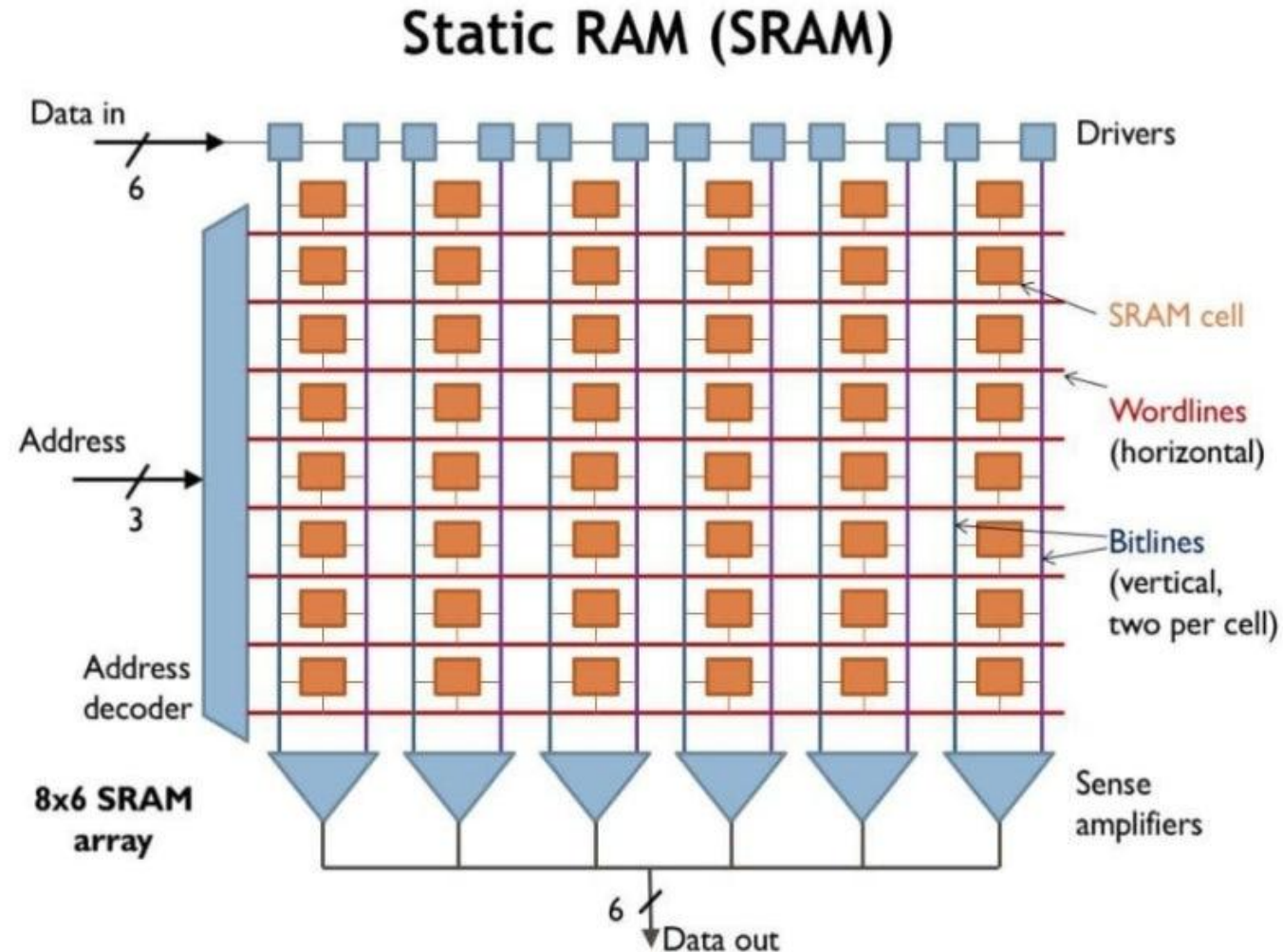
- Bộ giải mã địa chỉ tiến hành giải mã và xác định cell nào được thao tác thông qua dây wordline.
- Bộ lái dữ liệu sẽ nạp BL lên mức logic 1 sau đó ngắt kết nối để BL thả nổi với mức logic 1.
- Như vậy là đã lưu trữ được 1 bit.



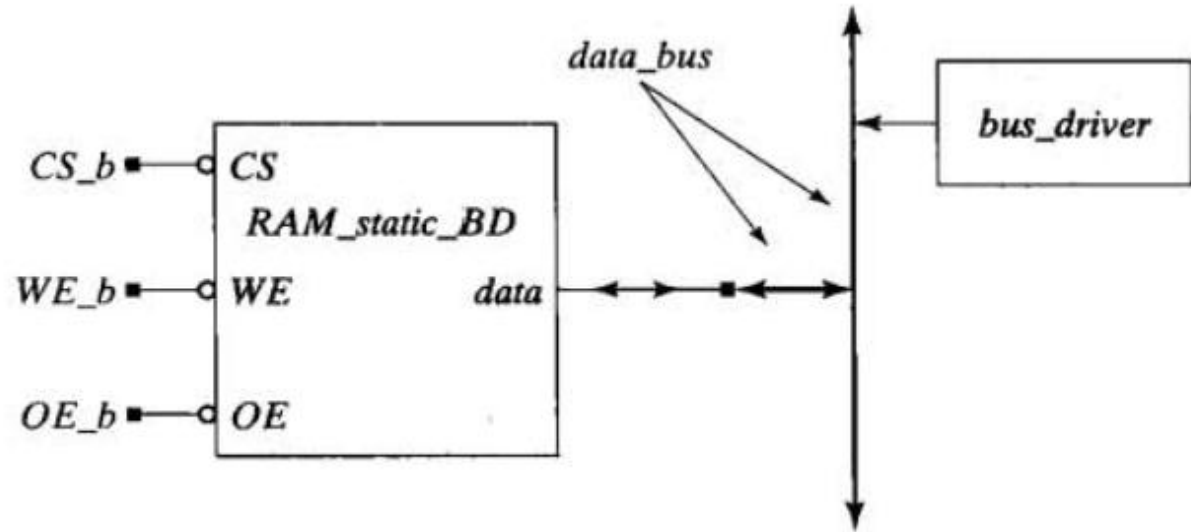
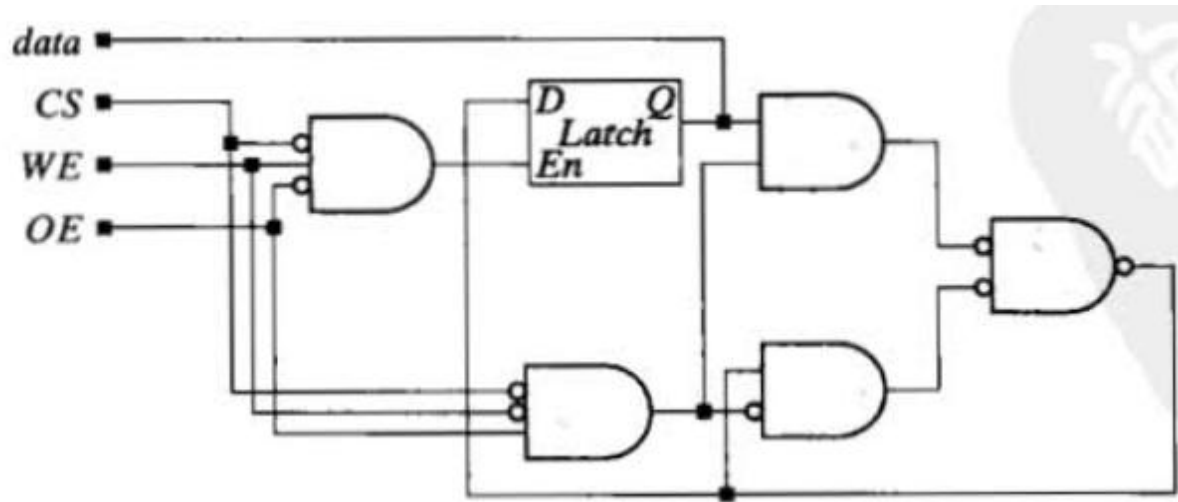
## II. BỘ NHỚ TĨNH

### SRAM

- SRAM được cấu tạo từ nhiều mảng các cell, việc truy cập SRAM chính là việc đọc và ghi dữ liệu vào nhiều cell. Địa chỉ từ CPU sẽ đi qua 1 bộ giải mã địa chỉ nhằm xác định chuỗi các cell cần thao tác.
- SRAM trong hình có 8 địa chỉ mỗi địa chỉ chứa 6 cell dung để lưu trữ 6 bit.
- Ở ngõ ra của SRAM do điện áp rất dễ bị tác động bởi nhiễu nên ta sẽ thêm mỗi hàng cell một bộ khuếch đại để chống nhiễu.



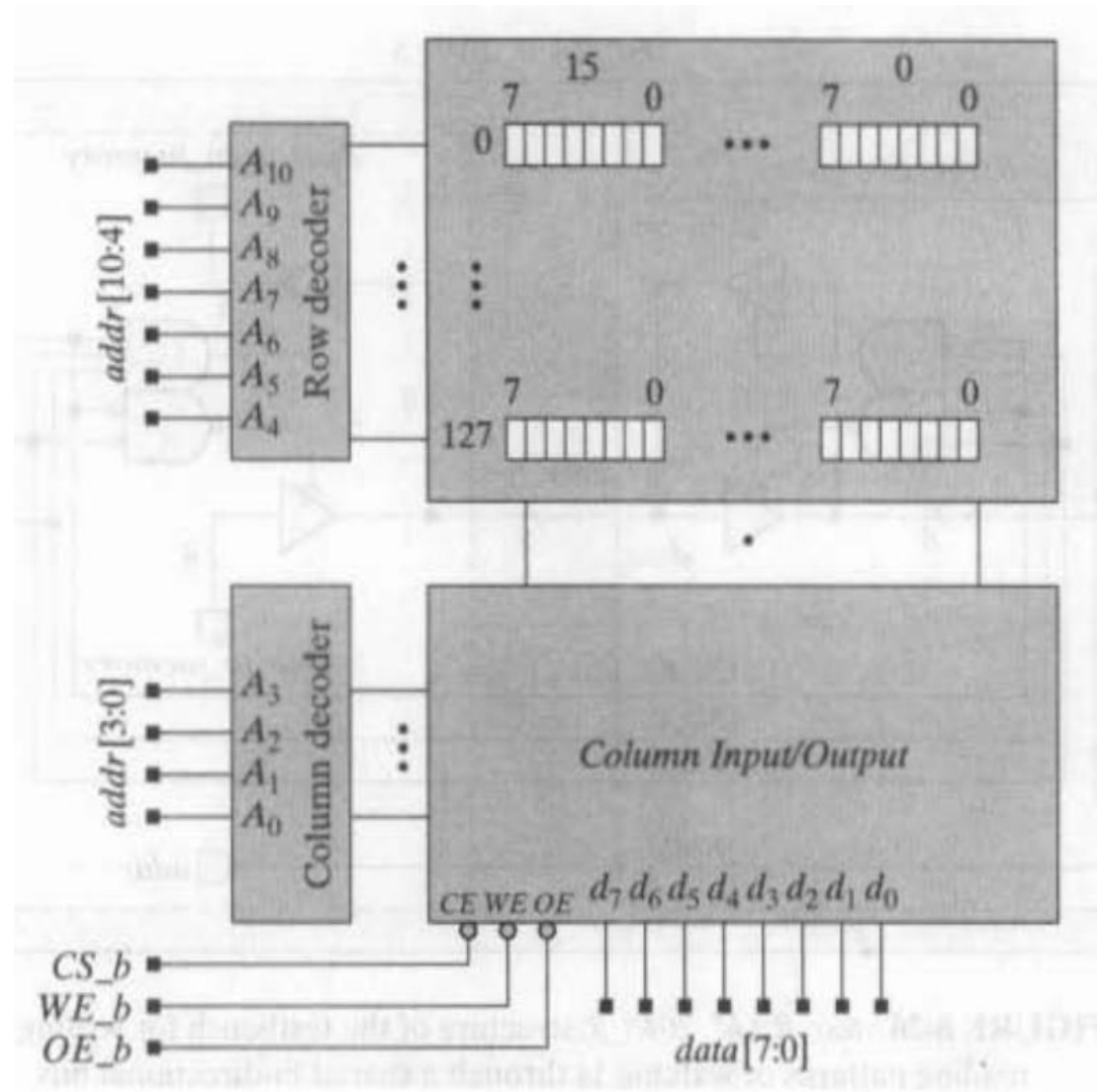
# III. BỘ NHỚ TĨNH



- Mạch lưu trữ bit này được thêm vào các chân:
- CS: Chọn chip
- WE: Cho phép ghi dữ liệu
- OE: Cho phép đọc dữ liệu

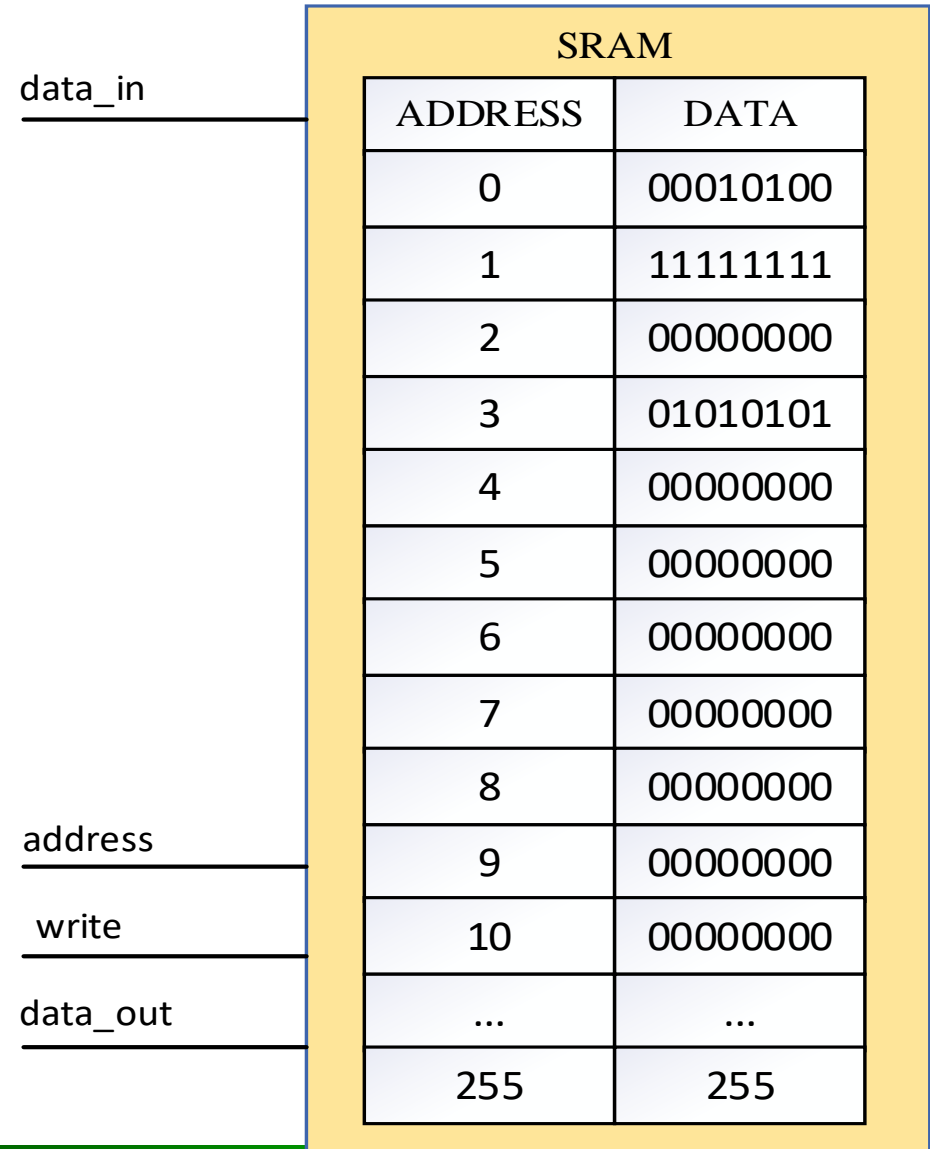
# III. BỘ NHỚ TĨNH

- Sơ đồ khối SRAM này gồm 3 phần chính  
1 bộ giải mã hàng và cột dùng để truy cập địa chỉ.
- Có 2048 ô nhớ, mỗi ô nhớ chứa 8 bit
- WE: cho phép ghi 8 bit vào ô nhớ
- OE: đọc 8 bit ra từ ô nhớ

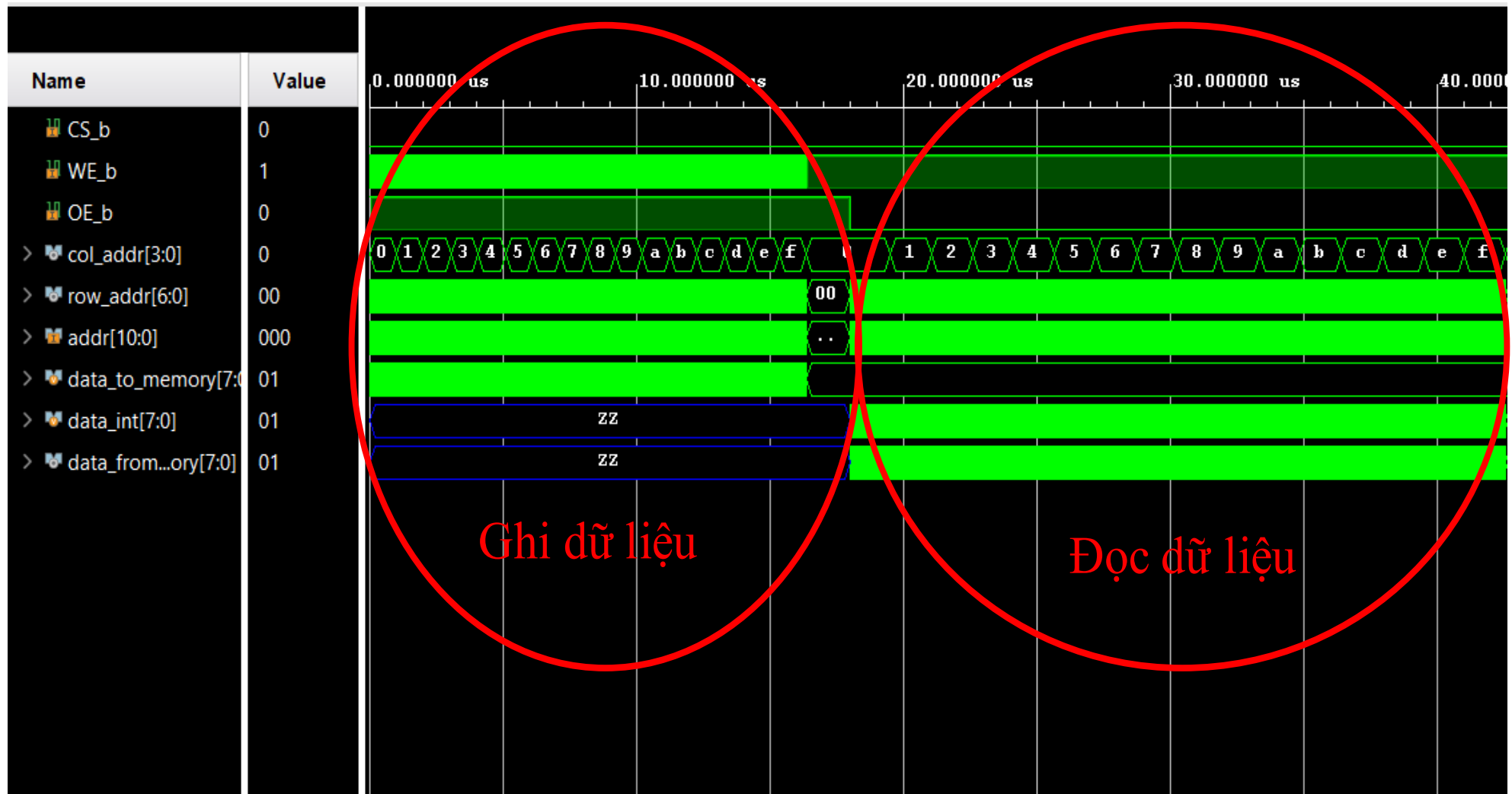




# I. BỘ NHỚ TĨNH

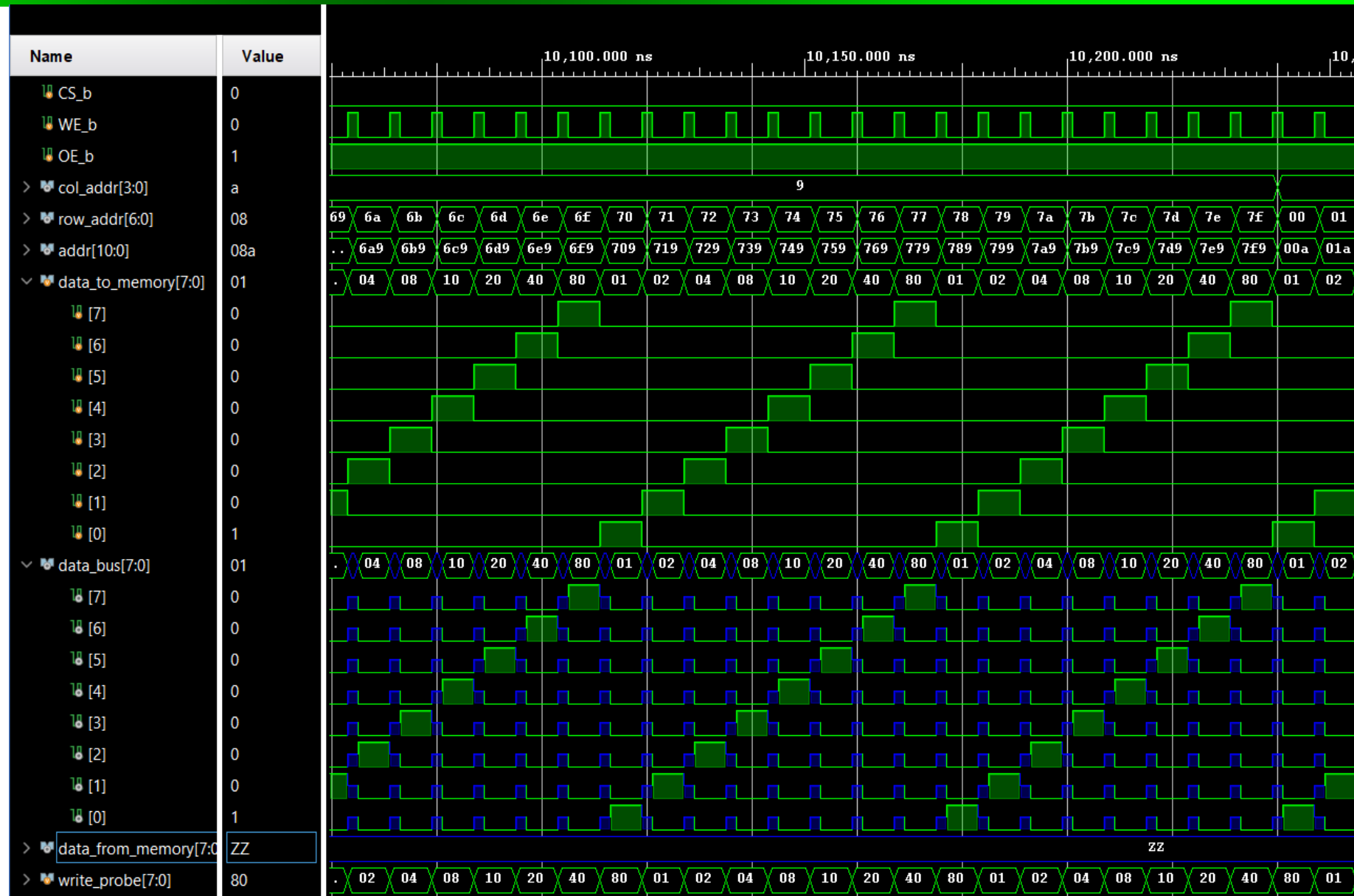




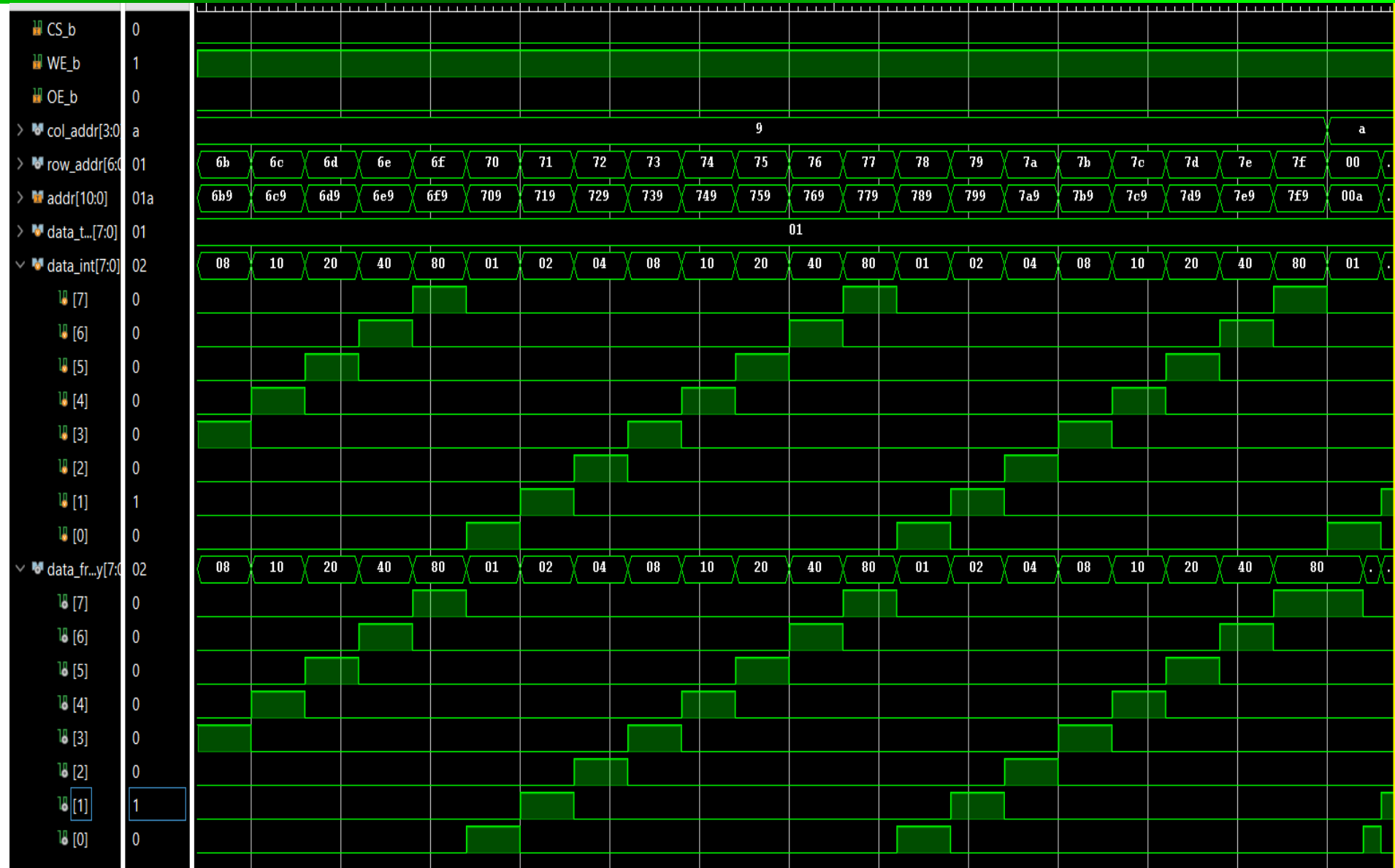


# IV. KẾT QUẢ GHI

- Khi chân WE và OE đều = 1 có nghĩa là dây đọc/ghi đều bật. Điều này sẽ không được phép nên ta sẽ thực hiện chương trình sao cho khi WE = 1 và OE = 1. data\_bus sẽ tăng trở kháng lên cao không cho phép đọc/ghi.
- Ta thấy ở địa chỉ 709 cột 9 và dòng 70. Data\_to\_memory sẽ ghi dữ liệu vào.



- Ở cột 9 dòng 70 SRAM bắt đầu đọc dữ liệu ra





**CẢM ƠN CÁC ANH/CHỊ VÀ CÁC BẠN  
ĐÃ XEM**