

ESIR – CUPGE 1ère année

ELECTRONIQUE NUMERIQUE

Semestre 1 – J. Bézy-Wendling

Séquence B : CIRCUITS SEQUENTIELS

Introduction / Plan

Définition : dans les schémas de « logique séquentielle », la **sortie** dépend non seulement **des entrées mais aussi de l'histoire du système (états précédents)**. Il y a **un effet mémoire**.

- 1. Bascules
- 2. Compteurs
- 3. Registres

3

Circuits séquentiels

1. Bascules

ESIR - COURGE1
ELECn-S1 - Bézy

1.1. Définitions

4

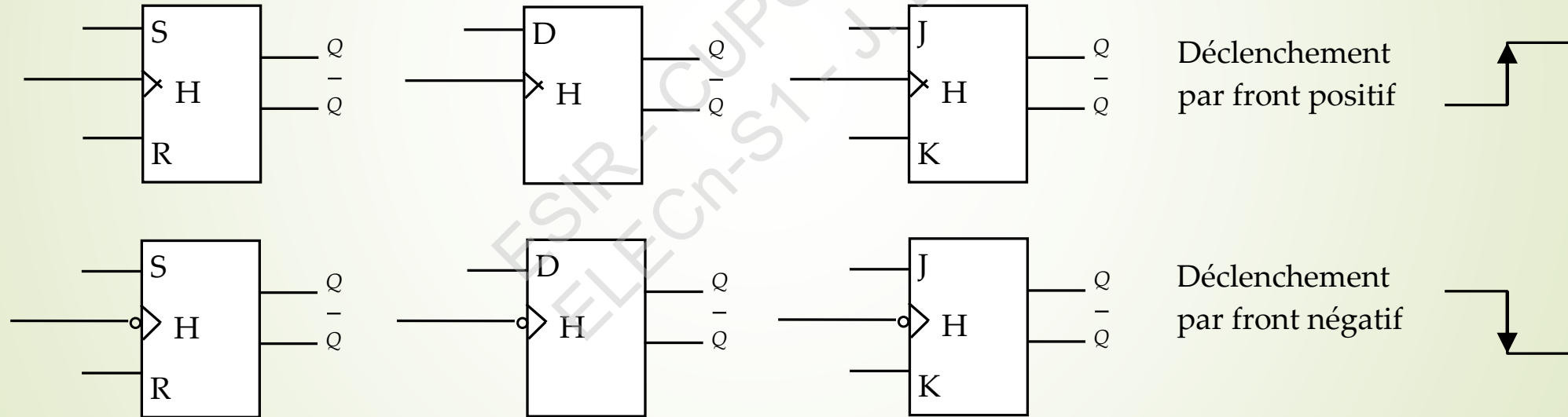
- Les bascules sont des éléments bistables synchrones. Le terme "**synchrone**" indique que la sortie ne change d'état qu'à un endroit précis (front montant ou descendant) sur l'onde d'entrée appelée signal **d'horloge** H (signal carré).
- Les autres entrées de la bascule sont appelées **entrées de commande** (RS, JK, D).
- Les changements à la sortie sont synchronisés par l'horloge (la bascule ne répond à ses entrées que lors de ces transitions du signal d'horloge).

1.2. Bascules RS, D, JK

5

- La bascule *RS* n'est pas disponible sous forme de *CI* mais elle constitue la base des bascules *D* et *JK*. C'est une **fonction mémoire** qui permet de stocker une information (1 bit).

a) Symboles logiques



b) Bascule RS déclenchée par un signal d'horloge

6

➤ Entrées S, R synchrones (en sortie sur front de H)

➤ Fonctionnement :

- S au niveau HAUT, R au niveau BAS :
 - la sortie Q passe au niveau HAUT (lors du front déclencheur)
 - la bascule est dans l'état 1.
- S BAS, R HAUT : Q passe à 0.
- S et R au niveau BAS : la sortie conserve son état.
- S et R au niveau HAUT : condition non valide

➤ Table de vérité

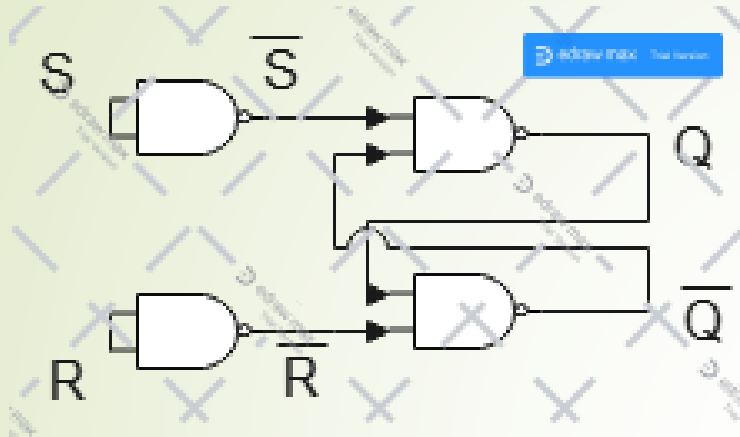
Q_n : état présent de la sortie

Q_{n+1} : état de la sortie après le front actif du signal d'horloge

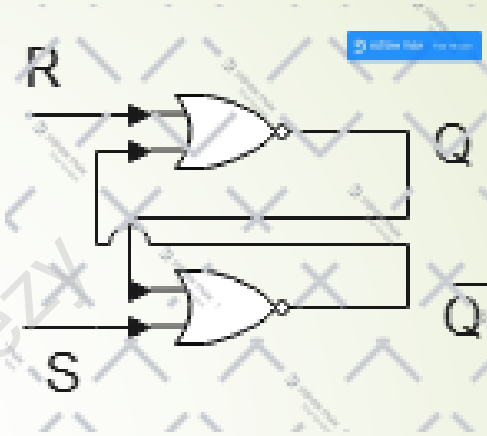
Entrées			Sortie	Remarque
S	R	H	Q_{n+1}	
0	0	X	Q_n	Aucun changement
0	1	↑	0	Etat 0
1	0	↑	1	Etat 1
1	1	↑	?	Non valide

7

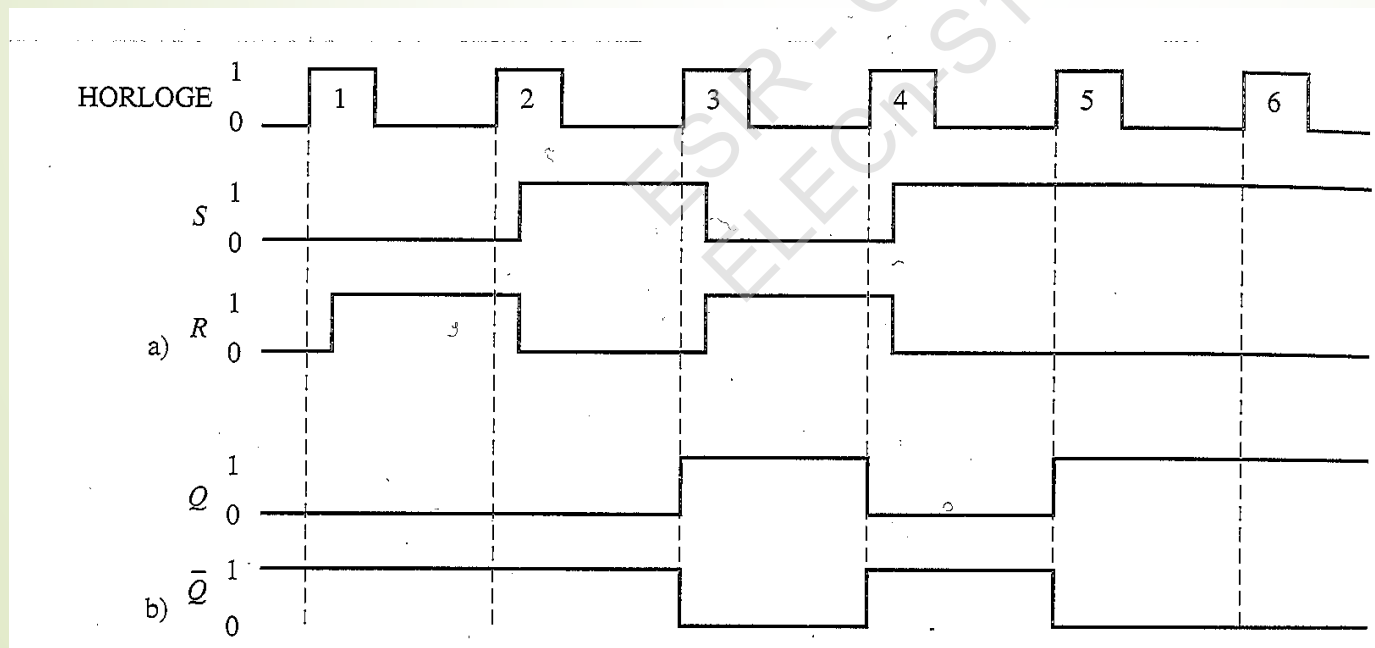
➤ Schéma avec des portes logiques NAND



➤ Schéma avec des portes logiques NOR



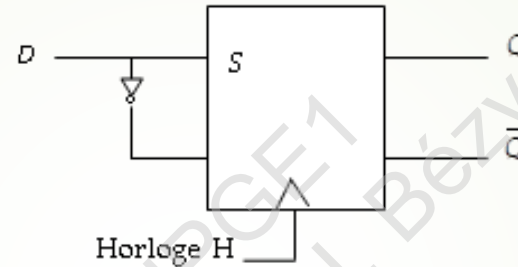
➤ Exemple de chronogramme



c) Bascule D déclenchée par un signal d'horloge

8

- La bascule D est pratique lorsqu'il faut stocker un seul bit de données.
- Elle obtenue à partir d'un bascule RS pour laquelle : $\bar{R} = S = D$
- Exemple : bascule D à déclenchement sur front montant :



- Si l'entrée est au niveau haut lorsqu'un signal d'horloge est appliqué, la bascule est mise à **l'état 1** et le niveau haut est stocké par la bascule (stockage du bit 1).
- Idem pour stockage du bit 0
- Table de vérité :

Entrées		Sortie	Remarque
D	H	Q_{n+1}	
0	↑	0	Etat 0
1	↑	1	Etat 1

- Equation caractéristique de la bascule D : **$Q_{n+1} = D$** (encore noté $Q^+ = D$)

d) Bascule JK déclenchée par un signal d'horloge

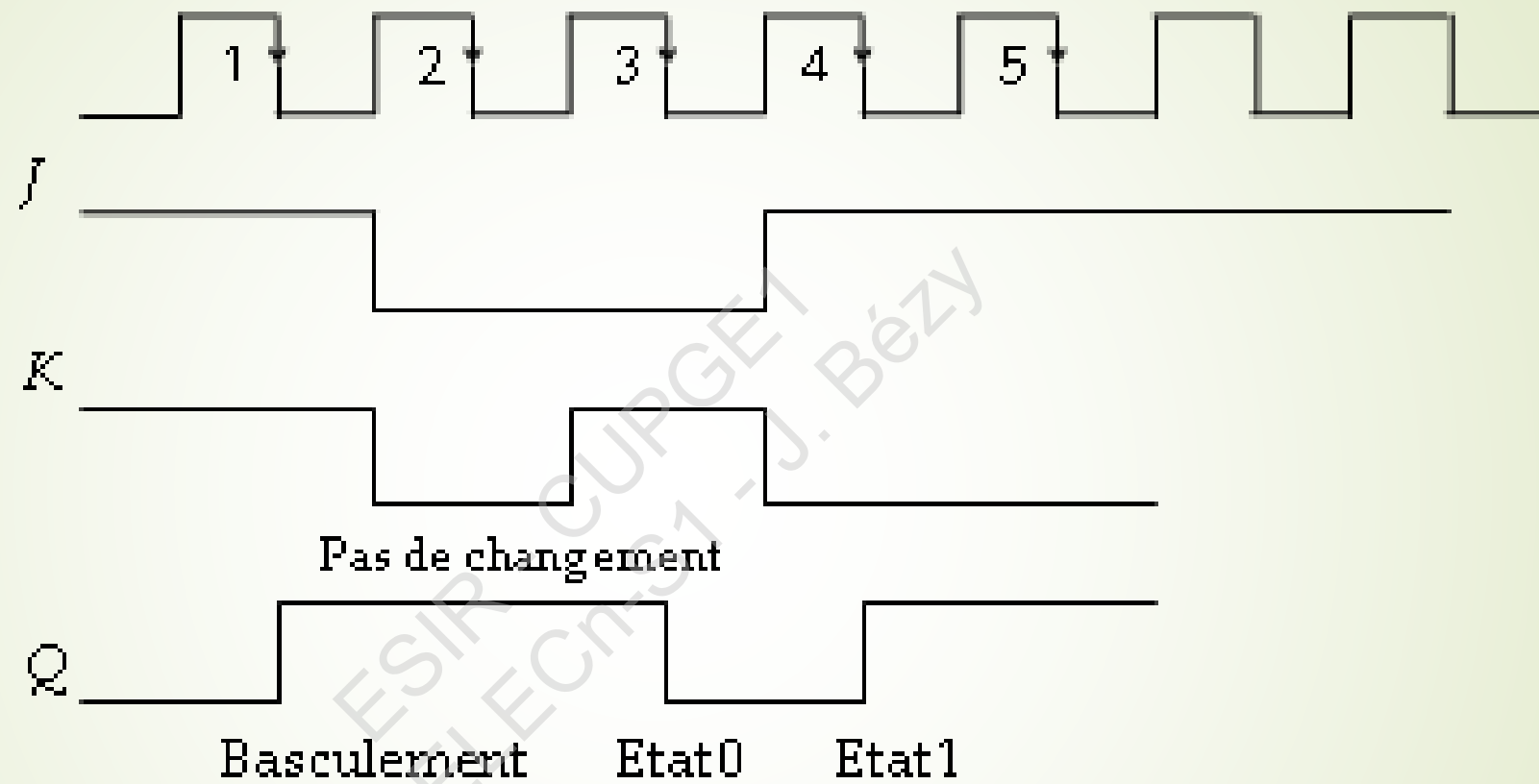
9

- Opération logique identique à celle de la bascule *RS* pour les conditions de la sortie à 1, à 0 et sans changement.
- La différence entre la bascule *RS* et la bascule *JK* : cette dernière ne possède aucun état non valide.

Entrées			Sortie	Remarque
J	K	H	Q_{n+1}	
0	0	X	Q_n	Aucun changement
0	1	↑	0	Etat 0
1	0	↑	1	Etat 1
1	1	↑	$\overline{Q_n}$	Basculement

- Exemple de chronogramme :

Les formes d'onde suivantes sont appliquées aux entrées *J*, *K* et Horloge. Déterminer la sortie *Q* si la bascule est initialement à l'état 0. On suppose que la bascule déclenche sur front descendant.



11

➡ Tableau de Karnaugh de Q_{n+1} :

$Q_n \setminus J_n K_n$	00	01	11	10
0	0	0	1	1
1	1	0	0	1

➡ Equation caractéristique de la bascule JK :

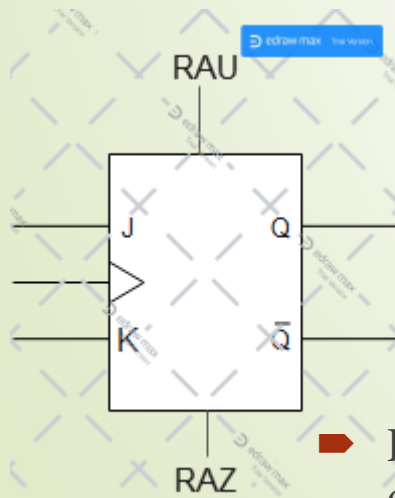
$$Q_{n+1} = J_n \overline{Q_n} + \overline{K_n} Q_n$$

$$(\text{encore noté : } Q_+ = J\overline{Q} + \overline{K}Q)$$

1.3. Entrées asynchrones

12

- Les entrées présentées précédemment (SR , D , $J-K$) sont appelées entrées synchrones : les données présentes sur ces entrées ne sont transférées vers la sortie que lors du front déclencheur du signal d'horloge (transfert synchronisé par le signal d'horloge).
- La plupart des bascules possèdent aussi des entrées asynchrones qui agissent de manière indépendante par rapport aux entrées synchrones et au signal d'horloge. Elles permettent de "forcer" l'état de la bascule à 1 ou à 0 (entrées dite "prioritaires").
- Désignation :
 - RAU : Remise à Un (SET, PRESET)
 - RAZ : remise à Zéro (RESET, CLEAR)
- Symbole logique : exemple d'une $J-K$ valide au niveau HAUT pour entrées asynchrones

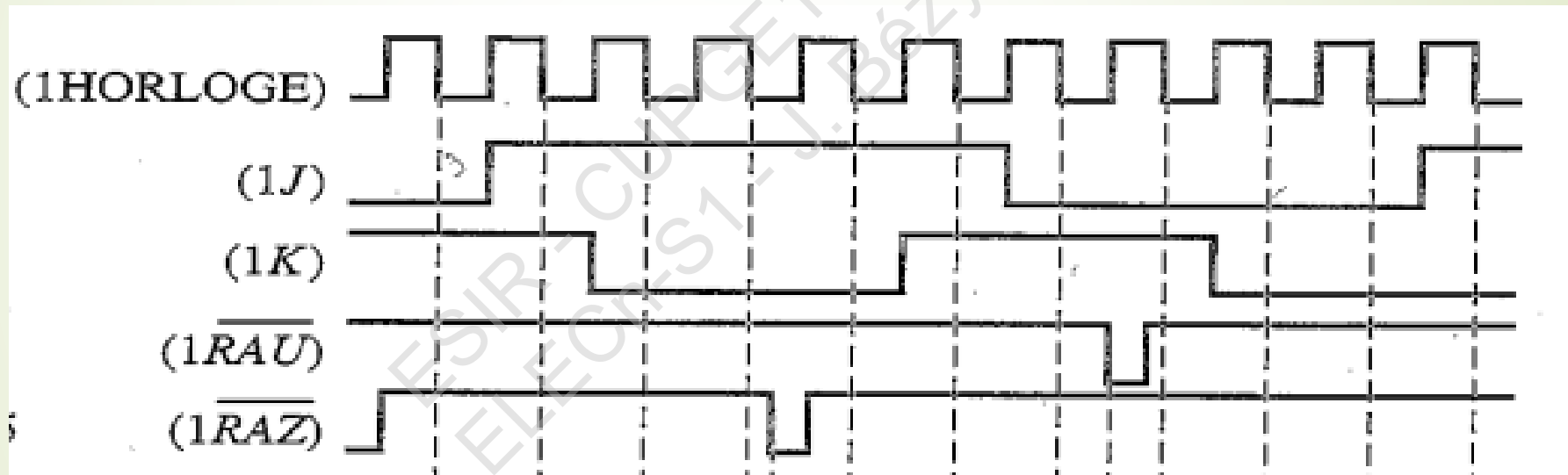


RAU	RAZ	Réponse de la bascule
0	0	Fonctionnement synchrone
1	0	Mise à 1 : $Q=1$
0	1	Mise à 0 : $Q=0$
1	1	Inutilisé

- Dans le cas $RAU=1$ $RAZ=0$, la sortie Q passe immédiatement à 1, quelque soit la valeur des entrées J , K , H (idem pour $RAZ=1$ $RAU=0$)

- Exercice : Les formes d'ondes J, K, H, \overline{RAU} , \overline{RAZ} (Attention : la remise à 1 et remise à 0 sont actives au niveau bas dans cet exemple) suivants sont appliqués aux entrées d'une bascule à déclenchement par front négatif (CI 74HC112).

Déterminer la forme d'onde de la sortie Q.



Circuits séquentiels

2. Compteurs

ESIR - COURGE1
ELECn-S1 - Bézy

2.1. Compteurs synchrones

15

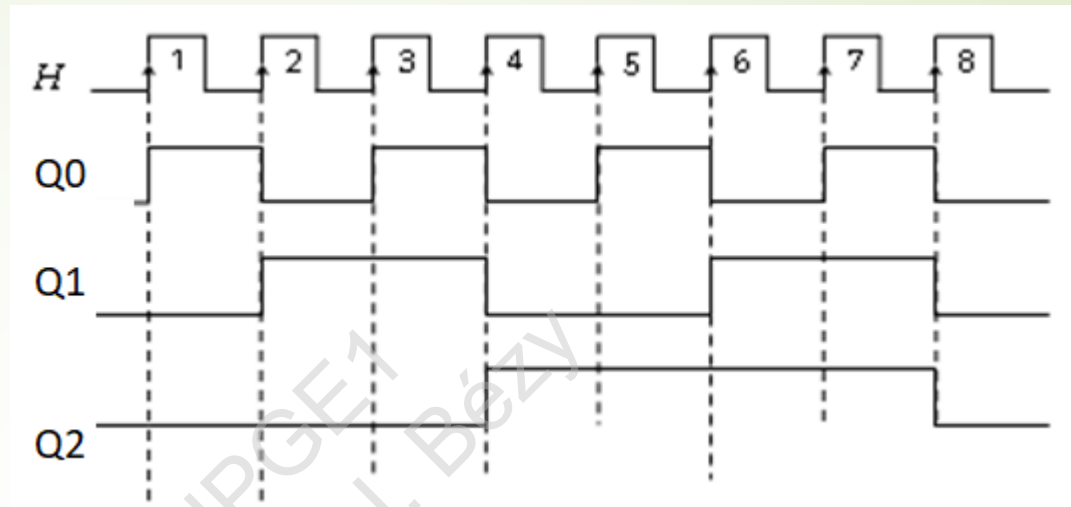
- Synchrone : toutes les bascules du compteur sont synchronisées simultanément avec le même signal d'horloge.

a) Compteur binaire synchrone de 3 bits

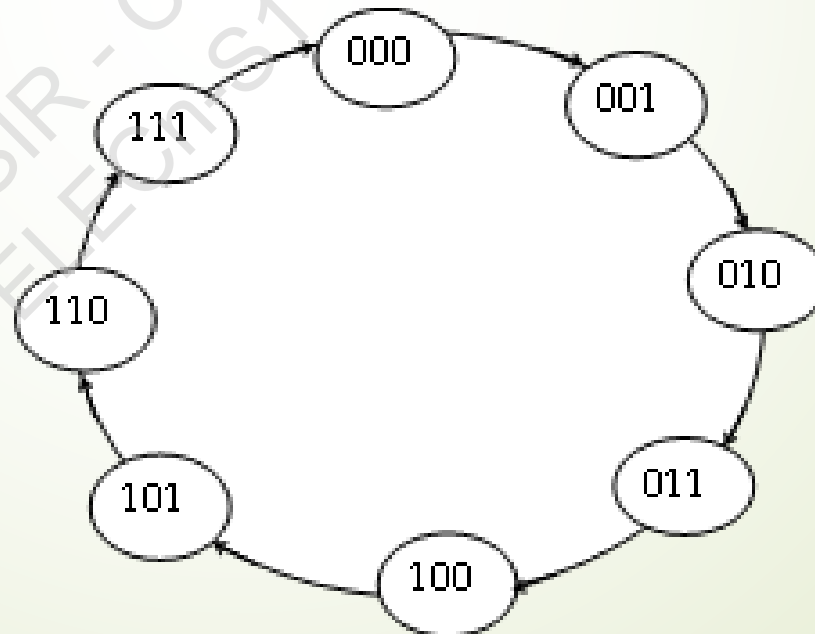
- Table des états

Etat présent				Etat suivant				
Décimal	Codage binaire			Codage binaire			Décimal	Etat suivant : état occupé par le compteur immédiatem ent après l'état présent en réponse à l'application d'une impulsion de signal d'horloge.
	Q2	Q1	Q0	Q2 ⁺	Q1 ⁺	Q0 ⁺		
0	0	0	0	0	0	1	1	
1	0	0	1	0	1	0	2	
2	0	1	0	0	1	1	3	
3	0	1	1	1	0	0	4	
4	1	0	0	1	0	1	5	
5	1	0	1	1	1	0	6	
6	1	1	0	1	1	1	7	
7	1	1	1	0	0	0	0	

➤ Chronogramme :



➤ Diagramme des états :



17 ➤ Synthèse du compteur avec des bascules D :

- il s'agit de **trouver les expressions logiques des entrées des bascules.**

➤ Méthode :

- Utiliser l'expression caractéristique des bascule D : $Q^+ = D$, vraie pour toute bascule D
- Exprimer Q^+ pour chacune des bascules du compteur :
 - ✓ De manière générale, il y a n bascules dont les entrées sont $D_0, D_1, \dots, D_i, \dots, D_{n-1}$, et les sorties $Q_0, Q_1, \dots, Q_i, \dots, Q_{n-1}$.
 - ✓ Dans notre compteur en particulier, il y a trois bascules, car trois bits (Q_2, Q_1, Q_0) suffisent à coder en binaire les 8 états du compteur.
- En déduire D_i pour chacune des bascules du compteur.
- Pour trouver Q_i^+ pour chaque bascule : Tableau de Karnaugh de Q_i^+

Tableau de Karnaugh des Q^+ en fonction des Q (matrice de commande)

Etat présent				Etat suivant				
Décimal	Codage binaire			Codage binaire			Décimal	Etat suivant : état occupé par le compteur immédiatem ent après l'état présent en réponse à l'application d'une impulsion de signal d'horloge.
	Q2	Q1	Q0	Q2 ⁺	Q1 ⁺	Q0 ⁺		
0	0	0	0	0	0	1	1	
1	0	0	1	0	1	0	2	
2	0	1	0	0	1	1	3	
3	0	1	1	1	0	0	4	
4	1	0	0	1	0	1	5	
5	1	0	1	1	1	0	6	
6	1	1	0	1	1	1	7	
7	1	1	1	0	0	0	0	

 $Q_2^+ :$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	0	0	1	0
1	1	1	0	1

$Q_2^+ = Q_2 \overline{Q_1} + Q_2 \overline{Q_0} + \overline{Q_2} Q_1 Q_0$, or pour une bascule D

on a : $Q^+ = D \Rightarrow D_2 = Q_2 (\overline{Q_1} + \overline{Q_0}) + \overline{Q_2} Q_1 Q_0$
 $= Q_2 (\overline{Q_1 Q_0}) + \overline{Q_2} Q_1 Q_0$
 $D_2 = Q_2 \oplus (Q_1 Q_0)$

 $Q_1^+ :$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	0	1	0	1
1	0	1	0	1

$$Q_1^+ = \overline{Q_1} Q_0 + Q_1 \overline{Q_0}$$

$$\Rightarrow \underline{D_1 = Q_1 \oplus Q_0}$$

 $Q_0^+ :$

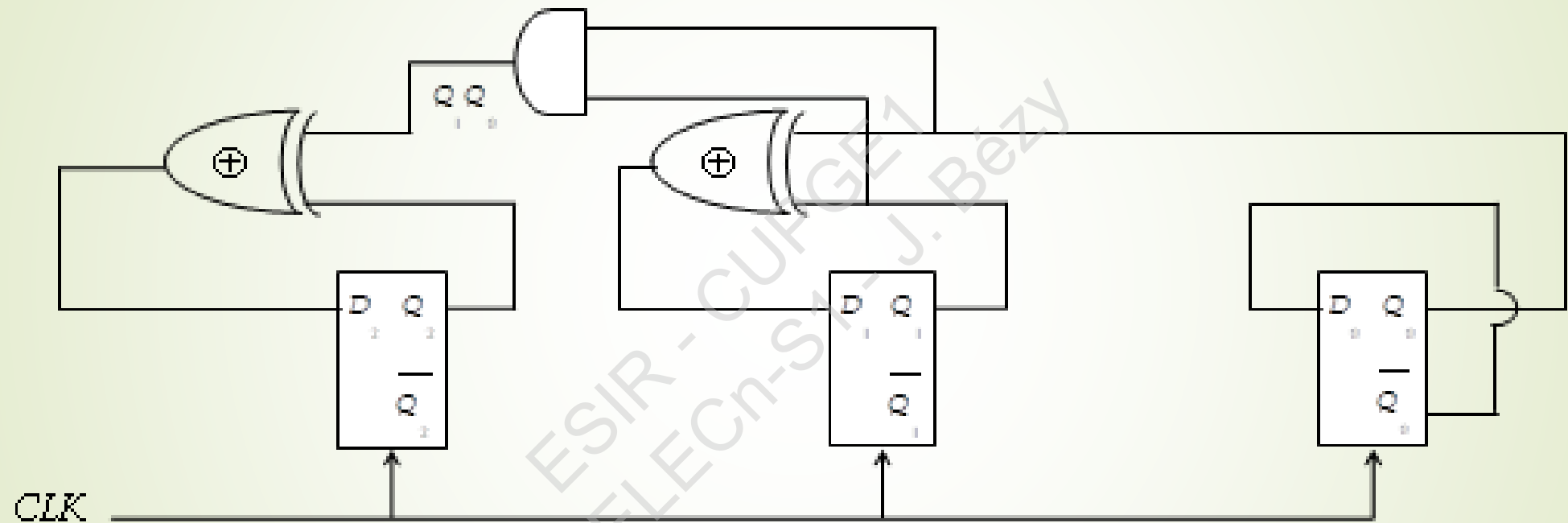
$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	1	0	0	1
1	1	0	0	1

$$Q_0^+ = \overline{Q_0}$$

$$\underline{D_0 = \overline{Q_0}}$$

19

➤ D'où le schéma du compteur avec des bascules D :



➡ Synthèse du compteur avec des bascules JK :

- il s'agit à nouveau de trouver les expressions logiques des entrées des bascules J_i , K_i .

20

$$Q_2^+ :$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	0	0	1	0
1	1	1	0	1

$$Q_2^+ = Q_2 \overline{Q_1} + Q_2 \overline{Q_0} + \overline{Q_2} Q_1 Q_0$$

$$Q_2^+ = J_2 \overline{Q_2} + \overline{K_2} Q_2$$

$$\Rightarrow \begin{cases} J_2 = Q_1 Q_0 \\ K_2 = Q_1 Q_0 \end{cases}$$

$$Q_1^+ :$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	0	1	0	1
1	0	1	0	1

$$Q_1^+ = \overline{Q_1} Q_0 + Q_1 \overline{Q_0}$$

$$Q_1^+ = J_1 \overline{Q_1} + \overline{K_1} Q_1$$

$$\Rightarrow \begin{cases} J_1 = Q_0 \\ K_1 = Q_0 \end{cases}$$

$$Q_0^+ :$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	1	0	0	1
1	1	0	0	1

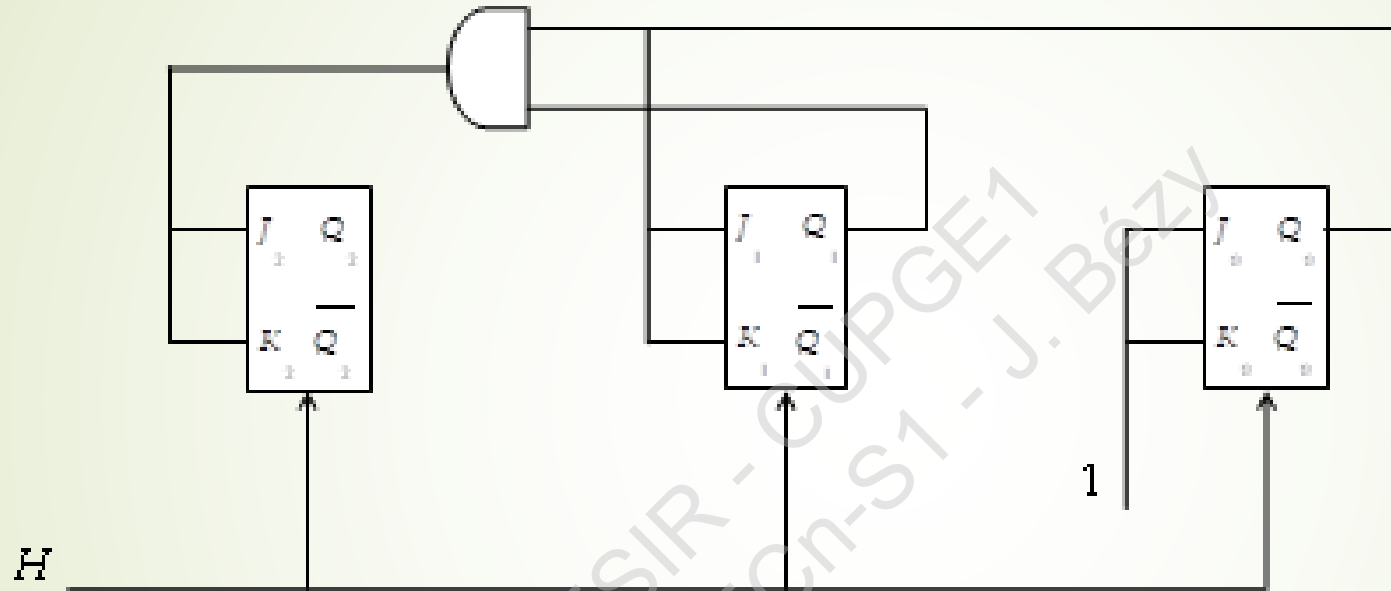
$$Q_0^+ = \overline{Q_0}$$

$$Q_0^+ = J_0 \overline{Q_0} + \overline{K_0} Q_0$$

$$\Rightarrow \begin{cases} J_0 = K_0 = 1 \end{cases}$$

21

➤ D'où le schéma du compteur avec des bascules JK :



b) Etude des états hors cycle

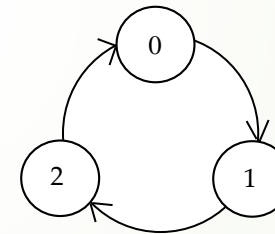
Il arrive que le nombre de bascules utilisées permettent de coder plus d'états que ceux du cycle de comptage : exemple d'un compteur synchrone bascules JK module 3 (module 3 = 3 états, compte de 0 à 2).

Etat	Q_1	Q_0	Q_1^+	Q_0^+	X_1	X_0
0	0	0	0	1	0	1
1	0	1	1	0	1	1
2	1	0	0	0	1	0
0	0	0	0	1	0	1

$$Q_1^+ = \overline{Q_1}Q_0 = J_1\overline{Q_1} + \overline{K_1}Q_1 \Rightarrow J_1 = Q_0, K_1 = 1$$

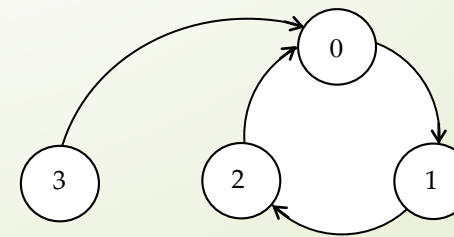
$$Q_0^+ = \overline{Q_1}\overline{Q_0} = J_0\overline{Q_0} + \overline{K_0}Q_0 \Rightarrow J_0 = \overline{Q_1}, K_0 = 1$$

- Graphe des états



Que se passe-t-il si le compteur démarre dans l'état 3 ? $\begin{matrix} Q_1 & Q_0 \\ 1 & 1 \end{matrix} \Rightarrow \begin{matrix} Q_1^+ & Q_0^+ \\ 0 & 0 \end{matrix}$

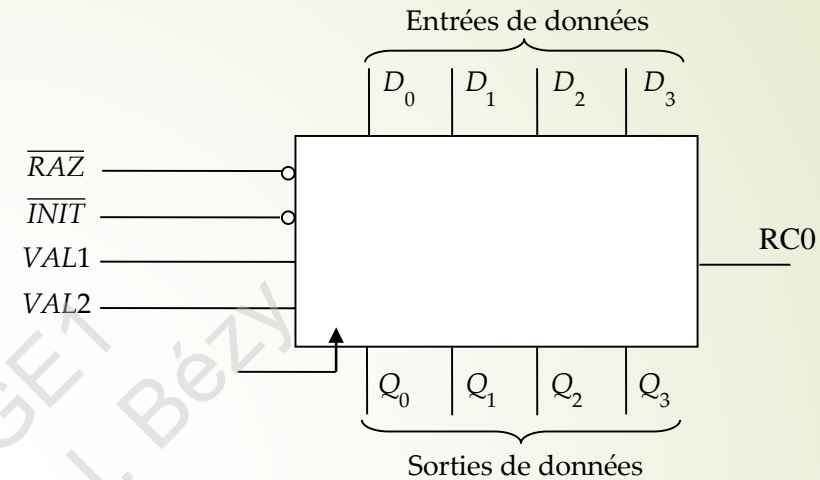
A l'instant suivant, on aura l'état 0 (on rentre à nouveau dans le cycle de comptage).



23

c) Circuit Intégré (CI) du compteur binaire synchrone de 4 bits

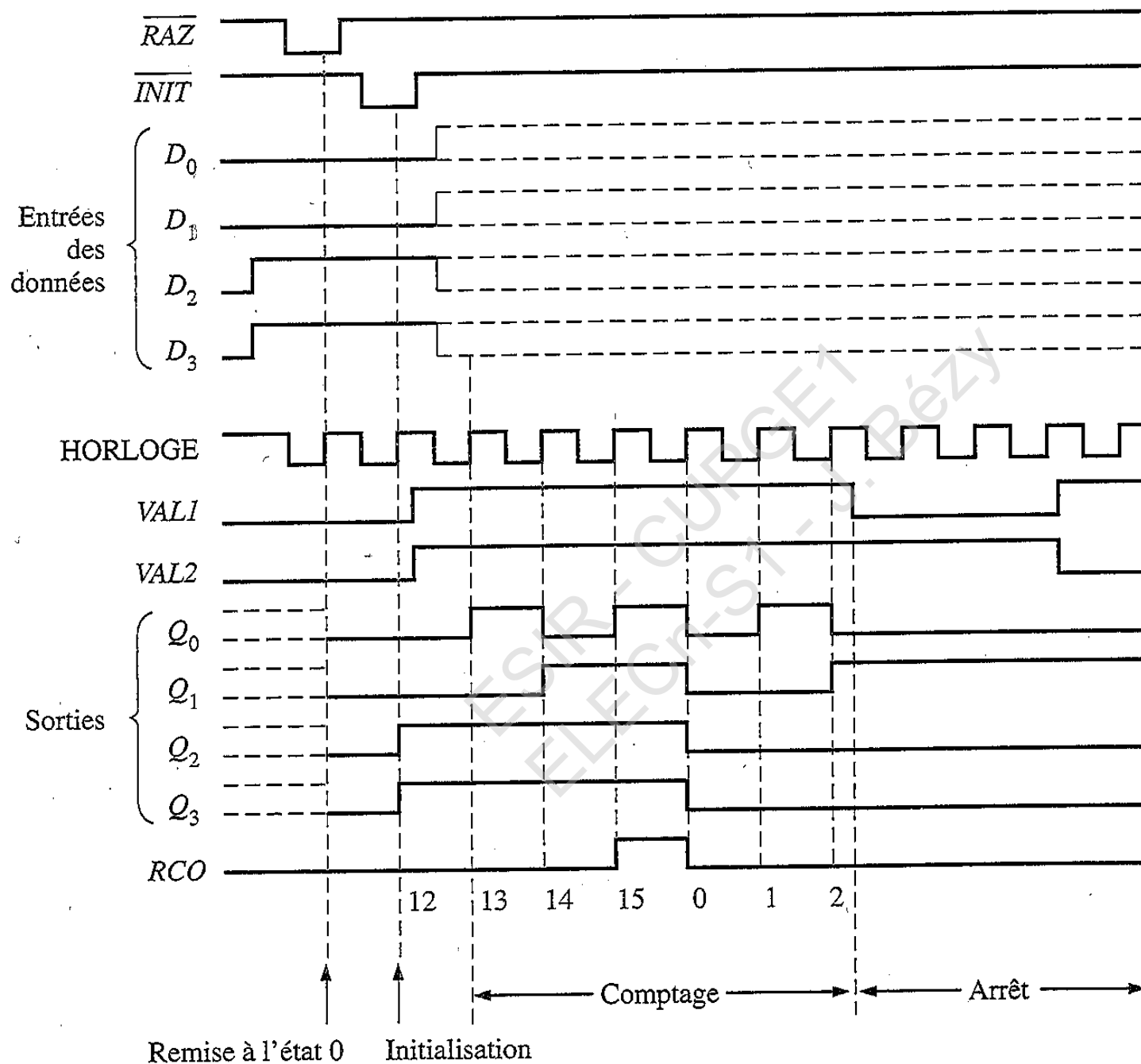
- Symbole logique



- Initialisation : le compteur peut être initialisé de façon synchrone à n'importe quel nombre binaire de 4 bits (entrées données).

Lorsqu'un 0 est appliqué sur l'entrée \overline{INIT} , le compteur est mis dans l'état correspondant aux entrées de données à la prochaine impulsion d'horloge.

- Remise à 0 : \overline{RAZ} (niveau valide bas) : réinitialise les 4 bascules du compteur de façon synchrone.
- Fonctionnement du compteur : il faut que $VAL1$ et $VAL2$ soient actives.
- Fin de comptage : la sortie RCO passe à l'état HAUT quand le compteur atteint le compte final (15). Cette sortie est aussi utilisée pour cascader les compteurs (modulo plus élevé).



- $\overline{RAZ}=0$: met toutes les sorties à 0
- $\overline{INIT}=0$: au prochain front de H, les entrées sont transférées à la sortie
- Comptage jusqu'à 15 puis recommence à 0, 1, 2
- Attention $VAL1$ passe à 0 : arrêt !

2.2. Compteurs asynchrones

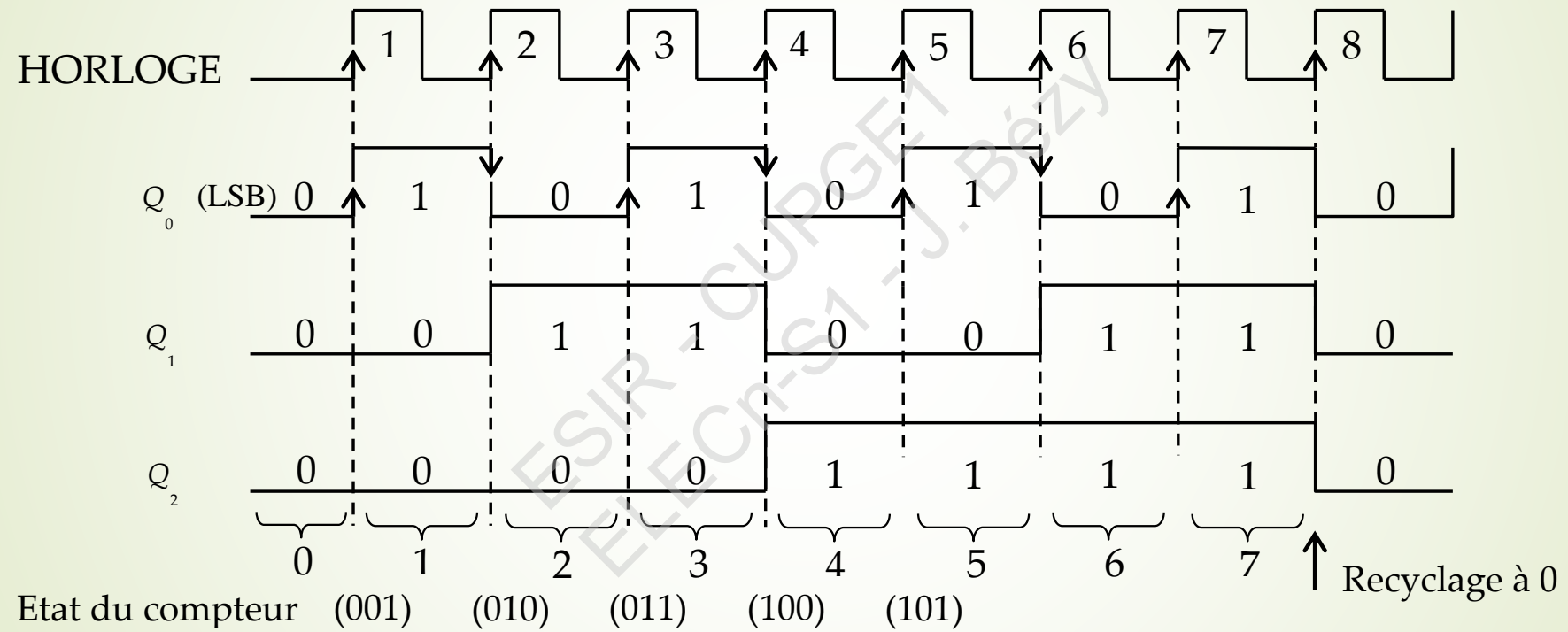
25

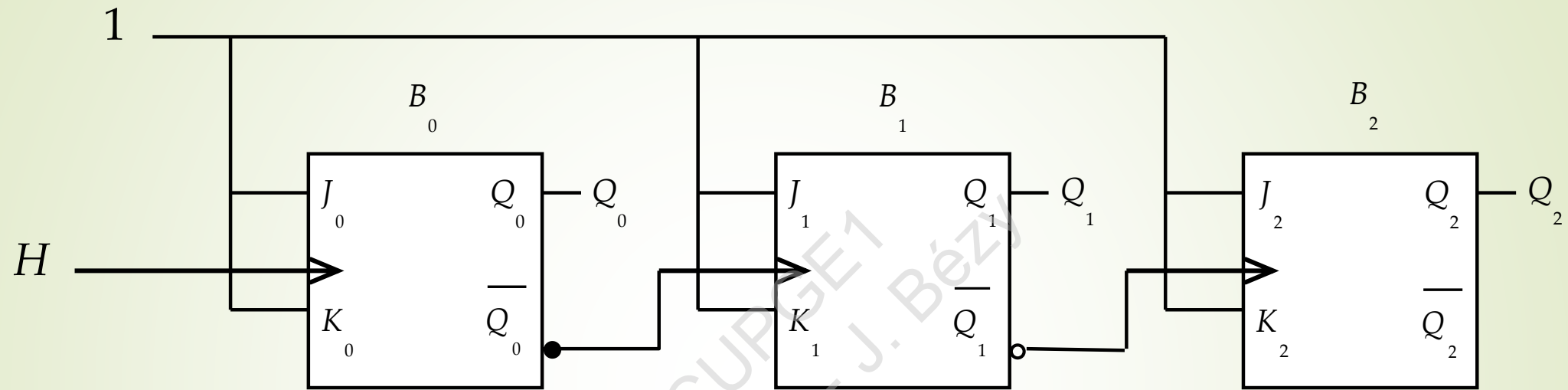
- Les bascules formant un compteur asynchrone ne changent pas d'état exactement au même moment, car elles ne sont pas reliées au même signal d'horloge.

a) Compteur binaire asynchrone de 3 bits

- Table des états : idem compteur synchrone

Etat présent				Etat suivant				
Décimal	Codage binaire			Codage binaire			Décimal	Etat suivant : état occupé par le compteur immédiatem ent après l'état présent en réponse à l'application d'une impulsion de signal d'horloge.
	Q2	Q1	Q0	Q2 ⁺	Q1 ⁺	Q0 ⁺		
0	0	0	0	0	0	1		
1	0	0	1	0	1	0		
2	0	1	0	0	1	1		
3	0	1	1	1	0	0		
4	1	0	0	1	0	1		
5	1	0	1	1	1	0		
6	1	1	0	1	1	1		
7	1	1	1	0	0	0		





Avantage des compteurs asynchrones : schéma de câblage plus simple (pas de portes logiques). Rm : exceptionnellement le bit de poids faible (sortie de la bascule de poids faible) est représenté à gauche sur le schéma – pour des raisons de facilité de représentation.

- Fonctionnement

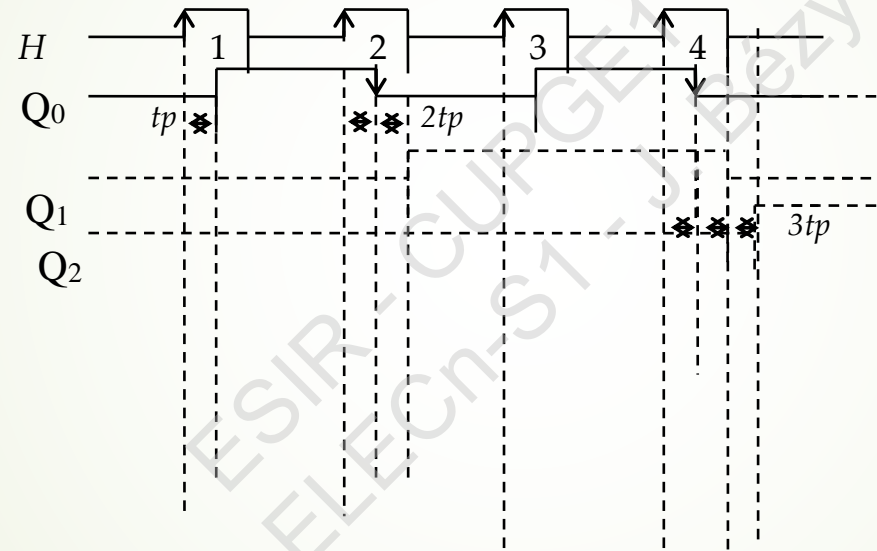
Le signal d'horloge est appliqué uniquement à l'entrée C de la première bascule B_0 . La deuxième bascule utilise le signal de sortie Q_0 comme signal d'horloge (front montant de Q_0 front descendant de Q_1). Toutes les bascules sont connectées en mode de basculement ($J=K=1$) et sont initialement à 0.

ESIR - CUPGE1
ELECn-S1 - J. Bézy

Retard de propagation

L'inconvénient majeur des compteurs asynchrone vient des retards de propagation qui se cumulent et qui entraînent donc une limite de fréquence d'utilisation.

Exemple : cas où les 3 bascules du compteur précédent changent d'état lors du front montant (4). Les retards de propagation lors des quatre premières impulsions sont illustrés sur le chronogramme suivant :



⇒ Il faut compter 3 retards de propagation avant que l'effet de l'impulsion 4 de l'horloge n'ait traversé le compteur pour que Q_2 passe finalement de l'état BAS à l'état HAUT.

Il ne faut pas que le prochain front actif arrive sur H avant que Q_2 ait changé d'état, sinon Q_0 changerait aussi et on n'aurait pas l'état 100.

⇒ Dans compteur asynchrone :

Retard cumulatif = désavantage majeur

Le retard cumulatif maximal d'un compteur doit toujours être inférieur à la période du signal d'horloge.

30

Circuits séquentiels

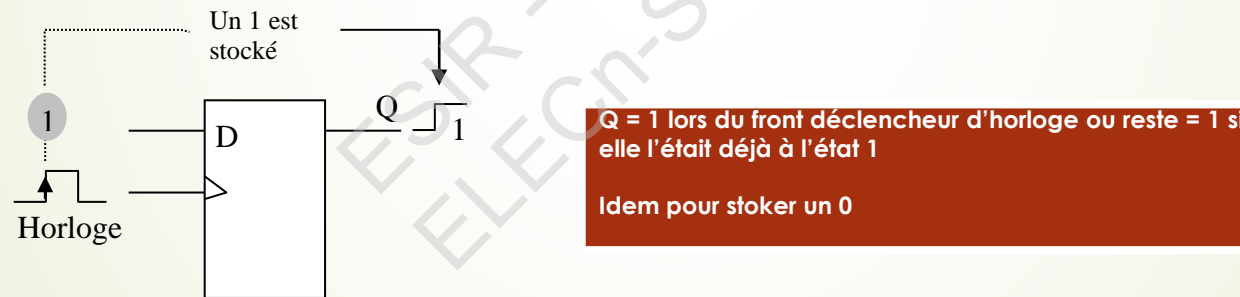
3. Registres

ESIR - COURGE1
ELECn-S1 - Bézy

Les registres renferment un arrangement de bascules et sont des éléments importants dans les applications de **stockage** et de **transfert** de données.

3.1. Fonction stockage

- Le **stockage** est une fonction requise dans la plupart des systèmes numériques.
- Objectif : conserver les données binaires pour une période de temps
 - Possibilité de stocker un bit ou un groupe de bits
 - Possibilité de retenir l'information aussi longtemps que nécessaire
- Unités de stockage les plus courantes : bascules, registres



- Registre : formé d'une combinaison de bascules utilisées pour stocker des groupes de bits (registre=élément de mémoire).
- Ex : on peut construire un registre 8 bits avec 8 bascules (La capacité de stockage = nombre total de bits)

3.2. Fonction décalage

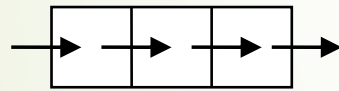
32

► Registre permet :

- stocker mais aussi
- décaler les bits d'une position à une autre en interne ou vers un autre circuit extérieur

⇒ Appellation « registre à décalage »

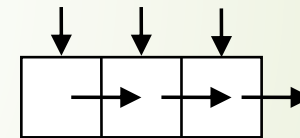
► Différents types de déplacement des données dans les registres à décalage :



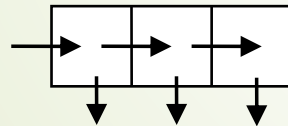
Entrée série
Décalage droite
Sortie série



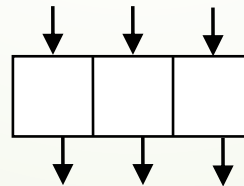
Entrée série
Décalage gauche
Sortie série



Entrée parallèle
Sortie série

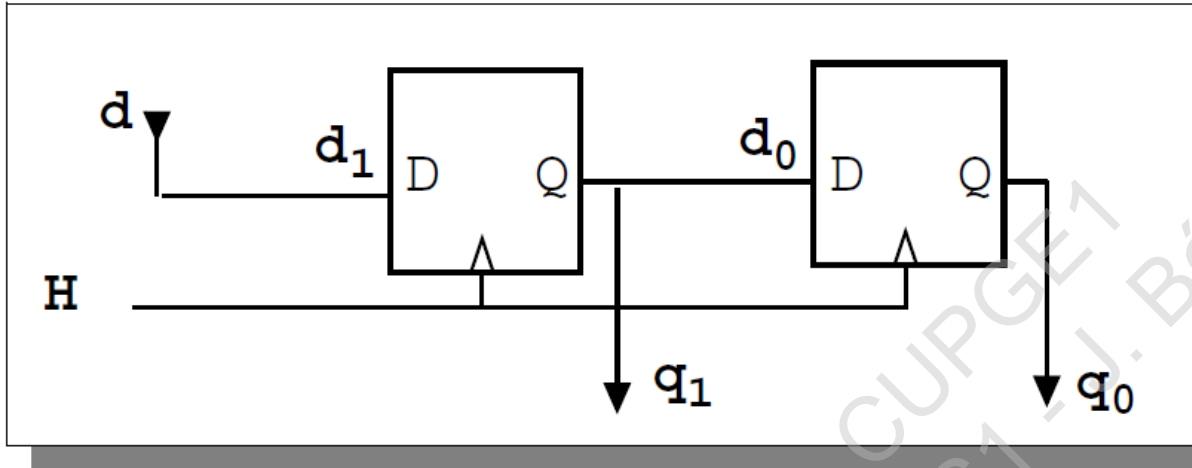


Entrée série
Sortie parallèle



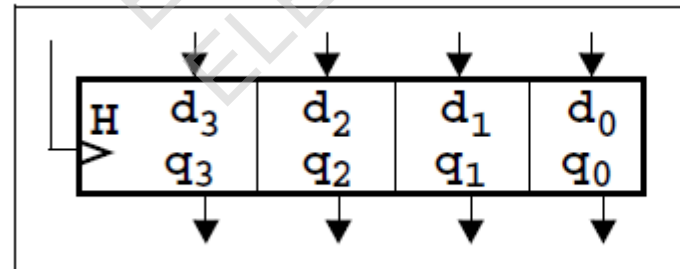
Entrées parallèles
Sorties parallèles

- Application : convertir des données parallèles en données série pour transmission (exemple téléphonie)
- Registre = élément synchrone car assemblage de bascules synchronisées sur le même signal d'horloge H :

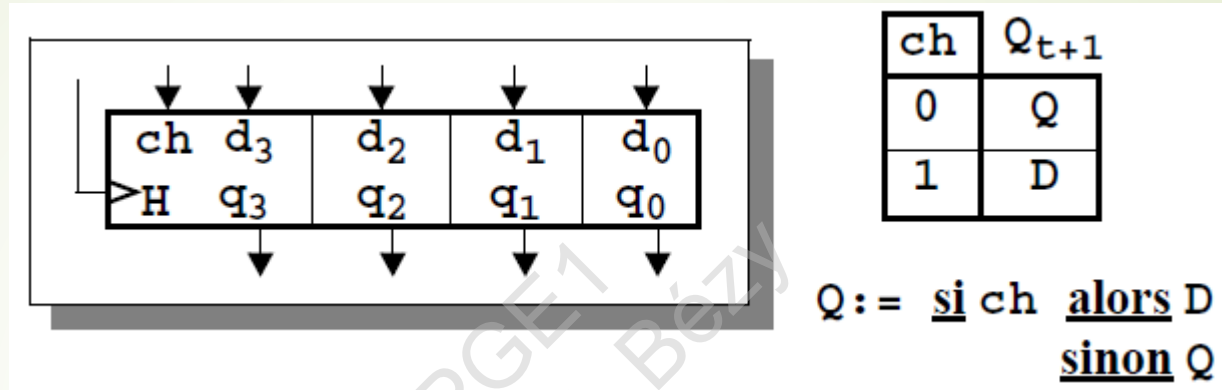

 $q_1 := d_1$
 $q_0 := d_0$

Connexions \rightarrow $d_1 = d, d_0 = q_1$
 $q_1 := d$
 $q_0 := q_1$

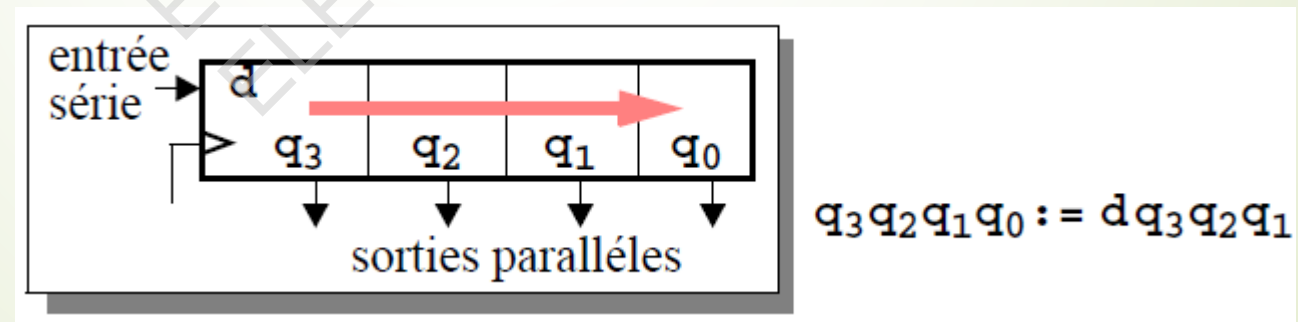
- Registre à **chargement systématique** (pure mémoire n bits) :


 $q_{3-0} := d_{3-0}$

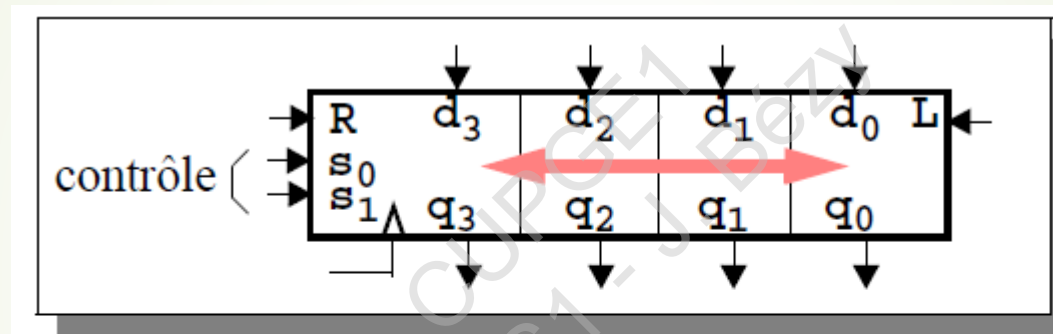
- Registre à **chargement commandé** (commande de chargement ch) :



- Registre à décalage systématique :



- Registre à **décalage droite, gauche et chargement** :



$q_3 q_2 q_1 q_0 := \text{cas } s_1 s_0$

soit 00 : $q_3 q_2 q_1 q_0$

état inchangé

soit 01 : $R q_3 q_2 q_1$

décalage droite

soit 10 : $q_2 q_1 q_0 L$

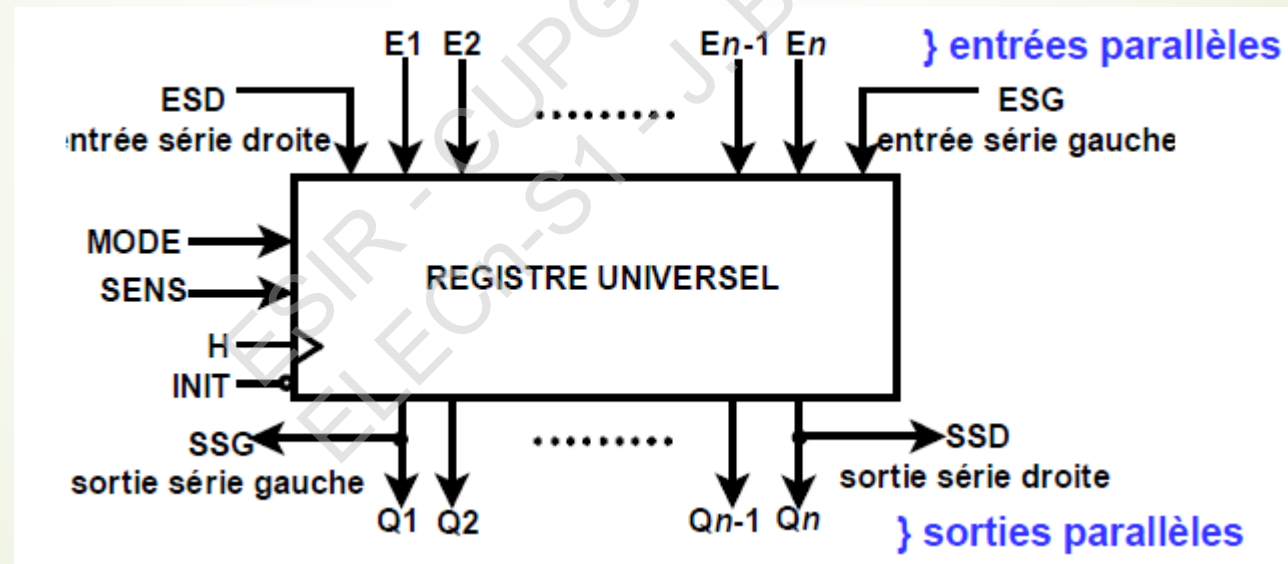
décalage gauche

soit 11 : $d_3 d_2 d_1 d_0$

chargement

- Registre universel :

- ✓ Chargement Série ou parallèle (**MODE**, **ESD**, **ESG**, ou **Ei**)
- ✓ Décalage à droite et à gauche (**SENS**)
- ✓ Lecture série ou parallèle (**SSG**, **SSD**, ou **Qi**)
- ✓ Initialisation (**INIT**)



3.3. Exemple d'application des registres

37

Application : générateur de retard

- Chronogramme d'un registre 74164 :
- L'entrée série sur l'entrée A est reçue et décalée dans le registre après l'application d'un niveau 1 sur B.
- On retrouve la forme d'onde entrée sur A successivement sur les sorties Q0, Q1, ..., Q7.
- Ce chronogramme illustre l'application possible des registres à décalage pour **générer un retard** entre 2 signaux (ici entre l'entrée A, et l'une ou l'autre des sorties – même onde, mais retardée). Le retard peut être modifié grâce à la fréquence de l'horloge.

