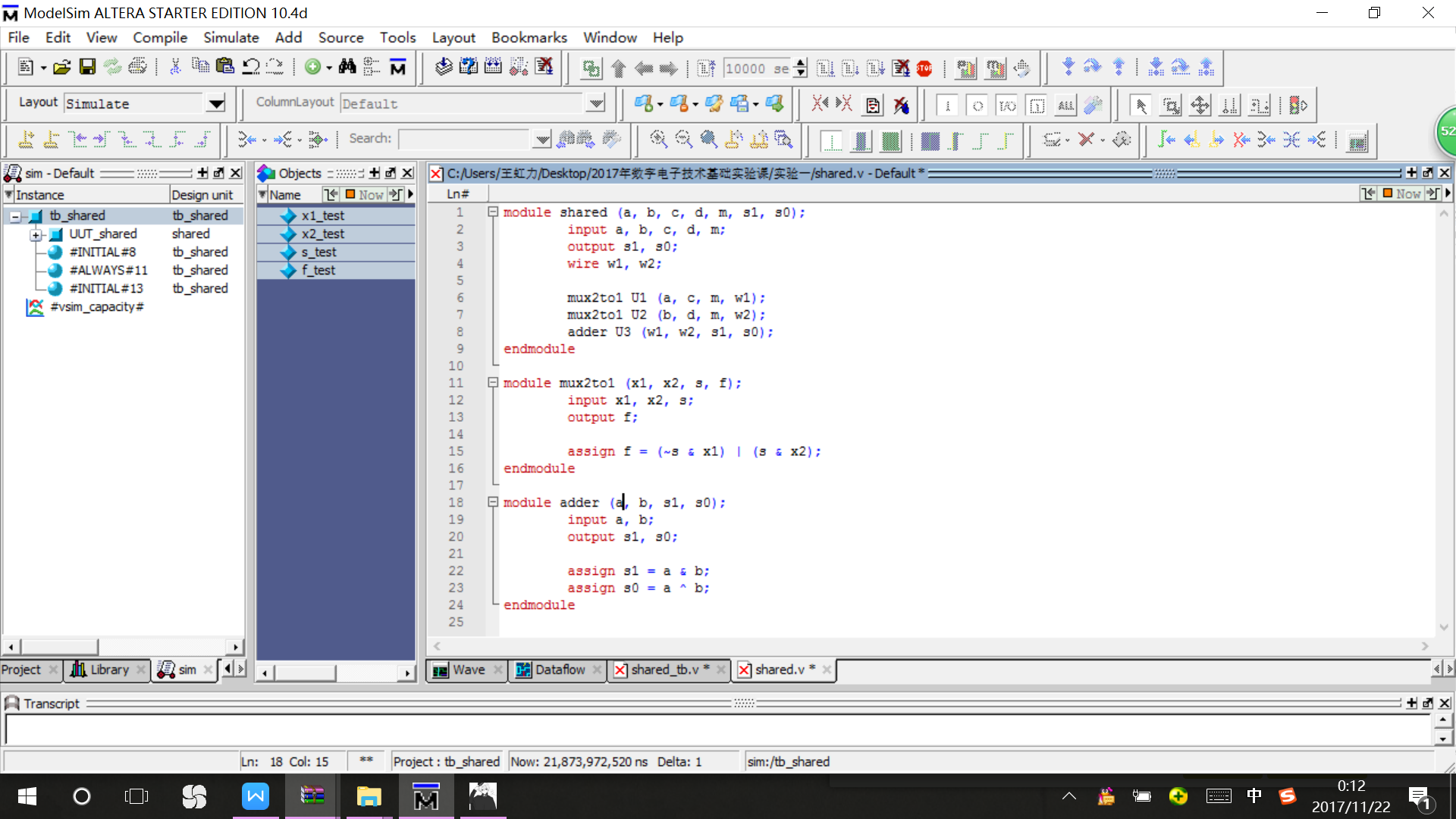
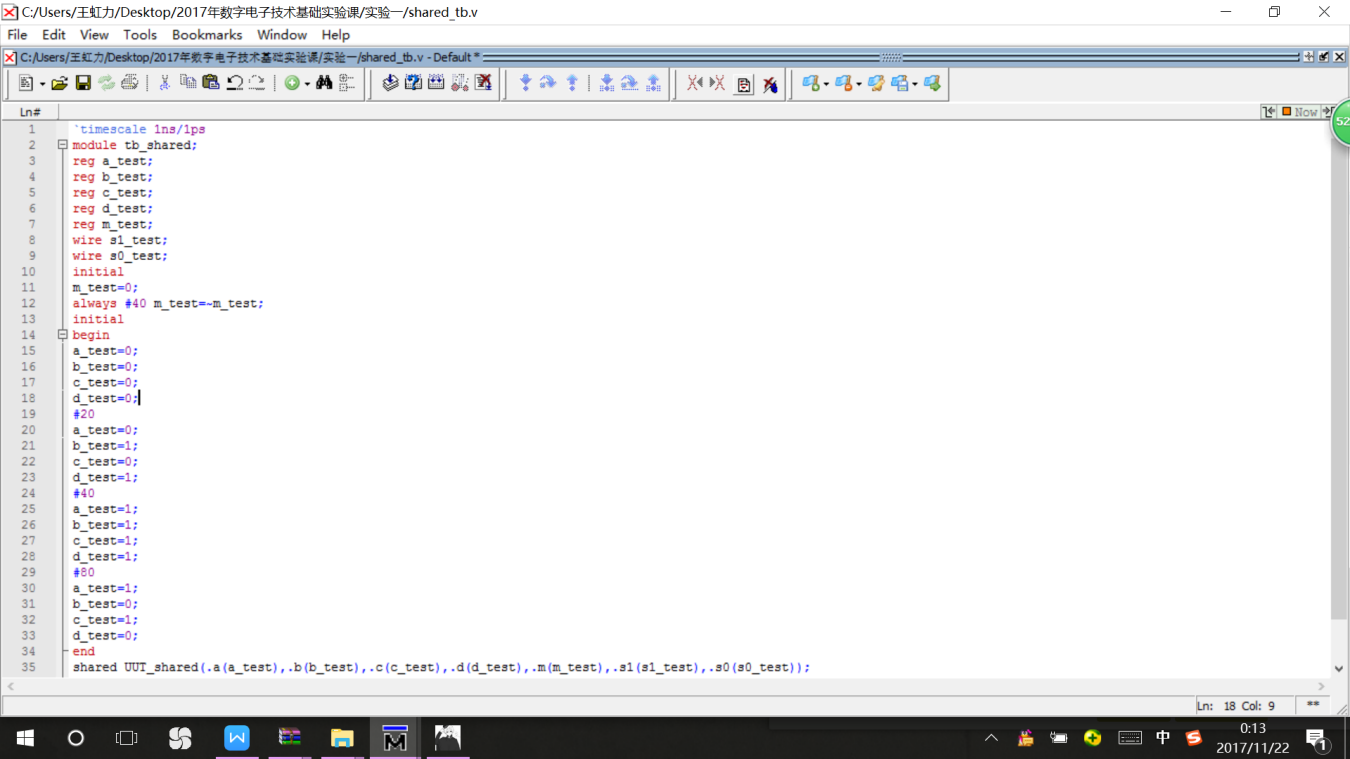
数字电子技术基础实验实验报告一

**一、例题：shared**

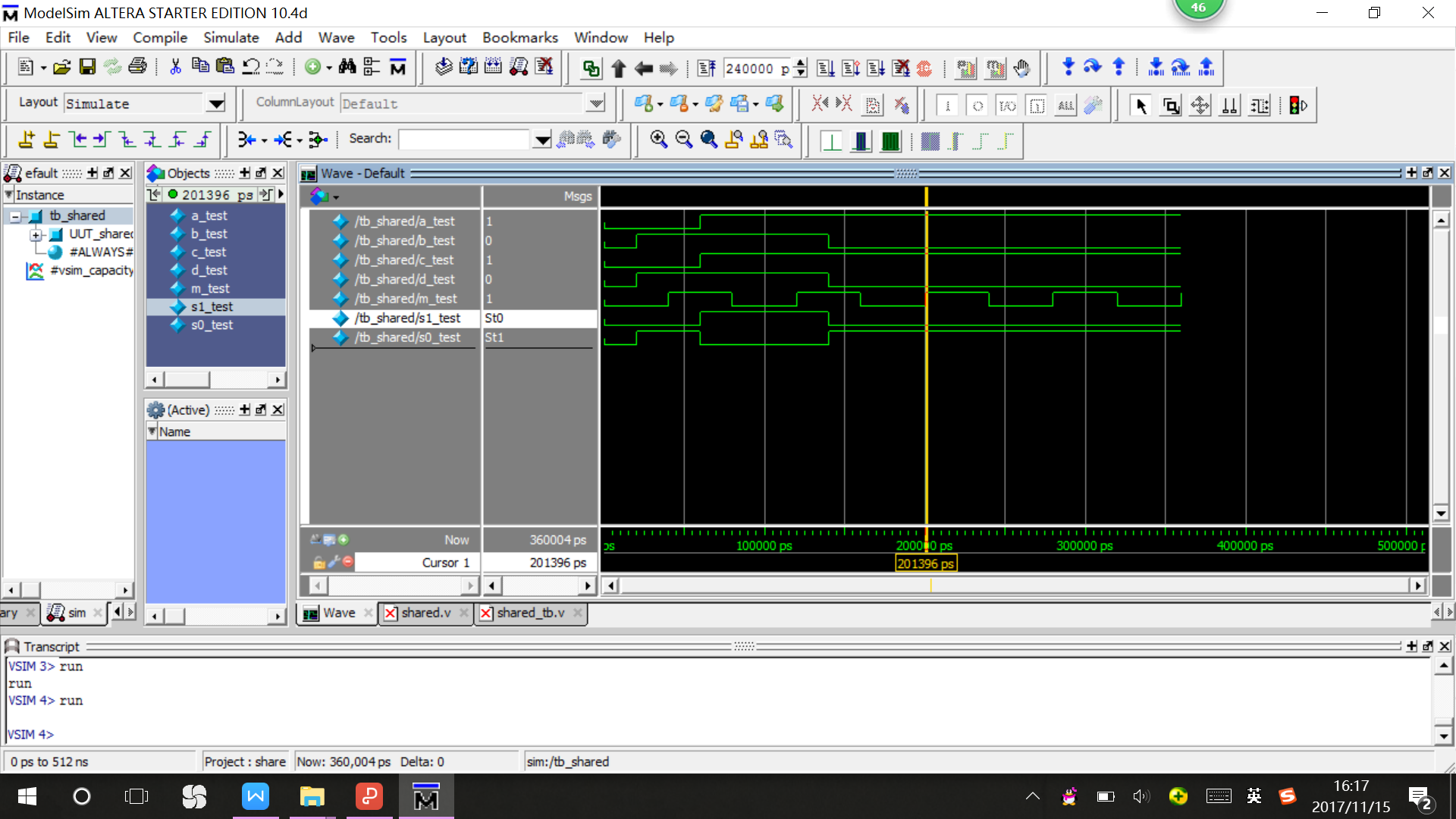
1.shared的Verilog HDL代码：



2.testbench\_shared的Verilog HDL代码：



3.tb\_shared的wave图：



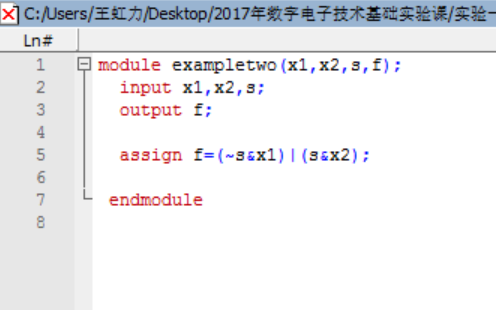
（4）简要波形分析：

经分析该电路的代码和波形，可以得出：如果m=0，则电路实现s=a+b；如果m=1，则电路实现s=c+d；如此我们就实现了一个加法选择器，由如图的波形数据点可以验证该逻辑关系。

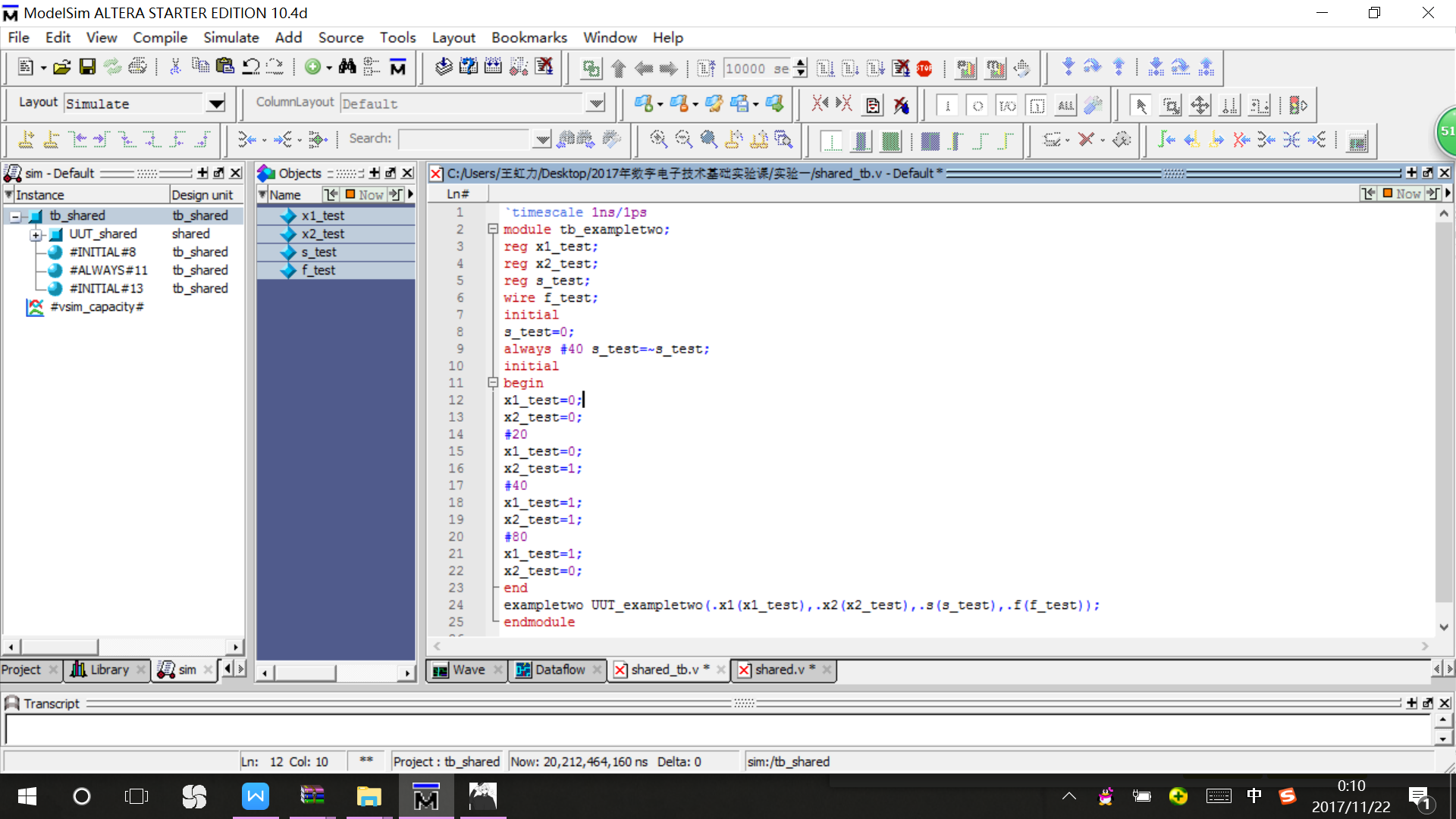
**二、作业题**

**1.Figure 2.40**

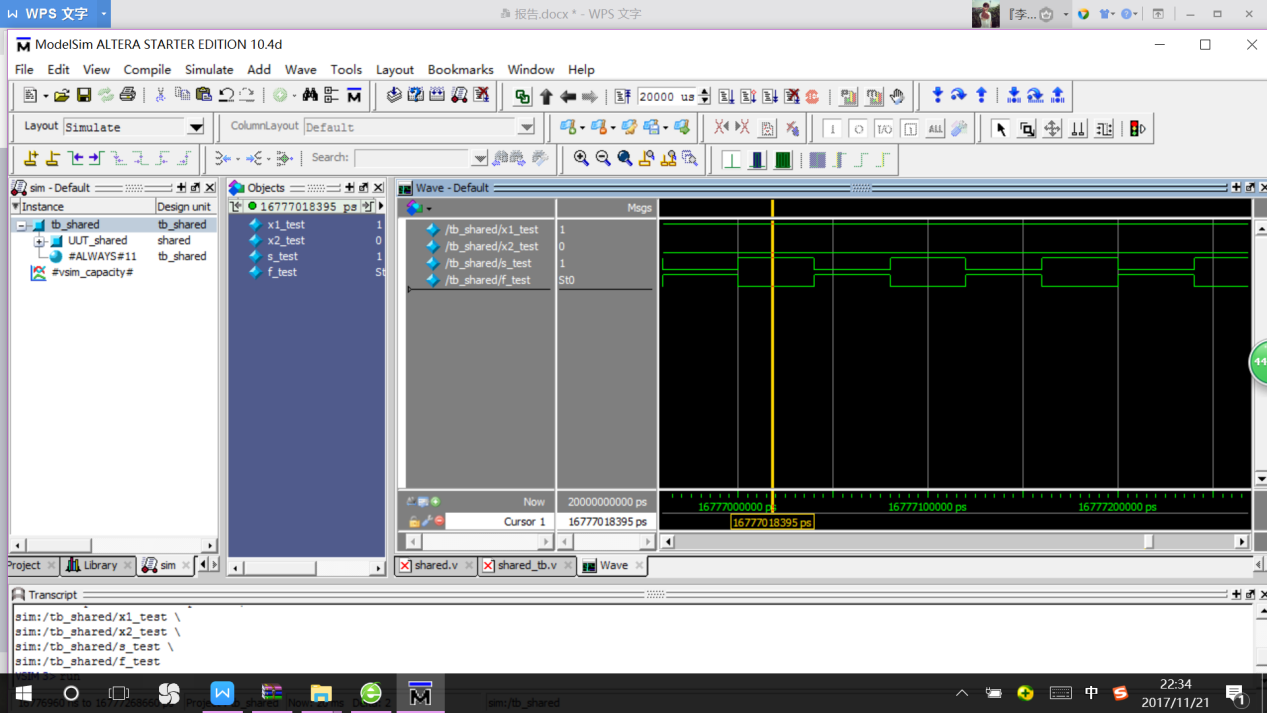
（1）exampletwo的Verilog HDL代码：



1. testbench\_exampletwo的Verilog HDL代码：



（3）tb\_exampletwo的wave图：

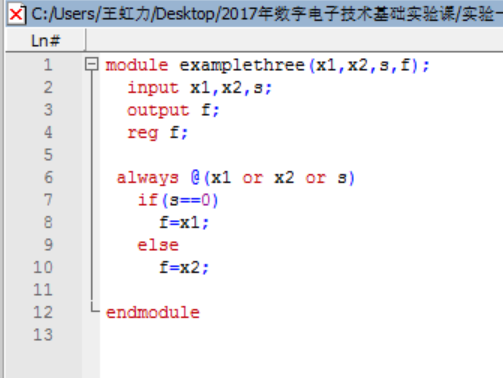


1. 简要波形分析：

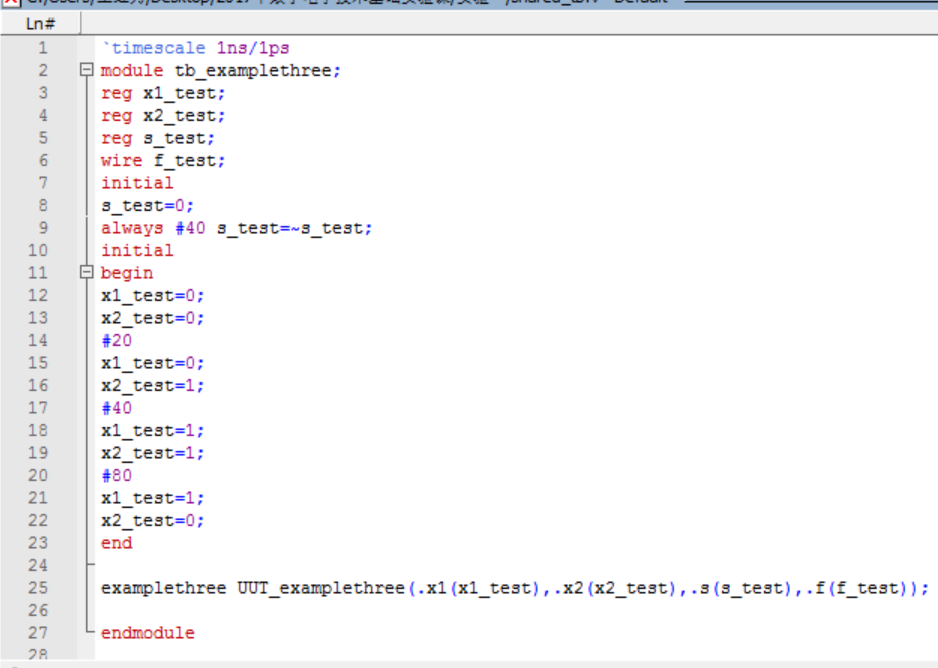
它表示的逻辑表示为：，由波形可以显示该逻辑表达式。

**2.Figure 2.42**

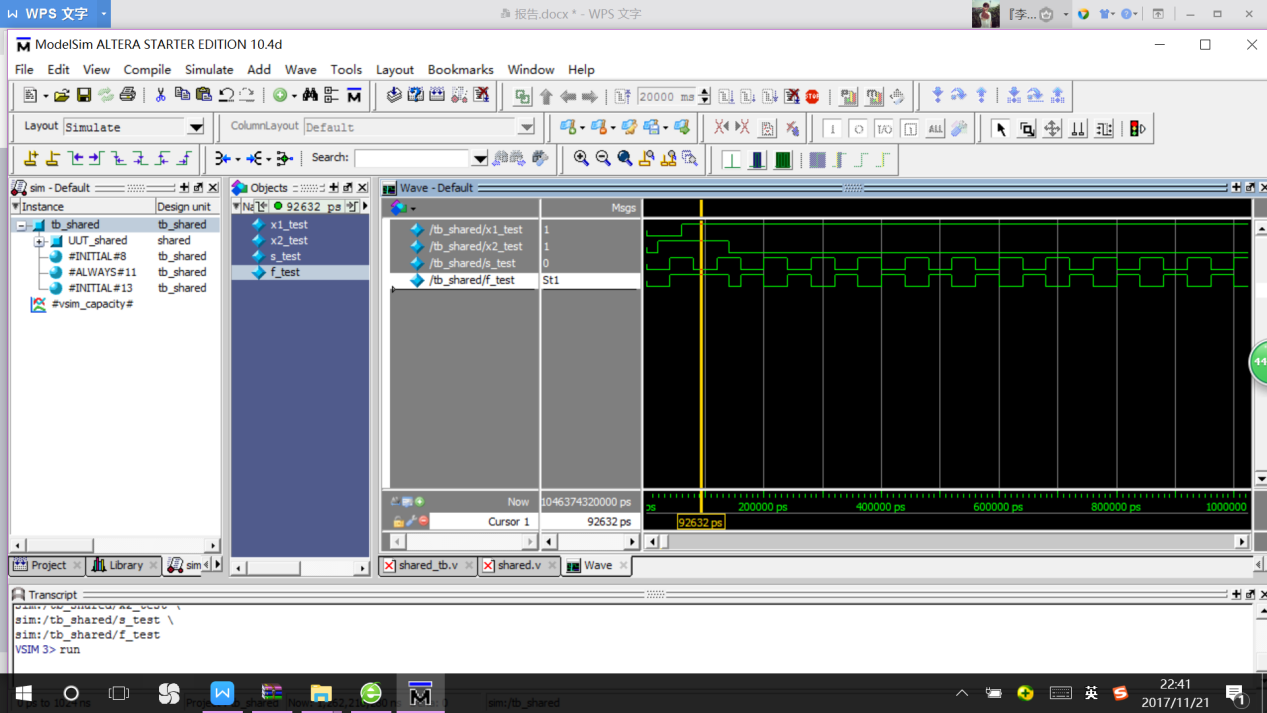
（1）examplethree的Verilog HDL代码：



1. examplethree的test\_bench Verilog HDL代码：



（3）tb\_examplethree的wave图：

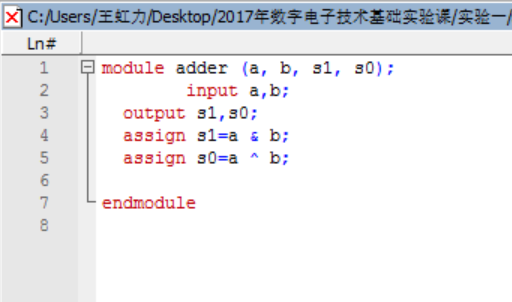


1. 简要波形分析：

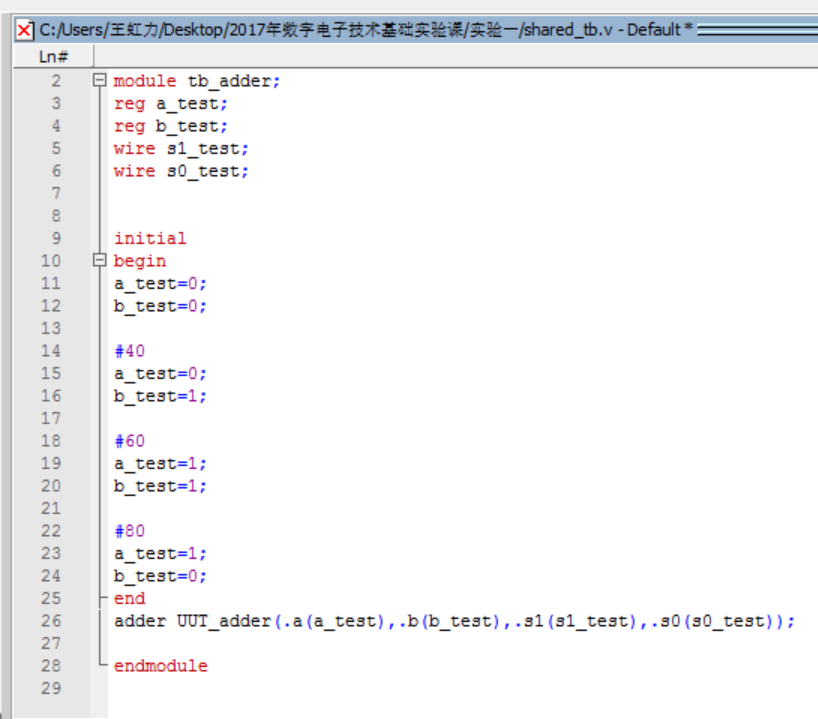
可以用语句表述成：如果s=0，则f=x1；如果s=1，则f=x2。在这段代码中功能用if-else语句定义了。如图显示的数据显示，波形对应该逻辑关系。

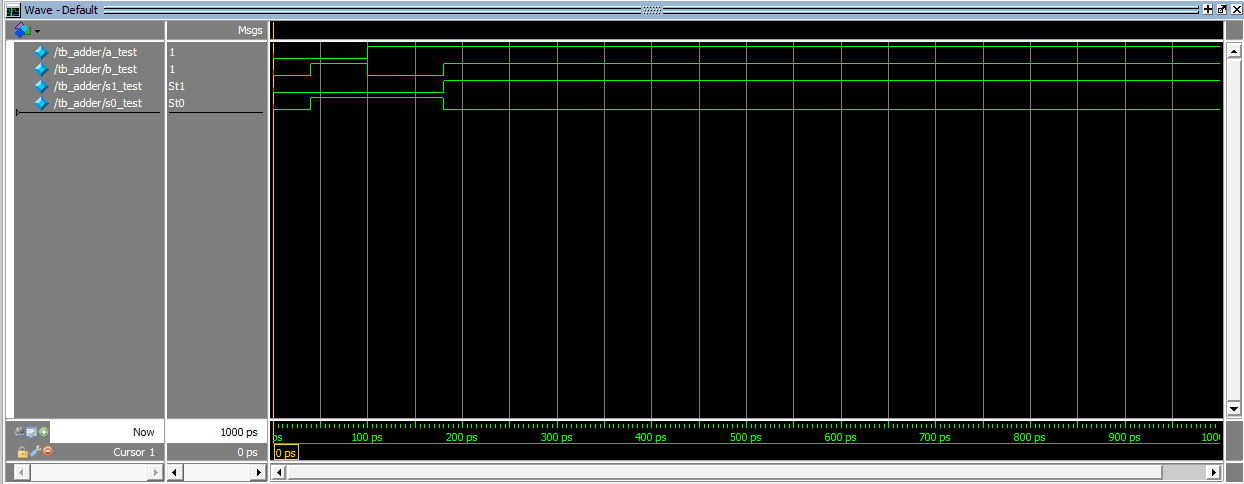
**3.Figure 2.45**

（1）adder的Verilog HDL代码：

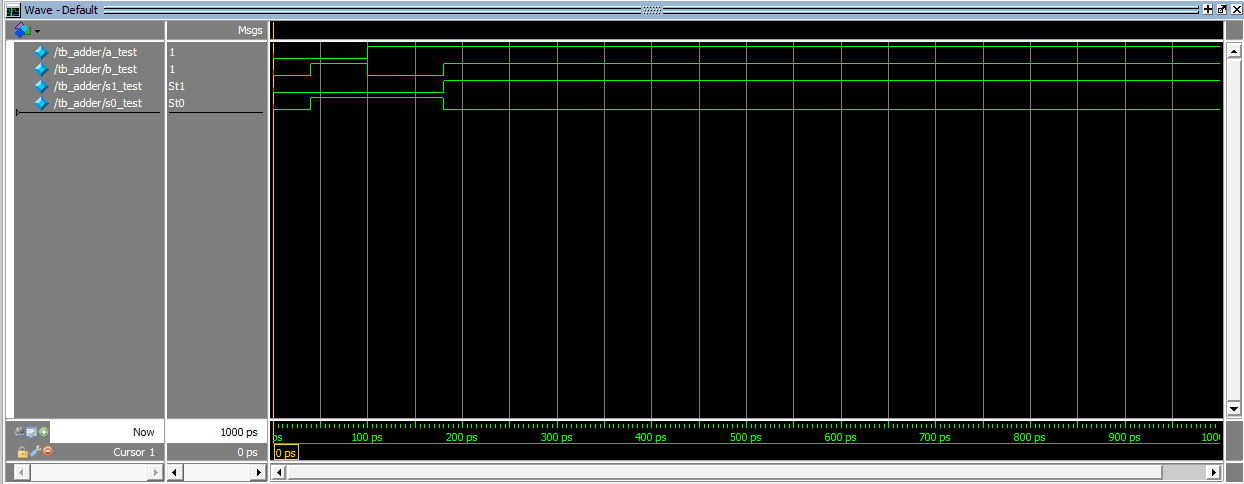


（2）adder的test\_bench Verilog HDL代码：





（3）tb\_adder的wave图：



（4）简要波形分析：

实现了一个加法器，在加法器模型中利用连续赋值语句给两位s1 s0赋值，即s1是a与b的逻辑‘&’，s0是a与b的逻辑‘^’。

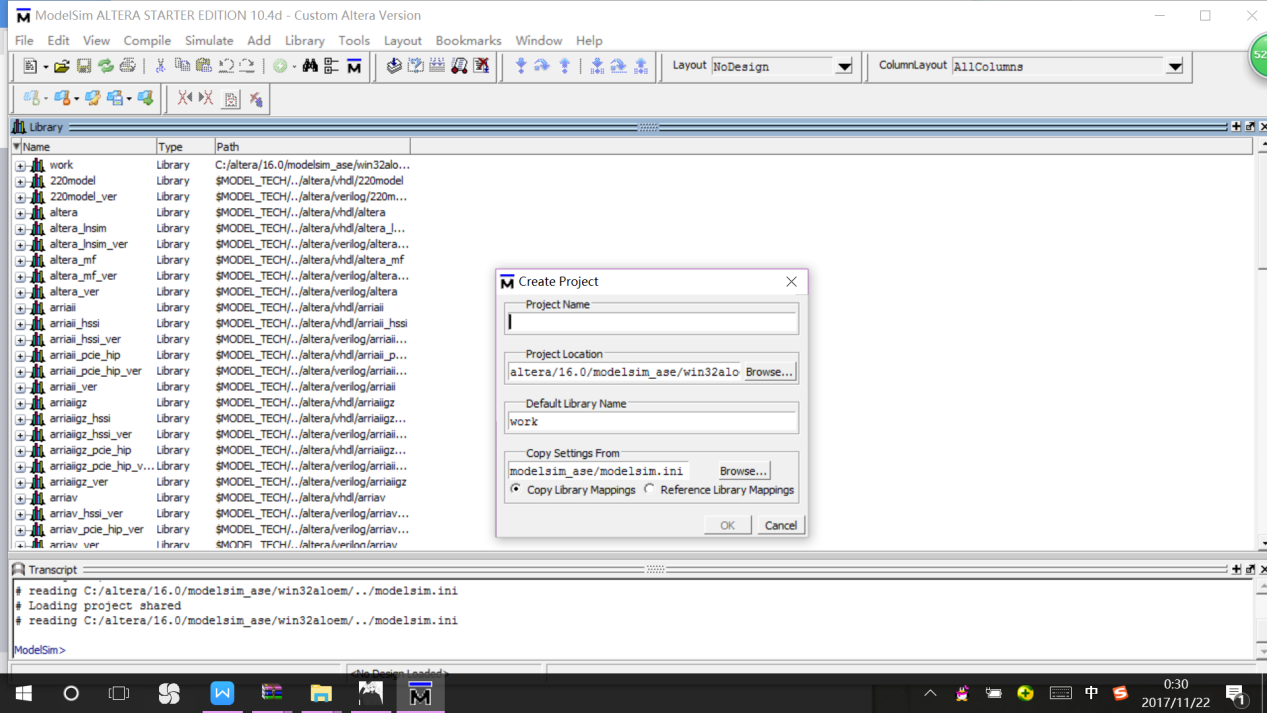
1. **Modelsim软件使用详细步骤：**

第一步:编码

用文本编辑器正确编写源文件(本例shared.v)和测试文件(tb\_shared.v)

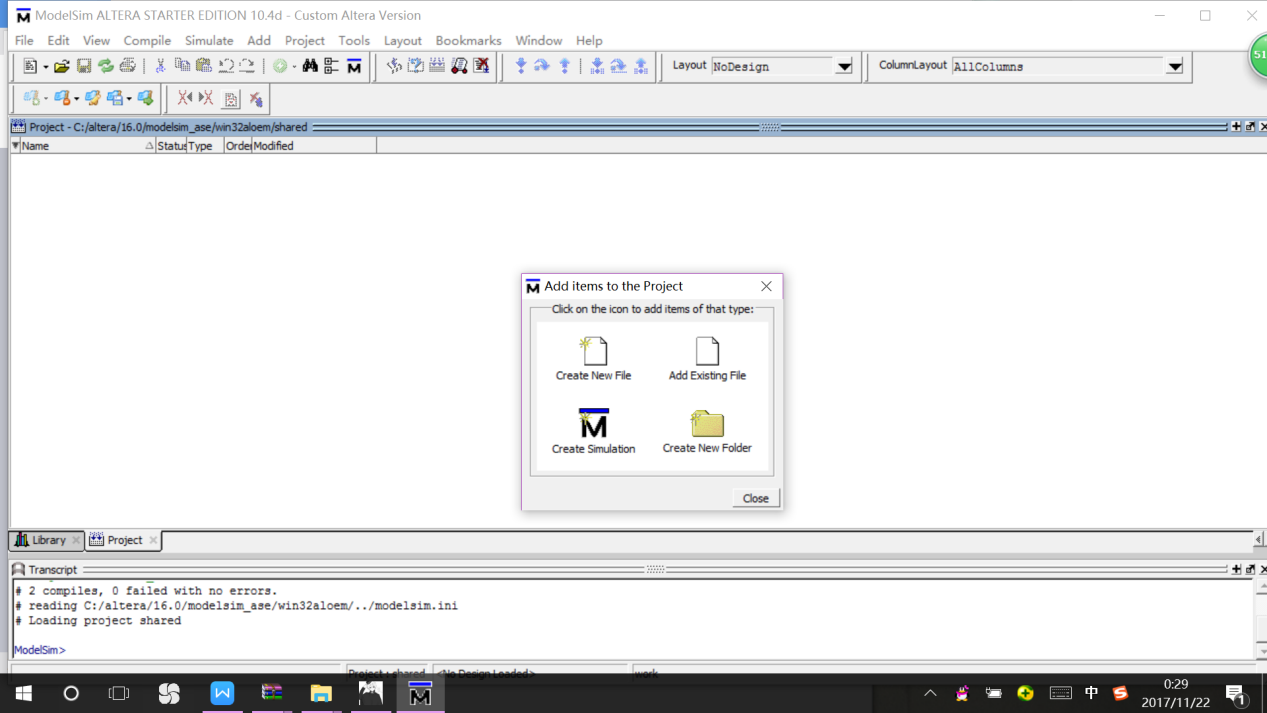
第二步:新建工程

新建工程New project (注意工程名和测试文件的module名保持一致)



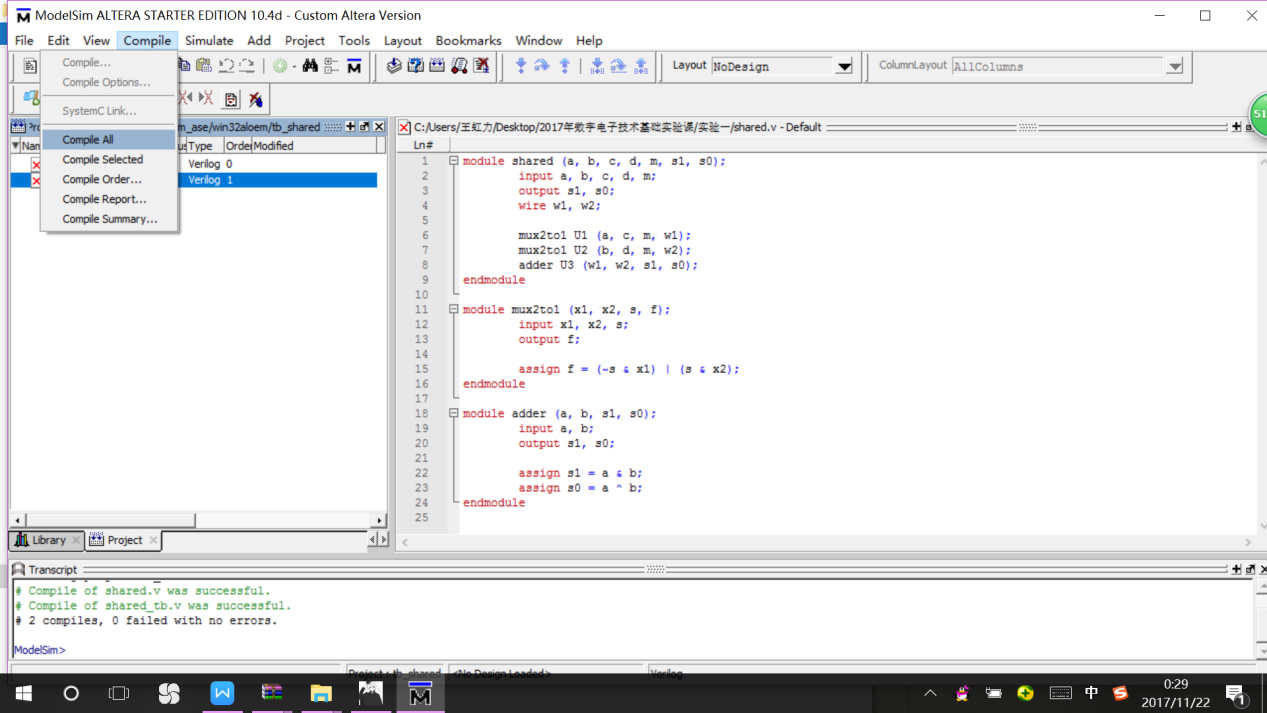
第三步:添加文件

Add to project,将全部源文件和测试文件添加到工程中



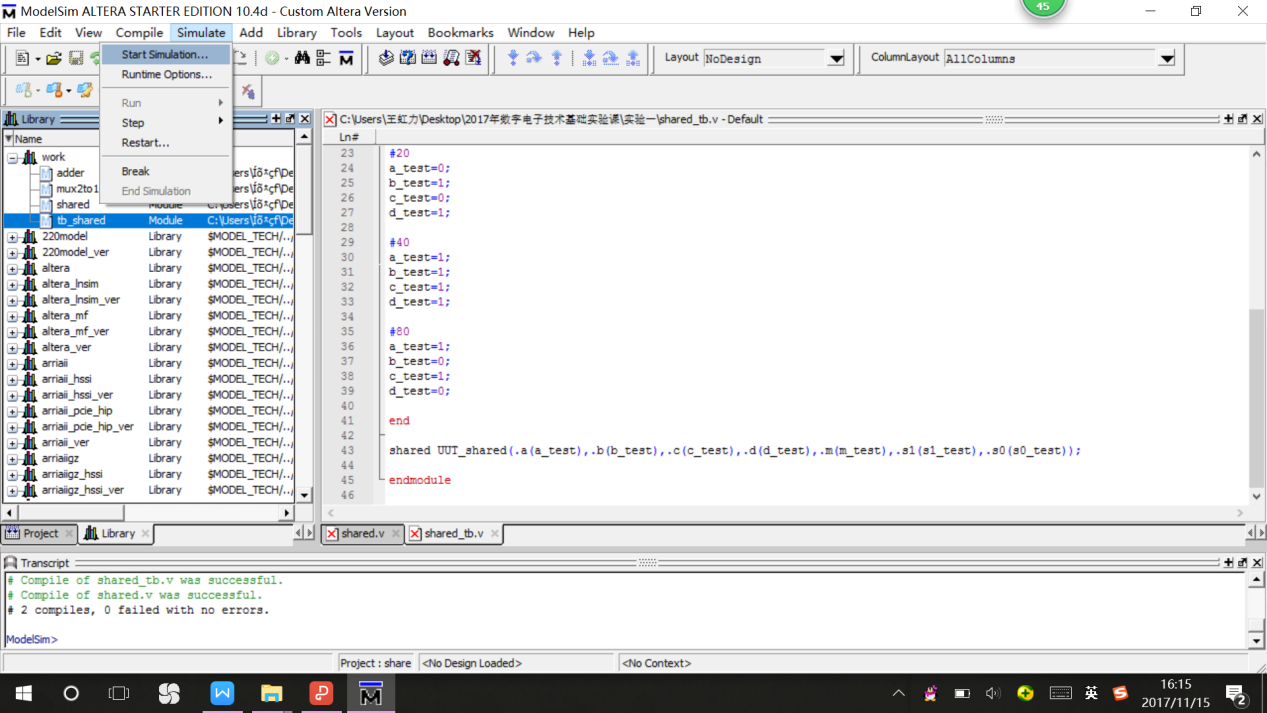
第四步:编译

Compile All,编译源文件和测试文件(如有错误修改后,重新编译)



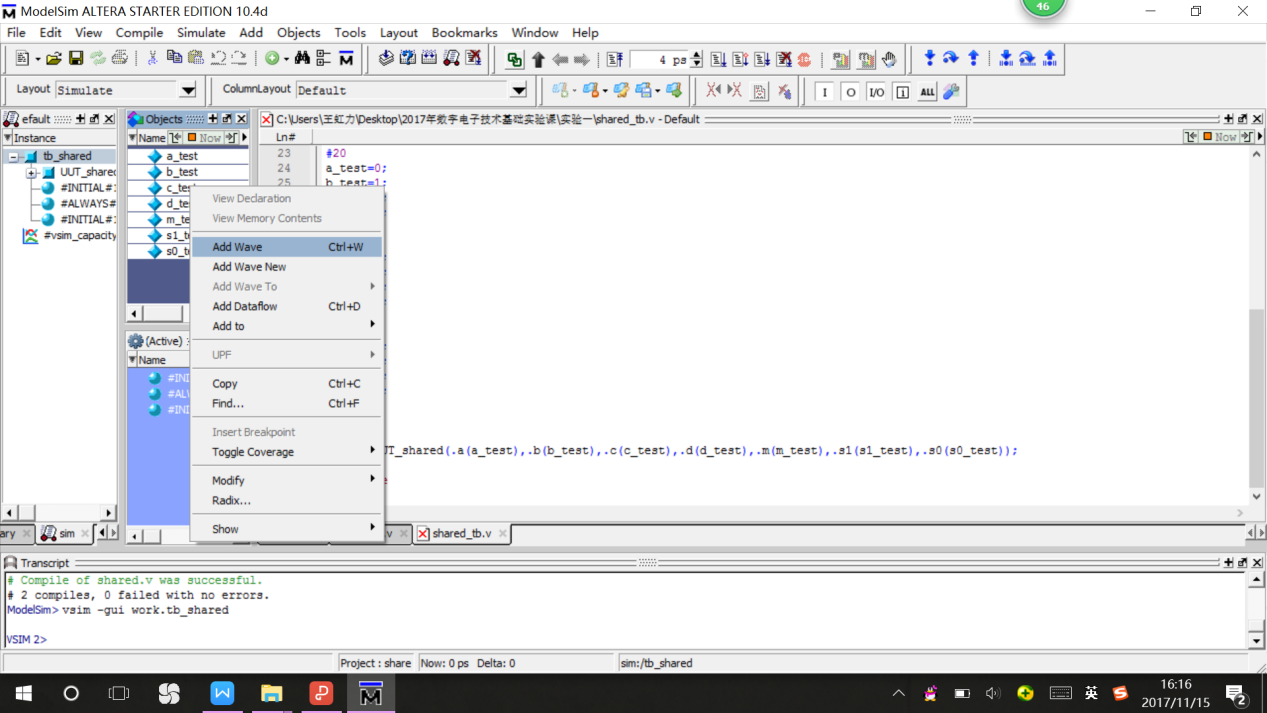
第五步:仿真

编译无误后在Library中选择work库,先选中testbench,然后在菜单中选择simulation ->start simulation



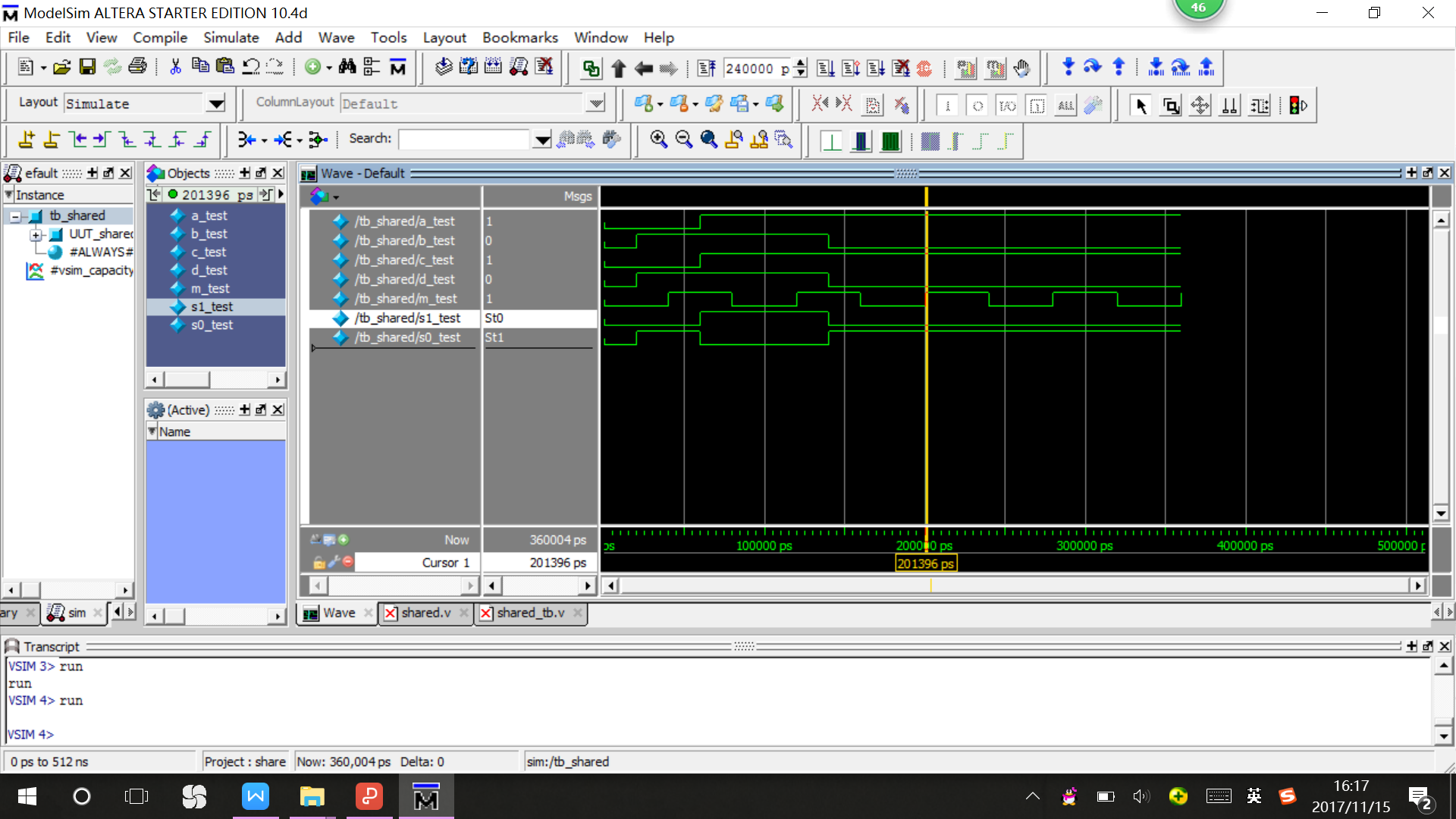
第六步:绘图

在object选择全部信号,右击选择Add wave



第七步:分析仿真结果

在wave文件中可以看到产生的波形,分析是否正确(按ctrl键并用鼠标滚轮可放大或缩小波形图像)



1. **实验的心得体会**

通过本次数字电路实验一，我学习了Quartus和ModelSim两种EDA工具的使用方法；实现了Verilog硬件描述语言入门；初步了解基本组合逻辑电路的设计方法；学习测试模块（Testbench）的结构和编写方法。

首先安装程序，本次实验开始老师给予了我们一个安装包，要求我们在课堂上使用的EDA软件是Modelsim，ModelSim能提供友好的仿真环境。

但是在安装Modelsim的过程中我遇到了困难。刚开始拷贝的软件是需要选择安装破解补丁和配置环境变量的Modelsim，通过学习教程，设置环境变量扩展新的内存以供运行，最终也没能安装好。之后老师提供了无需破解的软件，选择正确的Modelsim后，根据软件提示比较轻松的完成的安装。

在老师向我们初步介绍了Modelsim软件使用详细步骤之后，我们就开始了剩余三个的实验。

在实验的过程中我遇到了两个问题：

1. 建立工程和添加新的文件，在开自行编写代码时，我将文件的名字起做了2.40，系统提示错误，后来进一步询问之后才知道这样的命名方式是不符合规则的。与此同时还应该注意工程名和测试文件的module名保持一致，在这一方面因为没用统一文件名，我耽误了很长时间。
2. 编写测试文件代码，在编写每一个代码的tb文件时，编译通过之后我总是不能在work中找到我新建的tb测试文件，导致不能进一步进行对代码的simulation，在纠结了十几分钟无果后，我询问了老师。老师给出的解决方案是，由于软件没有及时更新数据，建议关闭并保存更改后，再次打开软件，于是这个问题得到了解决。

虽然在这次实验中遇到了很多问题，作为新手第一次接触Modelsim软件并对其进行操作，但是我感觉自己收获满满。我明白了理论和实践要齐头并进，在学习好数字电路这门课程的同时还要动手实践。在接下来的为数不多的实验中，我会抓紧实验的机会，巩固自己的理论知识。