**数字电子技术基础实验实验报告四**

1. **实验步骤：**

1．建立工程文件，编写模块源码和测试模块,要求测试模块能对源文件进行比较全面的测试。

2．编译源码和测试模块，用测试模块对源文件进行测试，并得到仿真波形图。

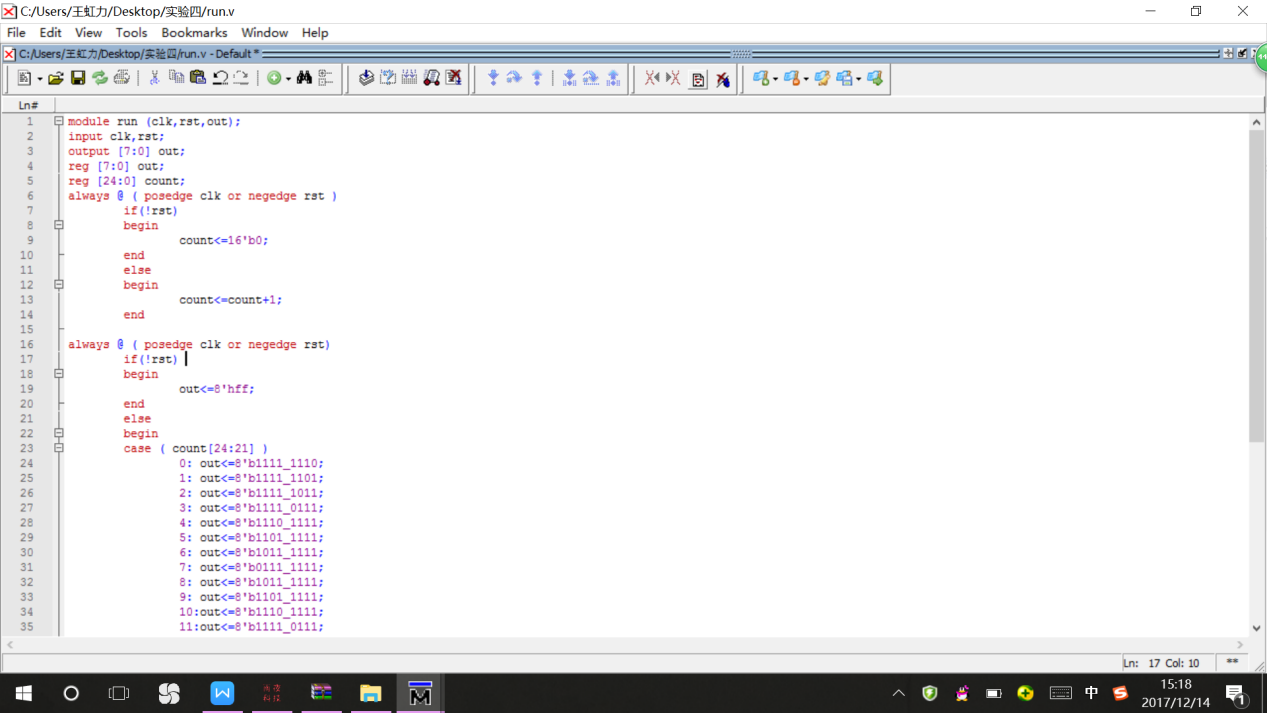
3.使用综合工具生成该设计电路图，并下载至FPGA开发板运行。

4．记录数据、波形、电路图等并完成实验报告。

**二、Quartus II软件基本使用步骤：**

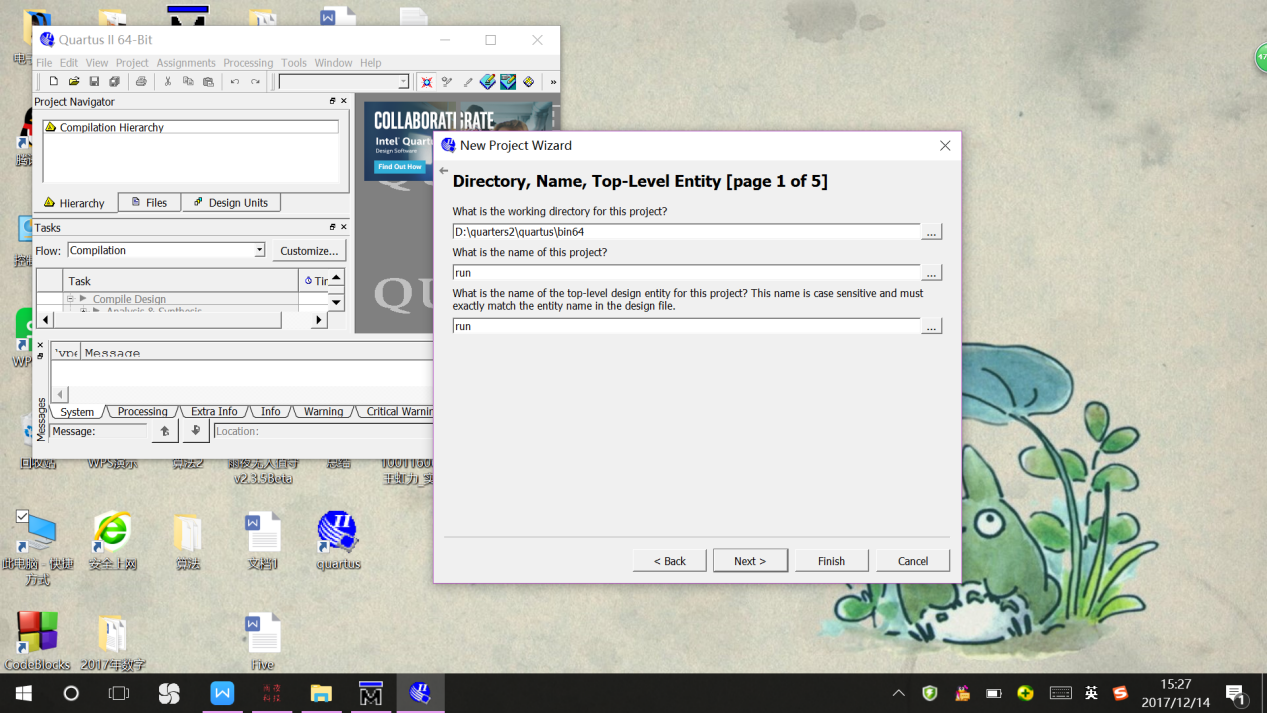
1、编码

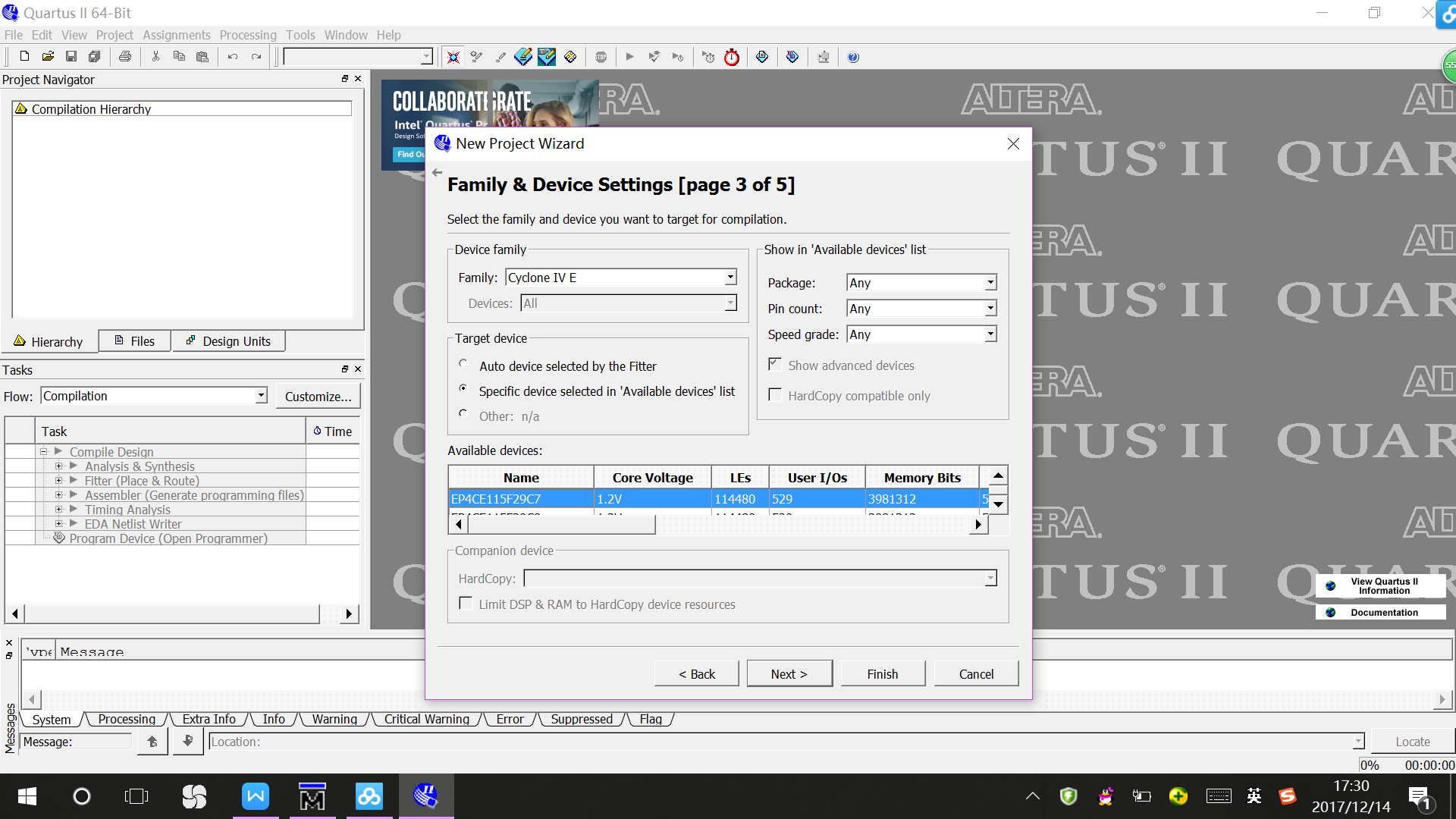
用文本编辑器正确编写源文件(本例run.v),并经modelsim仿真确认该电路设计正确.



2、新建工程

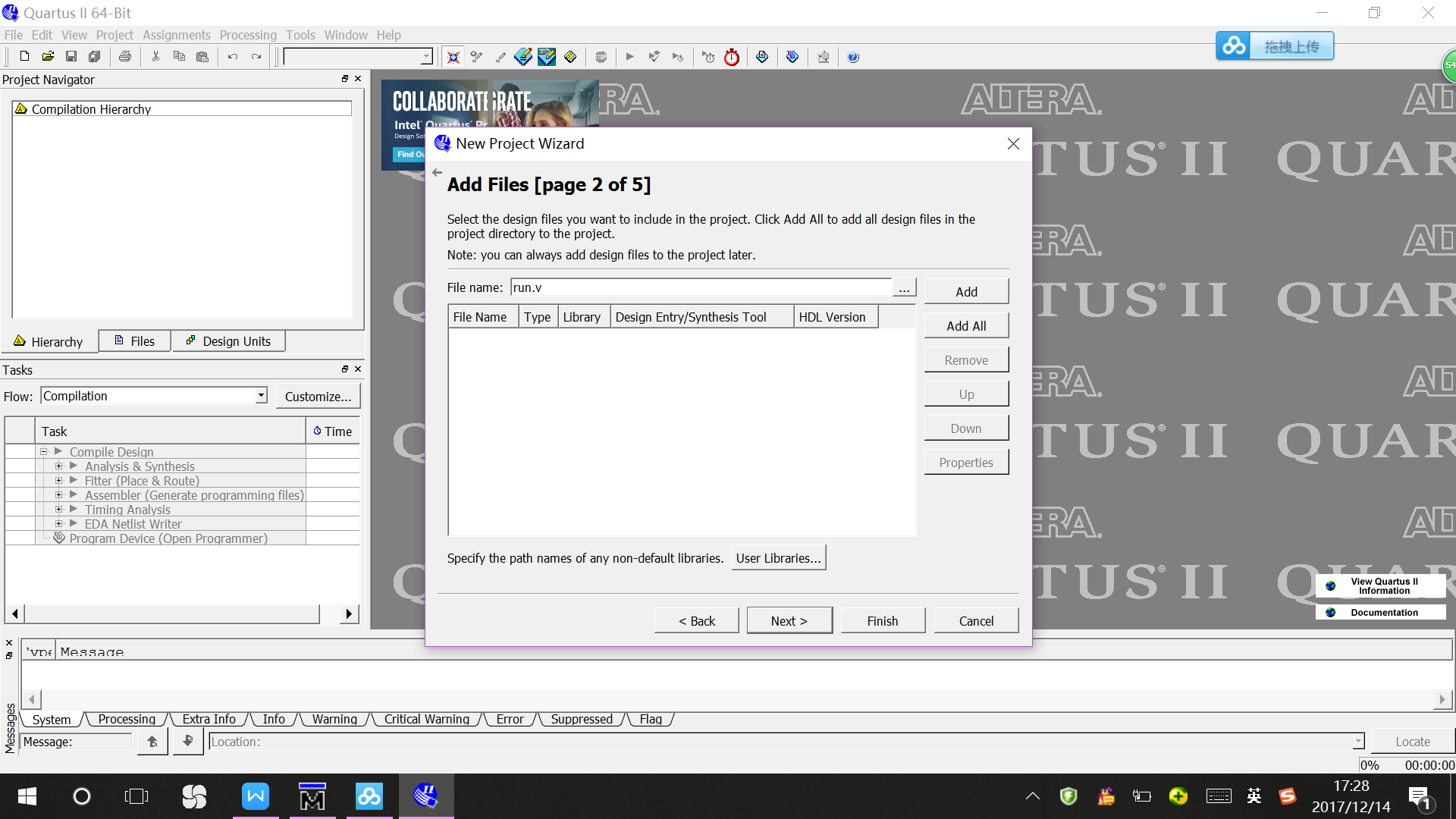
新建工程New project (注意工程名和设计文件的module名保持一致),选择和开发板一致的FPGA器件型号(本课程为Cyclone IV E系列EP4CE115F29C7)





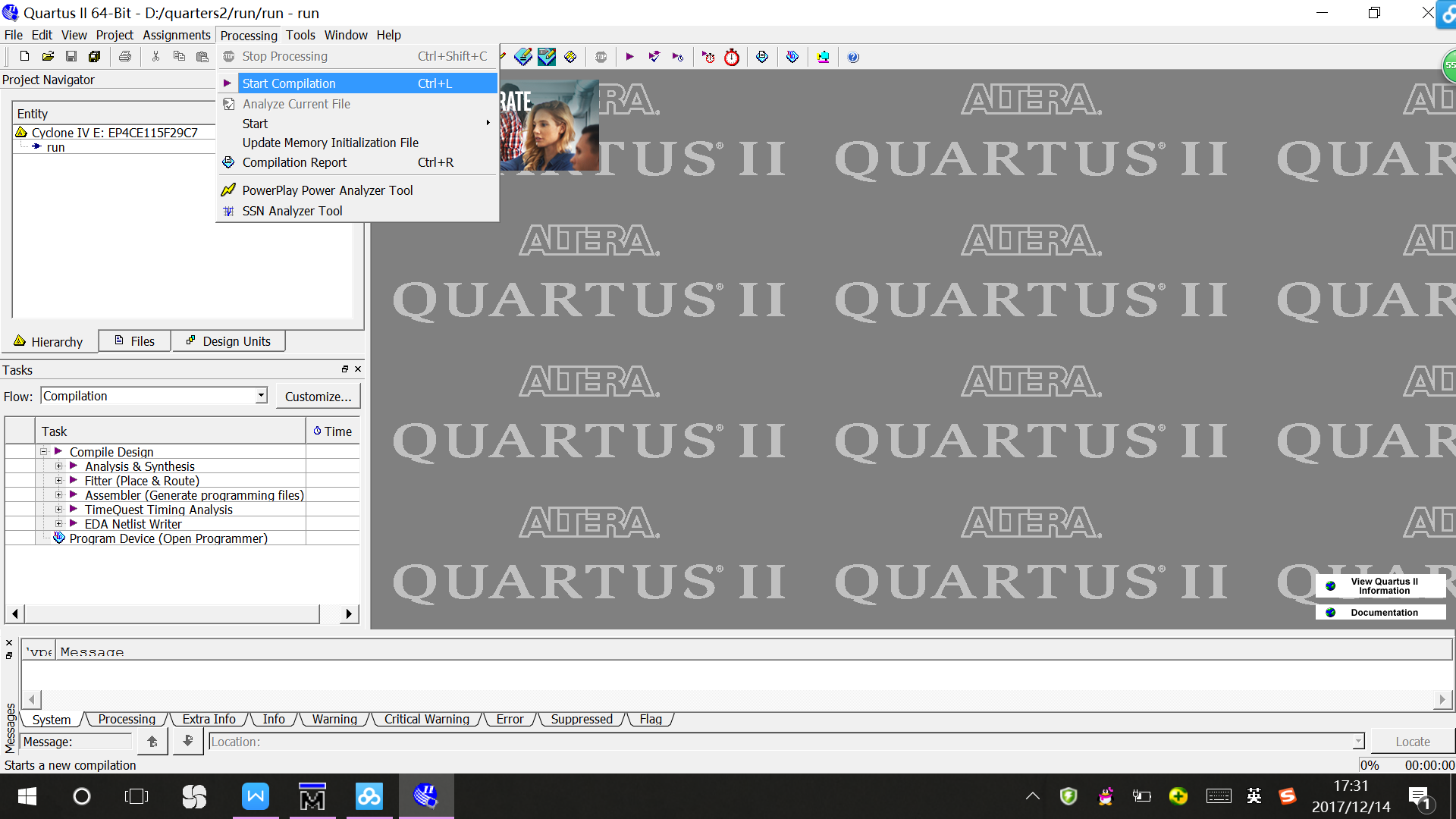
3、添加文件

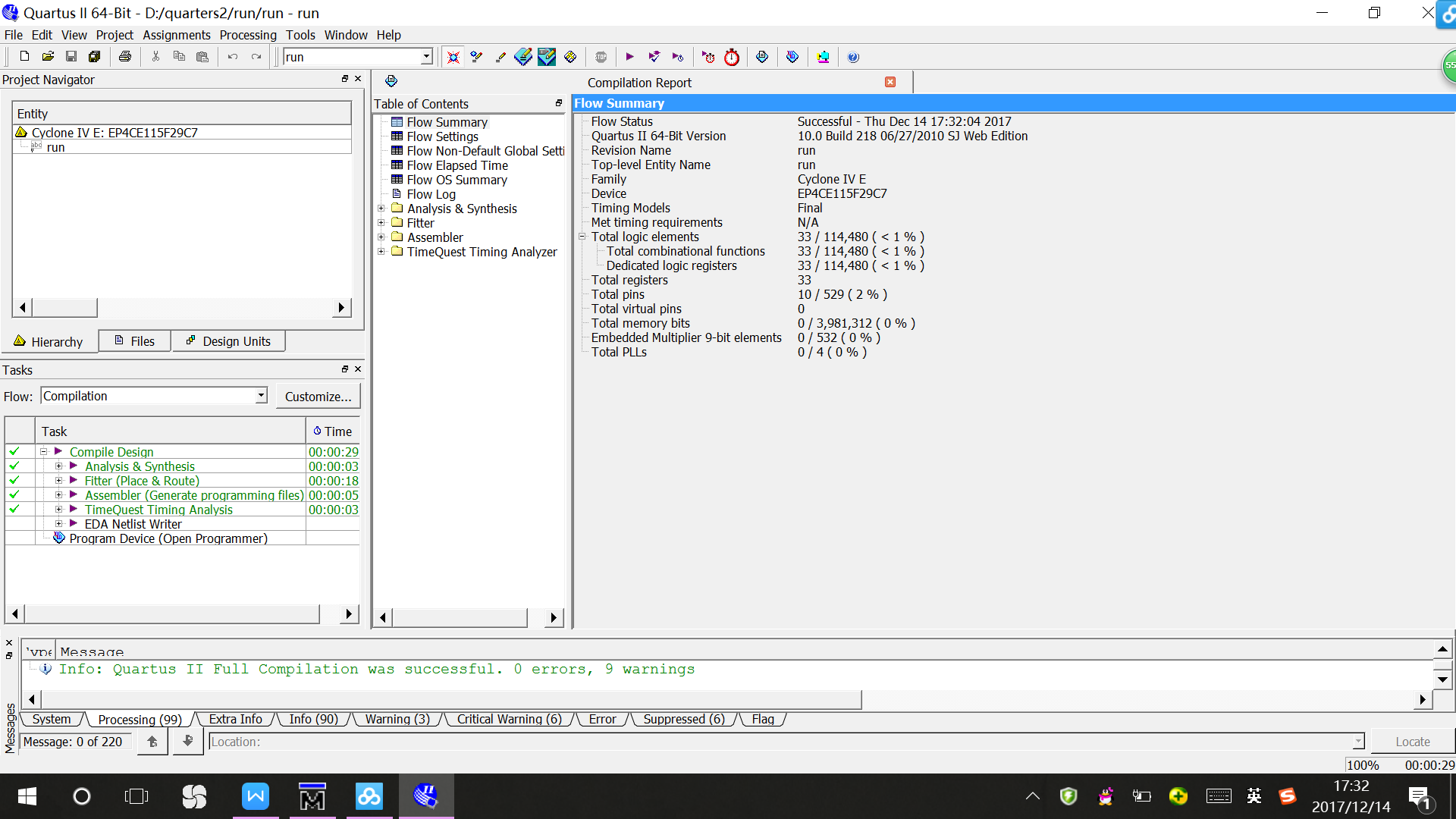
Add to project,将全部源文件 (本例run.v)添加到工程中



4、编译

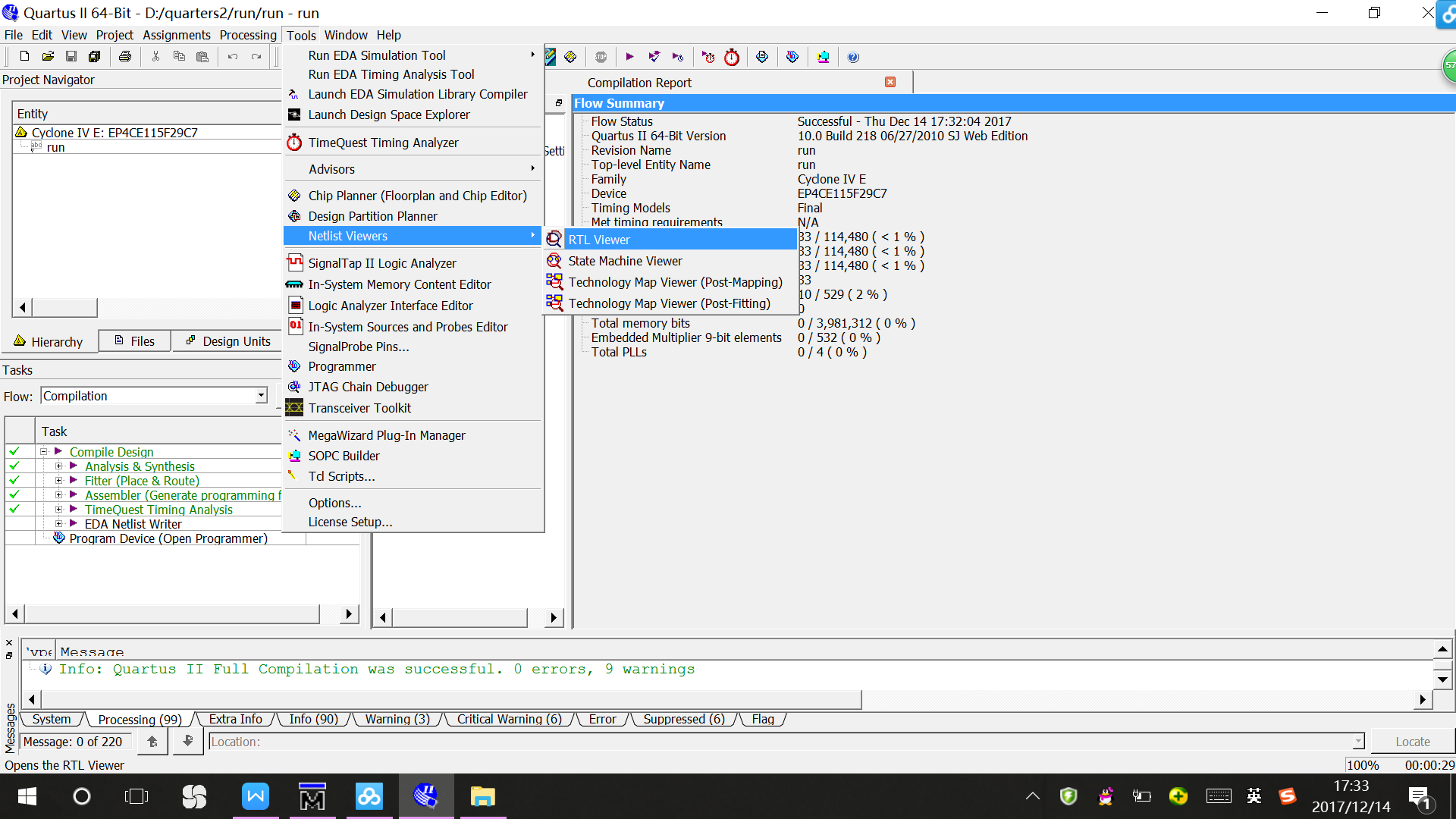
Start Compilation ,编译源文件 (如有错误修改后,重新编译)



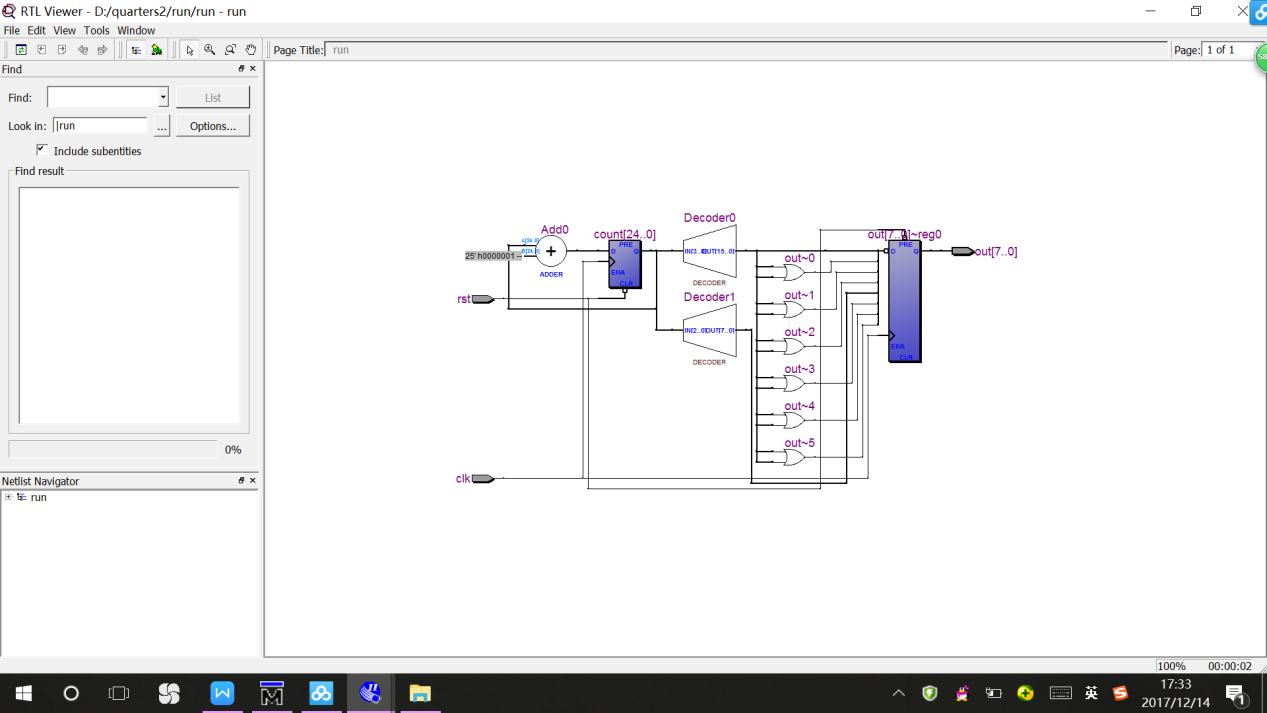


5、查看电路结构

使用Tool->RTL viewer工具查看电路图结构,是否和预期设计一致.

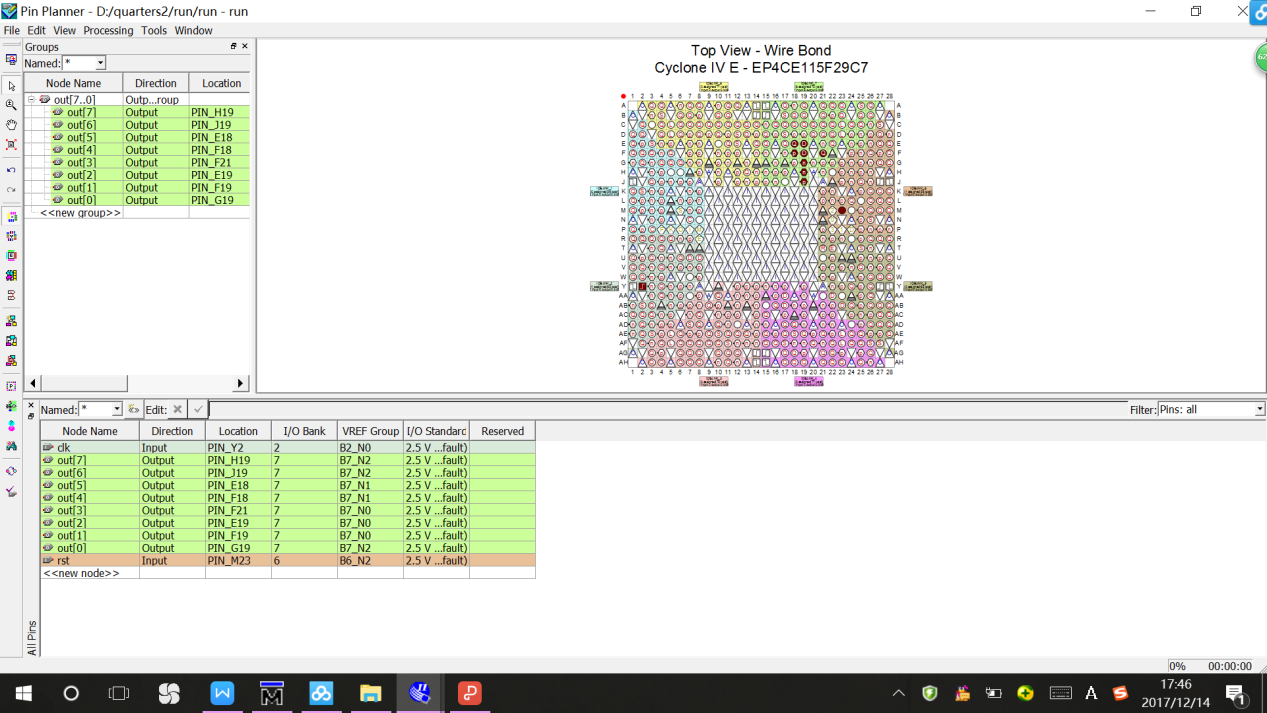


shared.v的电路结构如下



6、管脚绑定

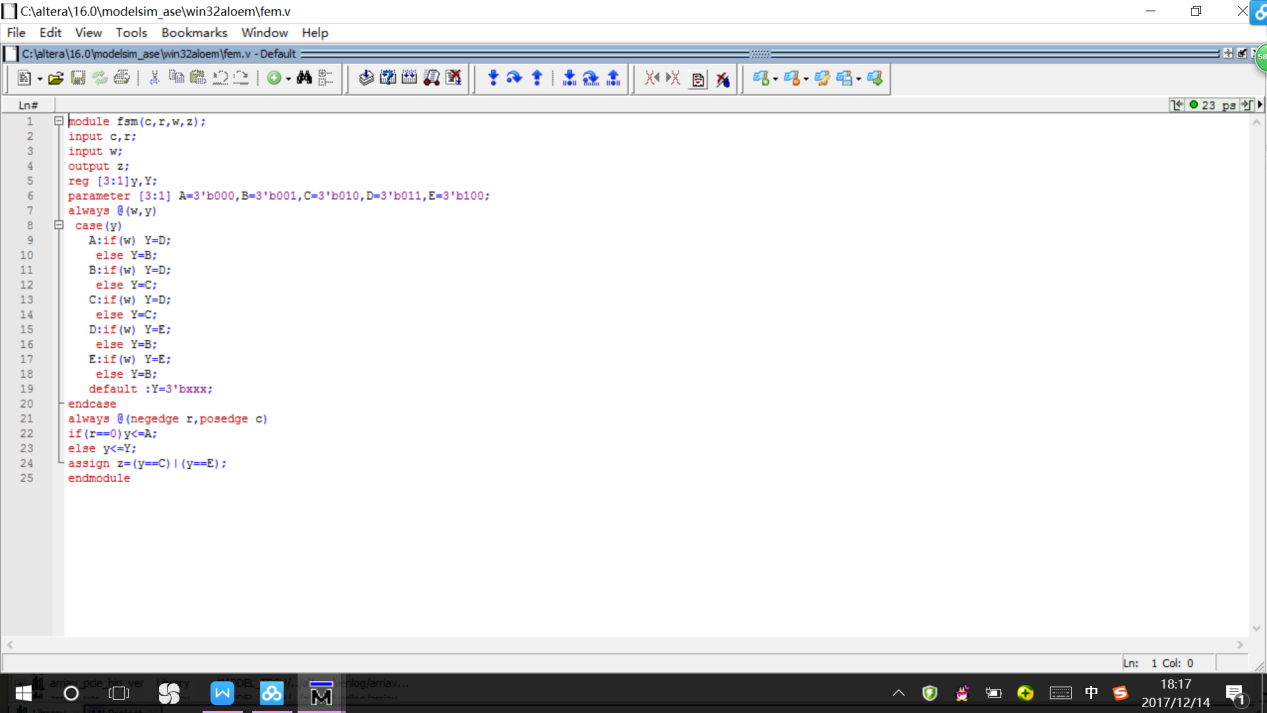
使用Assignment->pin planner将设计的全部输入/输出接口与开发板的对应管脚进行一一对应（此时同时参考DE2\_115 User Manul.pdf文件）



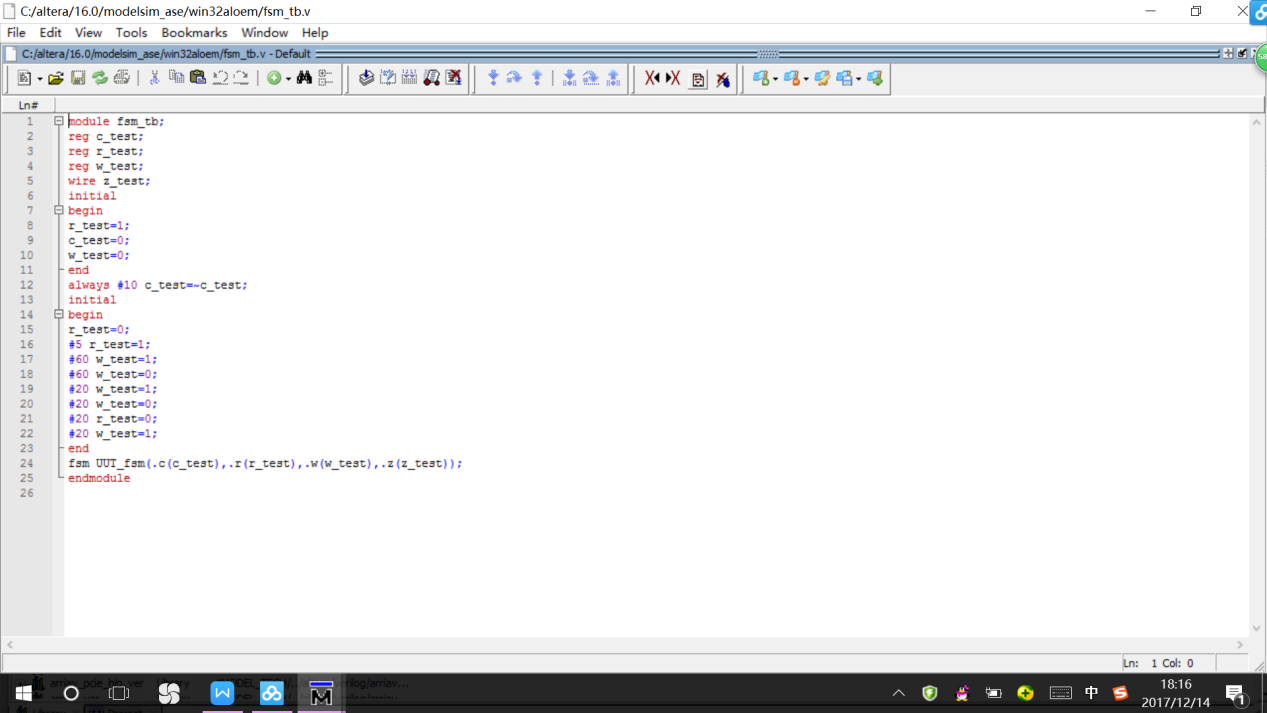
**三、实验内容：**

**1、设计有限状态机,并编写testbench**

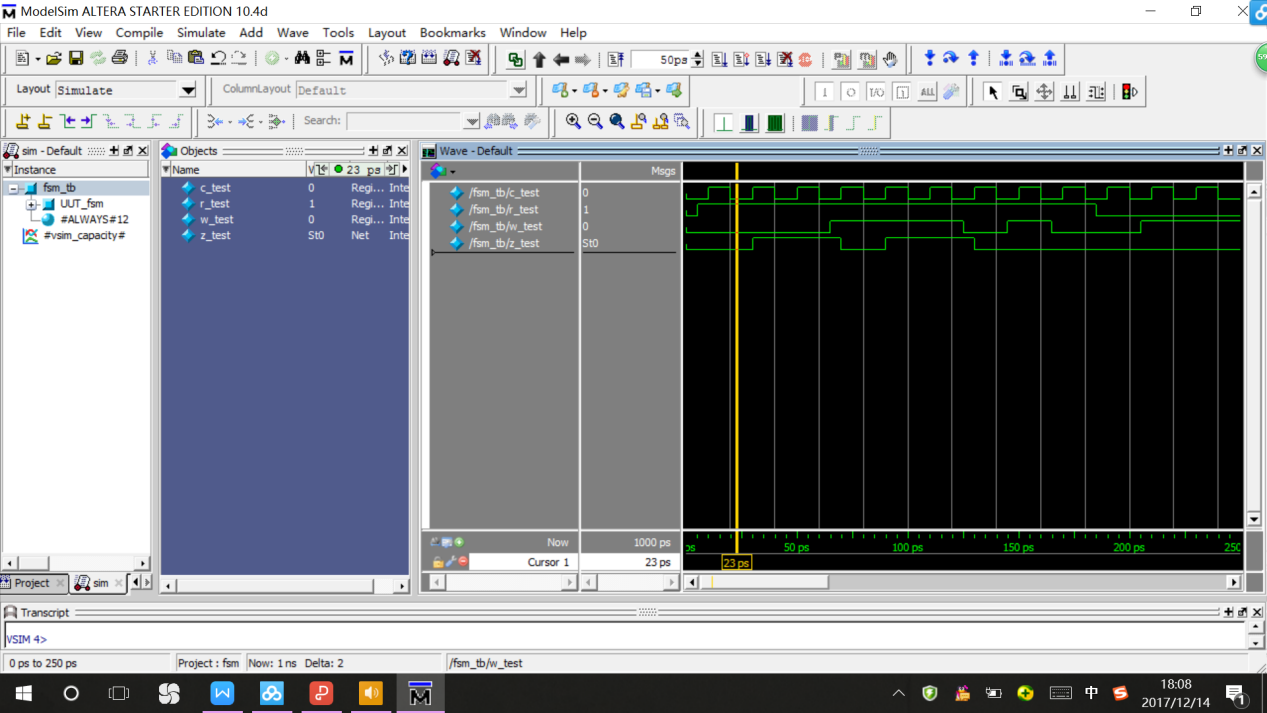
（1）fsm的源代码：



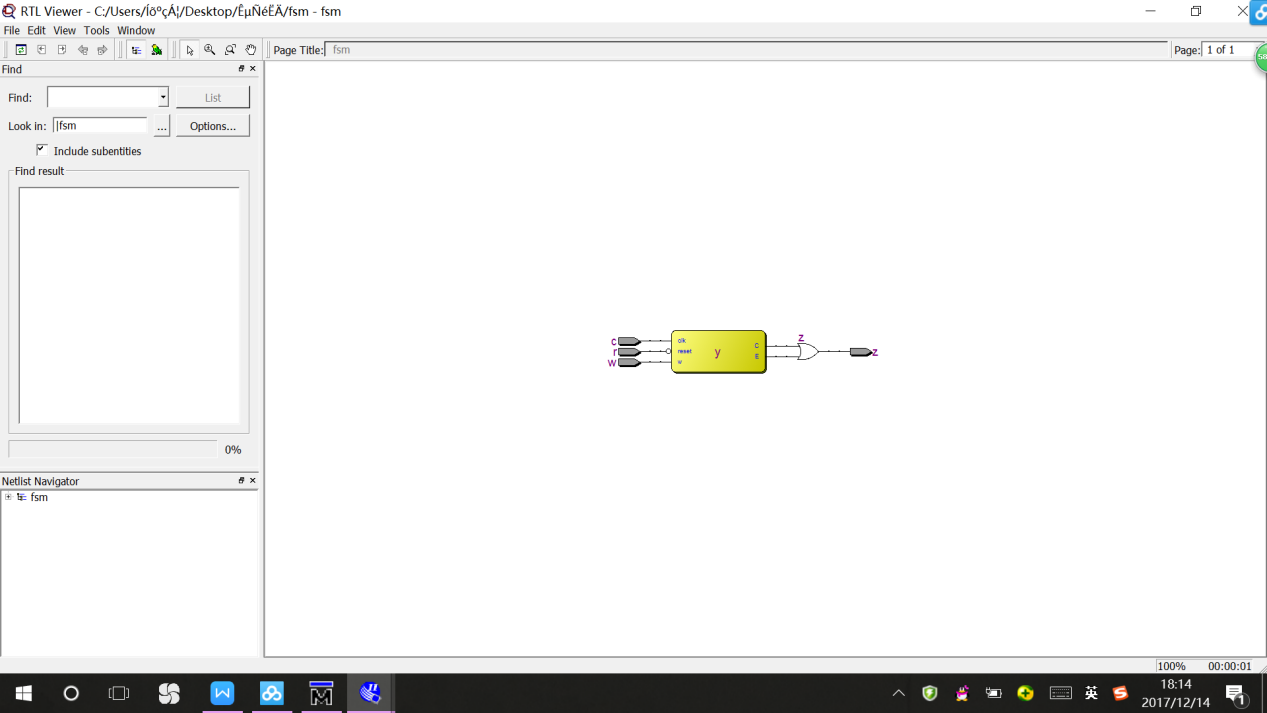
1. fsm的测试代码：



（3）fsm的wave图：



（4）fsm的RTL viewer：



1. 简要分析：

由RTL图和wave图显示，代码都实现了题意中的功能，证明了代码设计正确。

1. 实验收获和心得：

首先本次实验的目的为：

1． 掌握可综合Verilog语言进行状态机设计及测试验证；

2． 学习如何在FPGA进行设计实现。

在了解了实验的步骤和目的后我们开始了本次试验，首先我利用上节课已经安装的Quartus软件，在安装和使用QuartusII软件实现所给样例的过程中我遇见了一些小问题，比如在管脚绑定时，我没有正确对应各个量，将时钟信号忘记绑定。

在编写fsm代码和仿真的时候，我的经验总的来说有以下两点：第一，在编写代码变量时应注意对应，尤其是testbench代码编写时更要注意统一。第二，在编写测试代码时要结合题目所需，将变化的时长设置合适，否则wave就不能直观的显示代码的效果。

通过这四节的实验课，我对数字电子基础这门课程有了一定的了解，并提高了我的电子技术实践水平，对数字电路充满了兴趣。在接下来的学习中我将会把实践和理论相结合，实现进一步的提高与发展。