CEFSA – Centro Educacional da Fundação Salvador Arena

FTT – Faculdade de Tecnologia Termomecânica

Curso Superior de Tecnologia em Engenharia da Computação

Eduarda Queiroga 081160047

Jorge Henrique 081160031

Luiz Fernando 081160029

Pedro Rafael 082150246

Wesley Almeida 081160041

**Arquitetura de Computadores II**

São Bernardo do Campo

2019

**SUMÁRIO**

[1. Proposta do Projeto 3](#_Toc24066486)

[2. Descrição do projeto 3](#_Toc24066487)

[3. Componentes 4](#_Toc24066488)

[4. Mapa do Sistema (Diagrama SD) 4](#_Toc24066489)

[5. Diagrama Fluxo de Dados 6](#_Toc24066490)

[6. Diagrama UC 7](#_Toc24066491)

[7. Fluxograma do Projeto 8](#_Toc24066492)

# Proposta do Projeto

A finalidade deste relatório é apresentar o processo e o resultado do desenvolvimento em linguagem VHDL. O conjunto de portas lógicas nas quais se determinam os valores das saídas diretamente a partir dos valores atuais das entradas constitui um circuito combinacional, ou seja, ele realiza uma operação de processamento de informação a qual pode ser especificada por meio de um conjunto de equações booleanas.

Com isso, o objetivo deste trabalho é elaborar um Sistema Digital Contador de Uns que exiba o valor hexadecimal do byte de entrada e a respectiva quantidade de uns no display de 7 segmentos.

Para tanto, deverá ser implementada uma Unidade de Controle, que tem por função a automação do fluxo de dados do sistema e assim tira a necessidade de o usuário ficar controlando todos os passos para obter o resultado esperado.

# Descrição do projeto

Este projeto refere-se a um contador de uns, capaz de exibir o valor em hexadecimal e a quantidade de uns do byte de entrada. Por exemplo, para a entrada 10100101 o display deve exibir “A5 4”, com o terceiro dígito do display ficando apagado ou exibindo “-”.

Ele realiza operações sobre vetores de bits de entrada onde, após as entradas dos números, toda a lógica fica por conta da unidade de controle, ou seja, depois de todos os inputs feitos pelo usuário, as somas deverão ser realizadas de forma automatizada. Por fim, para que o usuário possa ver o resultado final, o projeto também tem como um de seus objetivos mostrar os valores que o usuário imputou no sistema convertido em hexadecimal e o resultado final das somas dos uns do binário.

# Componentes

- 2 Registradores

- 1 Multiplexador 4x1

- 1 Somador

- 1 Demultiplexador

- 1 Display de 7 Segmentos

# Mapa do Sistema (Diagrama SD)

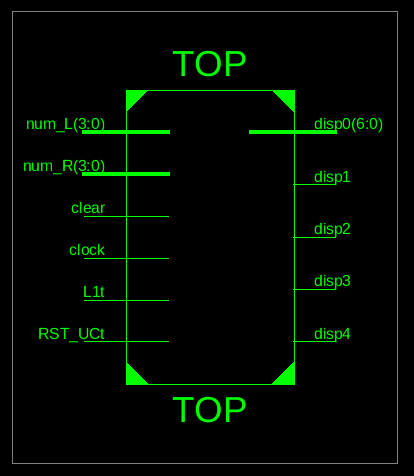


Diagrama SD Completo (Foco entradas e saídas)

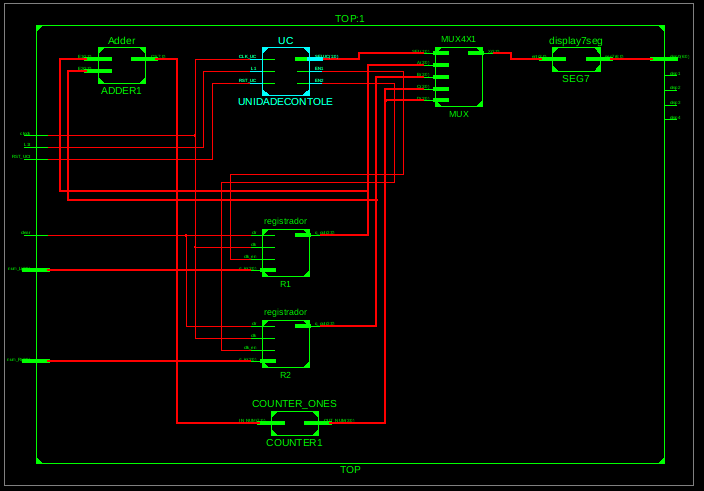
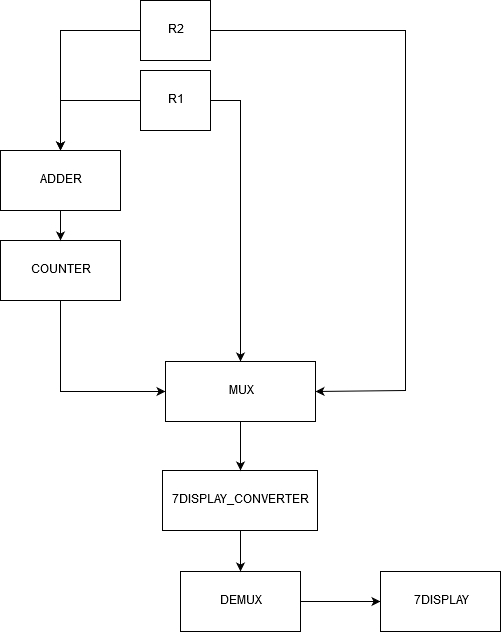


Diagrama SD Completo (Foco para os componentes internos e suas ligações)

# Diagrama Fluxo de Dados



# Diagrama UC

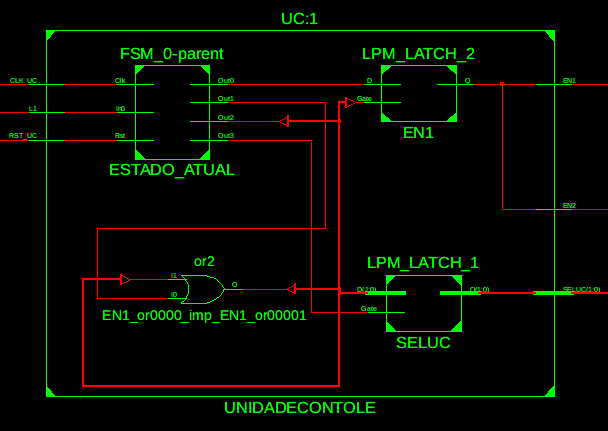


Diagrama ASM (Com detalhes dos componentes internos)

# Fluxograma do Projeto

