

实验报告lab08

姓名 林凡琪

学号 211240042

班级 匡亚明学院

邮箱 211240042@smail.nju.edu.cn

实验时间 2022/11/25

实验目的

本实验的目的是学习VGA接口原理，学习VGA接口控制器的设计方法。

实验原理（知识背景）

VGA（Video Graphics Array）接口，即视频图形阵列。VGA 接口最初是用于连接 CRT 显示器的接口，CRT 显示器因为设计制造上的原因，只能接受模拟信号输入，这就需要显卡能输出模拟信号。关于模拟信号和数字信号的区别，请参考 ([Analog Signal](#)及[Digital Signal](#))。VGA 接口就是显卡上输出模拟信号的接口，在传统的 CRT 显示器中，使用的都是 VGA 接口，现在仍有不少液晶显示器或投影仪还支持 VGA 口。VGA 接口是 15 针/孔的梯形插头，分成 3 排，每排 5 个，如图 8-1 所示：

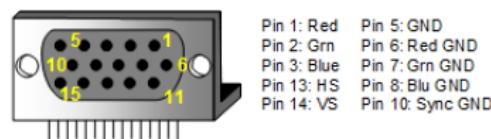


图 8-1: VGA 接口形状及信号示意图

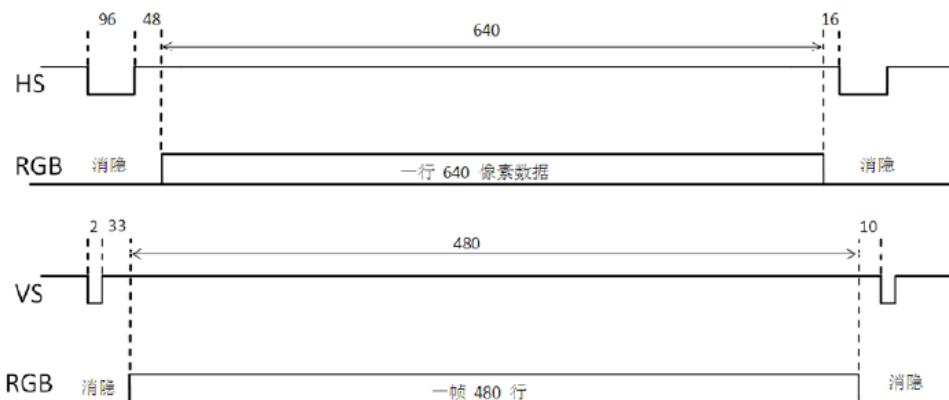


图 8-3: VGA 行扫描、场扫描时序示意图

实验环境/器材等

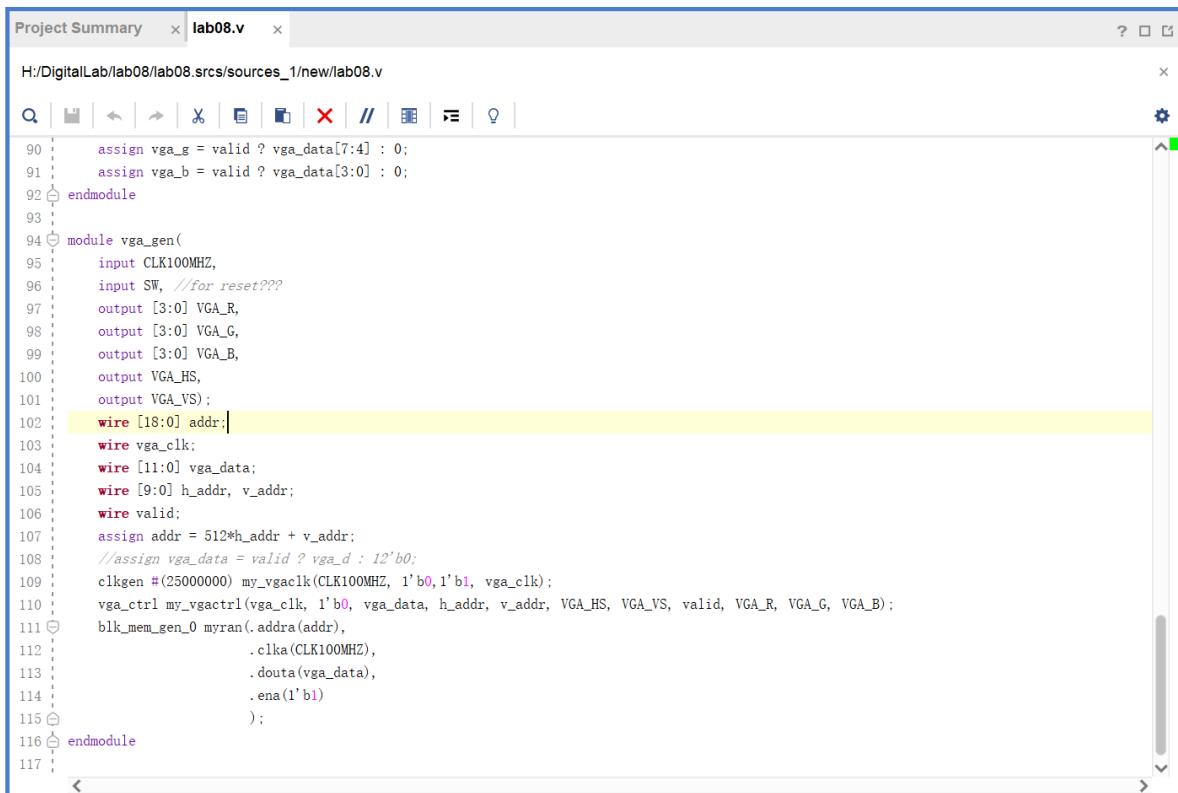
Verilog 2022.1

Windows 10

显示器

板子

程序代码或流程图



```
Project Summary  x lab08.v  x
H:/DigitalLab/lab08/lab08.srcts/sources_1/new/lab08.v
Q | F | ← | → | X | D | B | X | // | ■ | E | Q |
90 assign vga_g = valid ? vga_data[7:4] : 0;
91 assign vga_b = valid ? vga_data[3:0] : 0;
92 endmodule
93
94 module vga_gen(
95     input CLK100MHZ,
96     input SW, //for reset???
97     output [3:0] VGA_R,
98     output [3:0] VGA_G,
99     output [3:0] VGA_B,
100    output VGA_HS,
101    output VGA_VS);
102    wire [18:0] addr;
103    wire vga_clk;
104    wire [11:0] vga_data;
105    wire [9:0] h_addr, v_addr;
106    wire valid;
107    assign addr = 512*h_addr + v_addr;
108    //assign vga_data = valid ? vga_d : 12'b0;
109    clkgen #(25000000) my_vgaclk(CLK100MHZ, 1'b0, 1'b1, vga_clk);
110    vga_ctrl my_vgactrl(vga_clk, 1'b0, vga_data, h_addr, v_addr, VGA_HS, VGA_VS, valid, VGA_R, VGA_G, VGA_B);
111    blk_mem_gen_0 myram(.addr(addr),
112                          .clka(CLK100MHZ),
113                          .douta(vga_data),
114                          .ena(1'b1)
115                      );
116 endmodule
117
```

.v文件

Project Summary x lab08.v x blk_mem_gen_0.vhd x

h:/DigitalLab/lab08/lab08.gen/sources_1/ip/blk_mem_gen_0/synth/blk_mem_gen_0.vhd

Q | H | ← | → | X | D | X | // | E | = | Q |

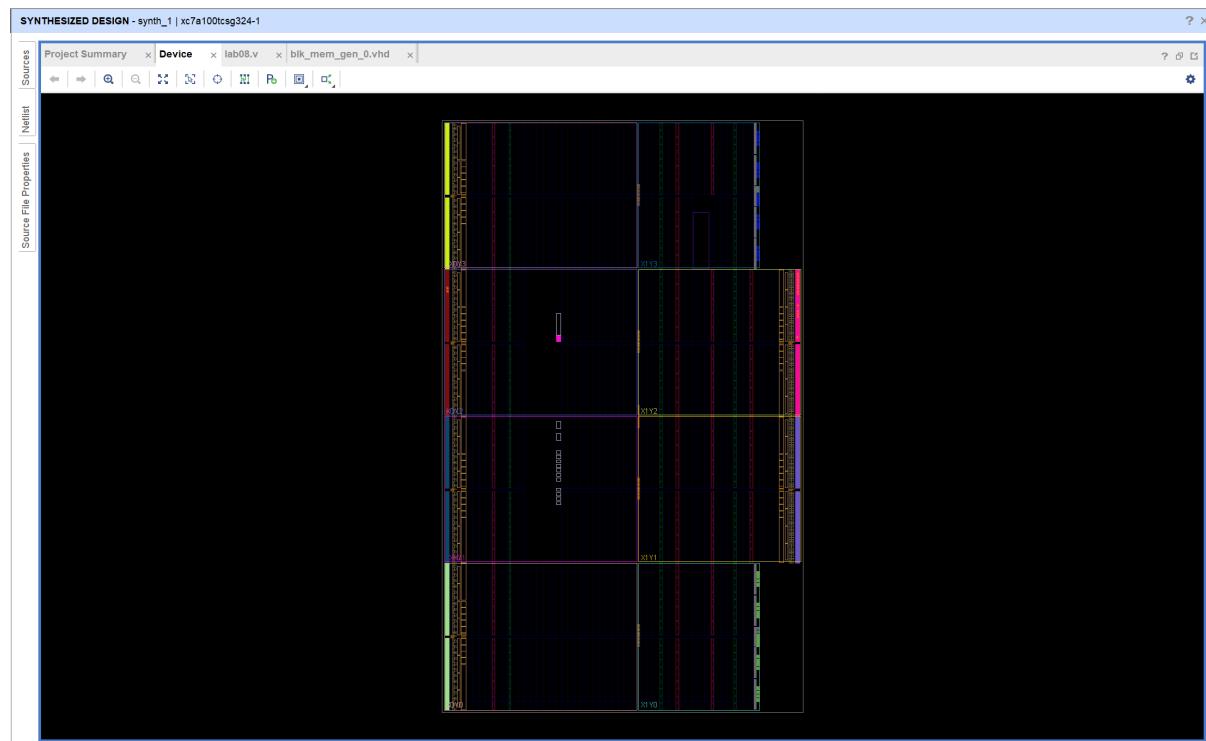
Read-only

```

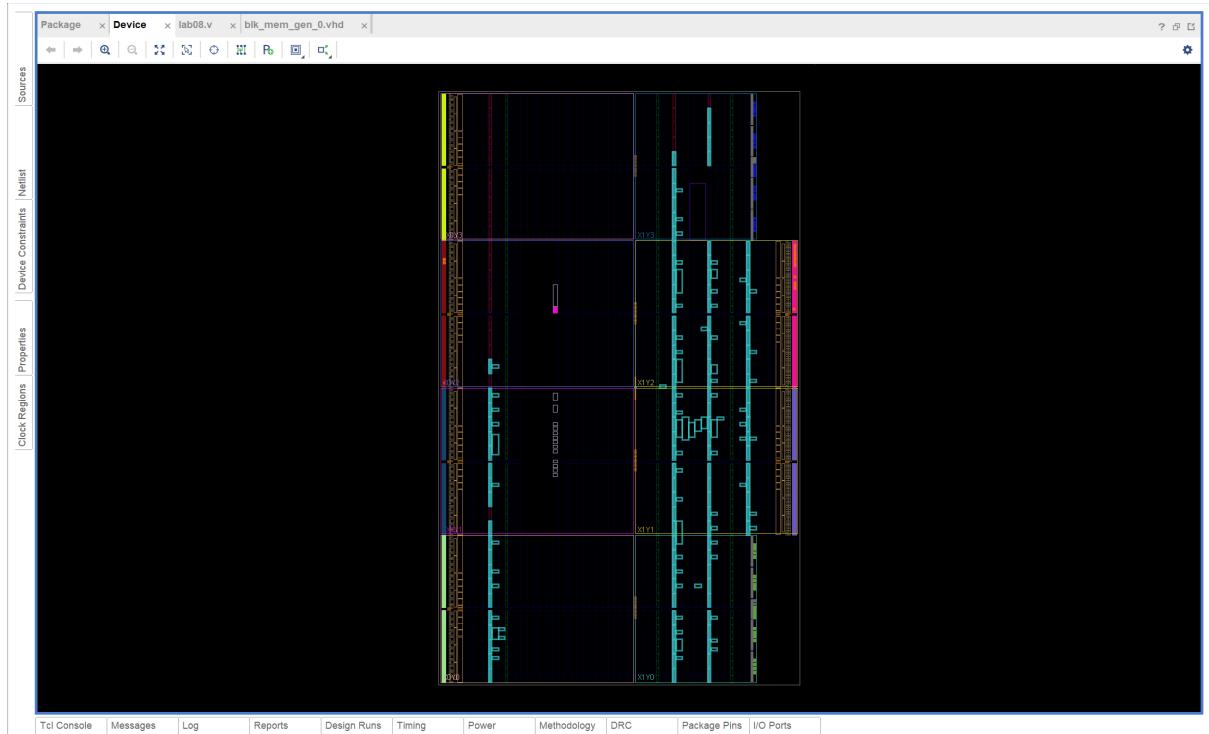
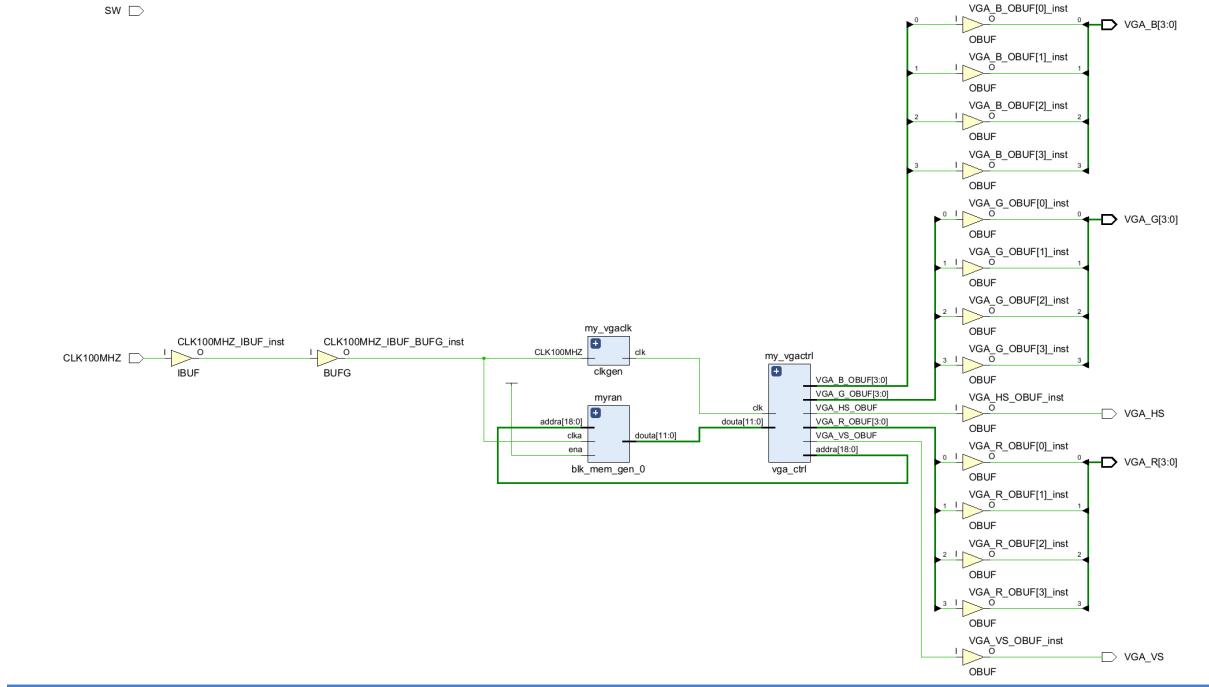
58
59 ENTITY blk_mem_gen_0 IS
60 PORT (
61     clka : IN STD_LOGIC;
62     ena : IN STD_LOGIC;
63     addra : IN STD_LOGIC_VECTOR(18 DOWNTO 0);
64     douta : OUT STD_LOGIC_VECTOR(11 DOWNTO 0)
65 );
66 END blk_mem_gen_0;
67
68 ARCHITECTURE blk_mem_gen_0_arch OF blk_mem_gen_0 IS
69 ATTRIBUTE DowngradeIPIdentifiedWarnings : STRING;
70 ATTRIBUTE DowngradeIPIdentifiedWarnings OF blk_mem_gen_0_arch: ARCHITECTURE IS "yes";
71 COMPONENT blk_mem_gen_v8_4_5 IS
72     GENERIC (
73         C_FAMILY : STRING;
74         C_XDEVICEFAMILY : STRING;
75         C_ELABORATION_DIR : STRING;
76         C_INTERFACE_TYPE : INTEGER;
77         C_AXI_TYPE : INTEGER;
78         C_AXI_SLAVE_TYPE : INTEGER;
79         C_USE_BRAM_BLOCK : INTEGER;
80         C_ENABLE_32BIT_ADDRESS : INTEGER;
81         C_CTRL_ECC_ALGO : STRING;
82         C_HAS_AXI_ID : INTEGER;
83         C_AXI_ID_WIDTH : INTEGER;
84         C_MEM_TYPE : INTEGER;
85         C_BYTE_SIZE : INTEGER;
86     );
87 
```

用IP核生成的ROM

实验步骤/过程



Run Synthesis后的Device



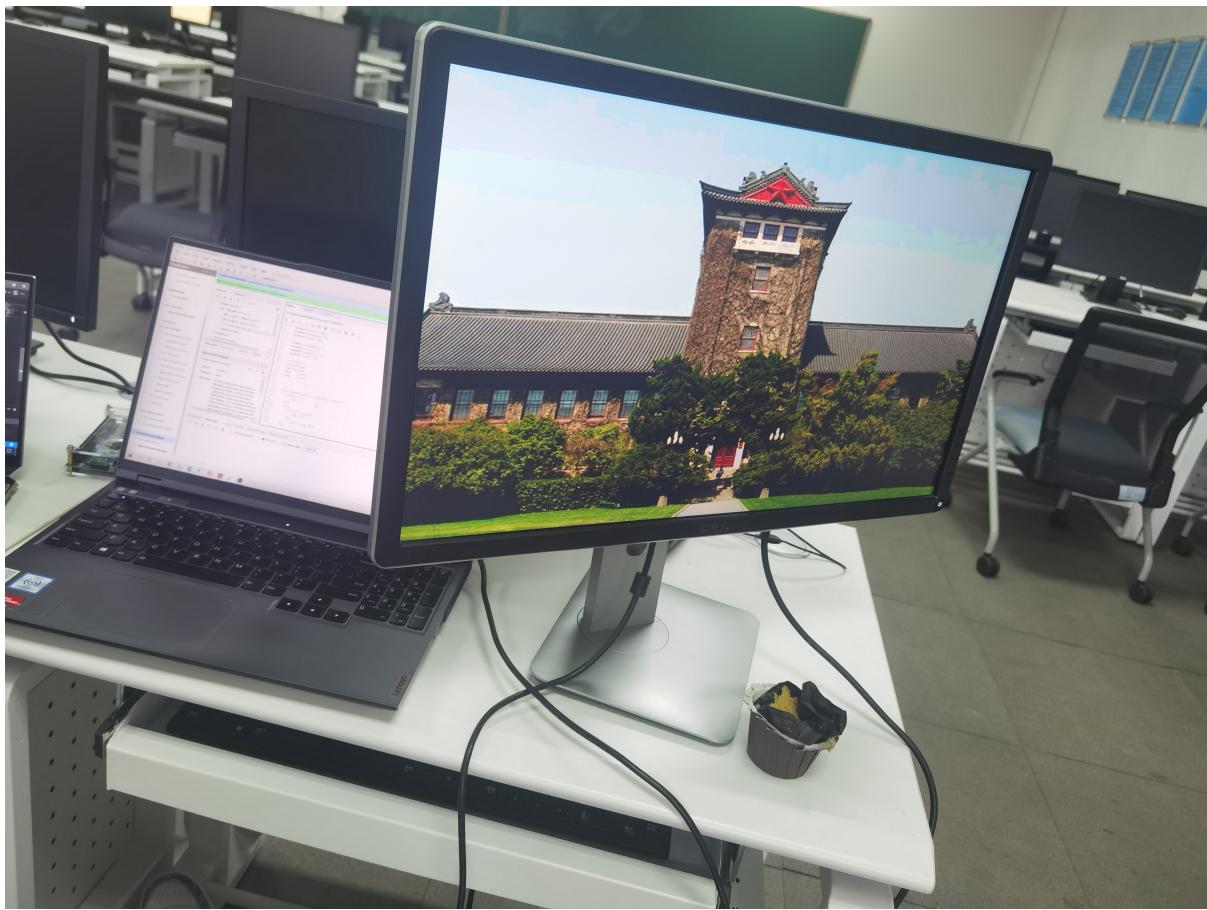
实现之后的Device

测试方法

利用显示屏观看图片成像。

实验结果

主要指仿真结果和下载运行结果



样例图片



自定义图片

实验中遇到的问题及解决办法

问题：黑屏

解决方法：在实例化中不小心把v_addr打成了vga_data

实验得到的启示

打字的时候要小心，注意检查变量名，指不定什么时候给你补全一个长得像但完全不一样的变量名。

早点写吧

意见和建议