



Practica 0: Introducción a Entorno VHDL

Objetivo:

Que el alumno conozca la herramienta de desarrollo ISE Design 9.0 o superior para proyectos en VHDL, y aprender a simular dichos programas en HDLSim así como gravarlos en un dispositivo PLD.

Introducción Teórica:

El lenguaje de descripción hardware **VHDL** (Very high speed **H**ardware **D**escription **L**ogic) es un lenguaje orientado a la descripción de hardware pero con muchos elementos heredados de otros lenguajes como C o Pascal. Una vez realizado un programa en VHDL (con extensión VHD) y haberlo compilado con éxito, tendremos un fichero con el mismo nombre y extensión JED, con el cual podremos grabar una PLD (Dispositivo Lógico Programable) con la misma operatividad que el fichero VHD.

Al describir cualquier dispositivo en VHDL (desde una simple puerta and hasta un sistema completo) se deben definir dos elementos principales:

Entidad o **entity** que es la interfaz del dispositivo con el exterior. Tiene por objeto decir que señales son visibles o accesibles desde el exterior, es decir los puertos o **ports** del dispositivo.

entity prog01 is

```
port(  a,b,c: in std_logic;
      x: out std_logic;
end prog01;
```

Arquitectura o **architecture** que es la funcionalidad que realiza el dispositivo, es decir, qué transformaciones se realizarán sobre los datos que entren por los puertos de entrada para producir la salida. Dentro de este apartado es donde se dota de operatividad al circuito. Su estructura general es la siguiente, y debe estar incluida en el mismo fichero de la entidad a la que hace referencia:

```
architecture nombre of nombre_entidad is
begin
    sentencias
end nombre;
```



Practica 0: Introducción a Entorno VHDL

Para acabar esta introducción deberemos tener en cuenta una serie de detalles más de éste lenguaje:

- VHDL no distingue las mayúsculas de las minúsculas, por lo que deberemos tener cuidado al asignar nombres a las variables, especialmente si estamos acostumbrados a trabajar con C.
- Las variables deben empezar por una letra, no deben contener ni espacios ni símbolos como &, %, \$, #, !, etc. Su longitud no está limitada, no pueden acabar con un carácter de subrayado o tener dos subrayados seguidos.
- Para representar un número de una sola cifra, deberemos situarlo entre apóstrofes; así: '1'
- Para representar un número de mas de una cifra, lo representaremos así: "10011"
- Es muy probable que en cada práctica encuentres varias entidades y varias arquitecturas. Tomando como ejemplo al multiplexor, sabemos que no todos tienen el mismo número de bits o de canales, por eso cada uno tiene una entidad distinta.

Operadores lógicos que acepta VHDL

and	nand
or	nor
xor	xnor
not	

Procedimiento:

1.- Realizar la reducción de la siguiente expresión booleana con las propiedades del algebra de Boole, dibujar la solución con simbología y una vez que tengas la solución comprobar con tablas la verdad y también comprobar con un PLD las ecuaciones resultantes.

$$F(A,B,C,D) = AB + \overline{A}\overline{D} + B\overline{D} + \overline{A}B + C\overline{D}A + \overline{A}D + CD + \overline{A}\overline{B}\overline{C}$$

Ej. Solución

$$F(A,B,C,D) = AB + A'D' + BD' + A'B + CD'A + A'D + CD + A'B'C' = B + A' + C$$

Programa.



Practica 0: Introducción a Entorno VHDL

```
library ieee;
use ieee.std_logic_1164.all;
entity prog00 is port(
a,b,c,d: in std_logic;
x,y: out std_logic);
end prog00;

architecture prog of prog00 is
begin
x <= (A and B) or (not A and not D) or
      (B and not D) or (not A and B) or
      (C and not D and A) or (not A and D) or
      (C and D) or (not A and not B and not C);
y <= (b or (not a) or c);
end prog; --fin
```

2.- Al Igual que en el punto anterior, hacer el mismo procedimiento para las operaciones siguientes.

1.- $\overline{XYZ} + \overline{Y}(\overline{XZ} + X\overline{Z})$

2.- $\overline{(Z + \overline{XY})(Y + W)}$

3.- $\overline{(\overline{X} + \overline{Y} + YZW)XY}$

3.- Diseñar en el lenguaje de descripción de hardware, los siguientes integrados, 74LS00, 74L04, 74L86, 74L10, 74LS21 y 74ls30.

4.- Documentar la practica con comentarios de cada uno de las operaciones.

Entregar Conclusiones individuales.