SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

PROJETO SD: UNIDADE LÓGICA ARITMÉTICA

RELATÓRIO DESCRITIVO

CAMPO DA INVENÇÃO

[001] Uma Unidade lógica Aritmética (ULA) é um bloco que realiza diversas operações, como soma, subtração e divisão, além de outras, a exemplo de determinação de sinal, se o número verificado tem valor zero, etc. Em suma, operações lógicas e aritméticas. As aplicações da ULA se expandem para área de hardware, sendo uma peça fundamental na arquitetura de um processador.

[002] Já um somador BCD (Binary Code Decimal) permite a soma de números decimais maiores que o somador implementado na ULA, e segue um sistema de representação que utiliza números de 0 a 9 para representar cada dígito (0000 a 1001).

ANTERIORIDADES

[003] Título: Resistive random access memory unit-based logic arithmetic unit and method for realizing binary Boolean logic operation

[004] Nº: CN107871518 (A)

[005] Data: 03/04/2018

[006] A invenção fornece uma ULA baseada na unidade de memória de acesso aleatório resistiva. Ela é formada conectando uma unidade de memória de acesso aleatório resistiva e um comutador em série. Ao projetar regras de operação lógica, todas as 16 operações lógicas booleanas binárias podem ser finalizadas sob a condição de não exceder três operações de escrita; e os resultados lógicos de operação podem ser armazenados de forma automática e não volátil na unidade de memória de acesso aleatório resistiva, de modo que as funções de processamento de dados e armazenamento possam ser integradas, um processo prático de um circuito lógico de memória de acesso aleatório resistivo pode ser grandemente promovido e a unidade lógica

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

aritmética é de importante significado para o desenvolvimento do circuito lógico de base de memória de acesso aleatório resistivo.

[007] Título: Arithmetic logic unit operation method and system for superconduction single magnetic flux quantum processor

[008] Nº: CN108108151 (A)

[009] Data: 01/06/2018

[010] A invenção refere-se a um método e sistema de operação de unidade lógica aritmética para um processador quântico de fluxo magnético único de supercondução. Uma tecnologia de supercondução RSFQ (Rapid Single Flux Quantum) é adotada para superar o problema de baixa velocidade e alto consumo de energia de um sistema tradicional anterior. Enquanto isso, uma unidade lógica aritmética no processador quântico de fluxo magnético único de alta velocidade adota um somador de uma estrutura paralela serial de 16 bits para processamento de operação, e a estrutura de sistema paralelo serial tem maior velocidade de operação que a velocidade de operação de uma estrutura serial e necessita de poucos recursos de hardware do que a estrutura paralela. Embora a velocidade ultra-alta seja percebida, o consumo de energia ultrabaixo é garantido. Com base na condição de que a tecnologia de circuito integrado de larga escala RSFQ no país e no estrangeiro atenda a um componente principal do microprocessador RSFQ de 64 bits, uma RSFQ ULA (Unidade Lógica Aritmética) de 64 bits é submetida a projeto lógico. estabelecidas para projetar microprocessadores RSFT de alta velocidade de 64 bits e sistemas de computador.

[011] Título: Four Steps Associative Full Adder

[012] Nº: CN108153512 (A)

[013] Data: 12/06/2018

[014] A invenção fornece um somador associativo de quatro etapas. O método para adicionar uma primeira variável de um bit com uma segunda variável de um bit e um bit de carry-in, para gerar um bit de soma e um bit de carry-out, inclui o início do bit de soma para o valor da segunda variável de um bit,

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

iniciando o bit de transporte para um valor do bit de transporte e modificando o bit de soma e o bit de transporte se uma comparação de uma sequência da primeira variável de um bit, a segunda variável de um bit e um valor inverso do O bit de carry-in corresponde a um de um conjunto predefinido de sequências de trigger de mudança.

DESCRIÇÃO GERAL

[015] A Unidade Lógica Aritmética (ULA) é um componente essencial da CPU capaz de realizar operações lógicas (p. ex. maior que, menor que) e aritméticas (p. ex. soma, subtração) em circuitos digitais. O presente projeto, a partir de dois vetores A e B binários, cada um de 4 bits (1 de sinal e 3 de módulo) e um vetor S de seleção (3 bits), realiza operações de soma, subtração, complemento a 2 e é capaz de fornecer um valor verdade para operador de igualdade, maior que, menor que e as portas lógicas AND e XOR. Além da ULA descrita, o projeto apresenta também um somador BCD (Binary Code Decimal), capaz de realizar somas de números de dois dígitos (00 a 99). Ambos os componentes do projeto possuem saída para um display LED de 7 segmentos.

MODALIDADES PREFERIDAS

[016] A ULA, como parte fundamental de um microprocessador e da unidade central de processamento (ULA), funciona como uma "grande calculadora" dentro dos computadores, fornecendo resultados de operadores aritméticos com número inteiros e lógicos bit a bit nos circuitos digitais dessas máquinas.

REIVINDICAÇÕES

DESENHOS

A	B	Ci	R	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

AB | Ci	0	1
00	0	1
01	1	0
11	0	1
10	1	1

->

RESULTADO
AB'C + A'B'C + ABC+ A'BC

AB | Ci	0	1
00	0	0
01	0	1
11	1	1
10	0	1

->

CARRY OUT
AC + AB + BC

Somador (Tabela Verdade e Mapas de Karnaugh)

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

A	B	C	D	A	B	C	D	E	F	G
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	0	x	x	x	x	x	x	x
1	0	1	1	x	x	x	x	x	x	x
1	1	0	0	x	x	x	x	x	x	x
1	1	0	1	x	x	x	x	x	x	x
1	1	1	0	x	x	x	x	x	x	x
1	1	1	1	x	x	x	x	x	x	x

BCD (Tabela Verdade)

AB | CD	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	X	X	X	X
10	1	1	X	X

→ **LED A**: C + BD + C'A + B'C'D

AB | CD	00	01	11	10
00	1	1	1	1
01	1	0	1	0
11	X	X	X	X
10	1	1	X	X

→ **LED B**: B' + C'D + CD

AB | CD	00	01	11	10
00	1	1	1	0
01	0	1	1	1
11	X	X	X	X
10	1	1	X	X

→ **LED C**: C' + D + B

AB | CD	00	01	11	10
00	1	0	1	1
01	0	1	0	1
11	X	X	X	X
10	1	1	X	X

→ **LED D**: A + B'D' + B'C + CD' + BC'D

BCD (Mapas de Karnaugh - LEDs A a D)

AB | CD	00	01	11	10
00	1	0	0	1
01	0	0	0	1
11	X	X	X	X
10	1	0	X	X

->

LED E
B'D + CD'

AB | CD	00	01	11	10
00	1	0	0	0
01	1	1	0	1
11	X	X	X	X
10	1	1	X	X

->

LED F
A + C'D' + BC' + BD'

AB | CD	00	01	11	10
00	0	0	1	1
01	1	1	0	1
11	X	X	X	X
10	1	1	X	X

->

LED G
A + B'C + CD' + BC'

BCD (Mapas de Karnaugh - LEDs E a G)

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

A	B	Ci	Co
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

AB | Ci	0	1
00	0	1
01	0	0
11	0	1
10	1	1

->

>
AB' + B'C + AC

Maior que (Tabela Verdade e Mapas de Karnaugh) (Bits de módulo)

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

A	B	Ci	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

AB | Ci	0	1
00	0	1
01	1	1
11	0	1
10	0	0

→

> (SINAL)
A'B + A'Ci + BCi

Maior que (Tabela Verdade e Mapas de Karnaugh) (Bit de sinal)

A	B	C	A	B	C	D	E	F	G
0	0	0	1	1	1	1	1	1	0
0	0	1	0	1	1	0	0	0	0
0	1	0	1	1	0	1	1	0	1
0	1	1	1	1	1	1	0	0	1
1	0	0	0	1	1	0	0	1	1
1	0	1	1	0	1	1	0	1	1
1	1	0	1	0	1	1	1	1	1
1	1	1	1	1	1	0	0	0	0

ULA (Tabela Verdade)

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

AB | C	0	1
00	1	0
01	1	1
11	1	1
10	0	1

->

LED A

A'C + B + C

AB | C	0	1
00	1	1
01	1	1
11	0	1
10	1	0

->

LED B

A' + BC + B'C'

AB | C	0	1
00	1	1
01	0	1
11	1	1
10	1	1

->

LED C

A + B' + C

AB | C	0	1
00	1	0
01	1	1
11	1	0
10	0	1

->

LED D

A'B + AB'C + A'C' + BC'

ULA(Mapas de Karnaugh - LEDs A a D)

AB | C	0	1
00	1	0
01	1	0
11	1	0
10	0	0

->

LED E
A'C' + BC'

AB | C	0	1
00	1	0
01	0	0
11	1	0
10	1	1

->

LED F
AB' + AC' + B'C'

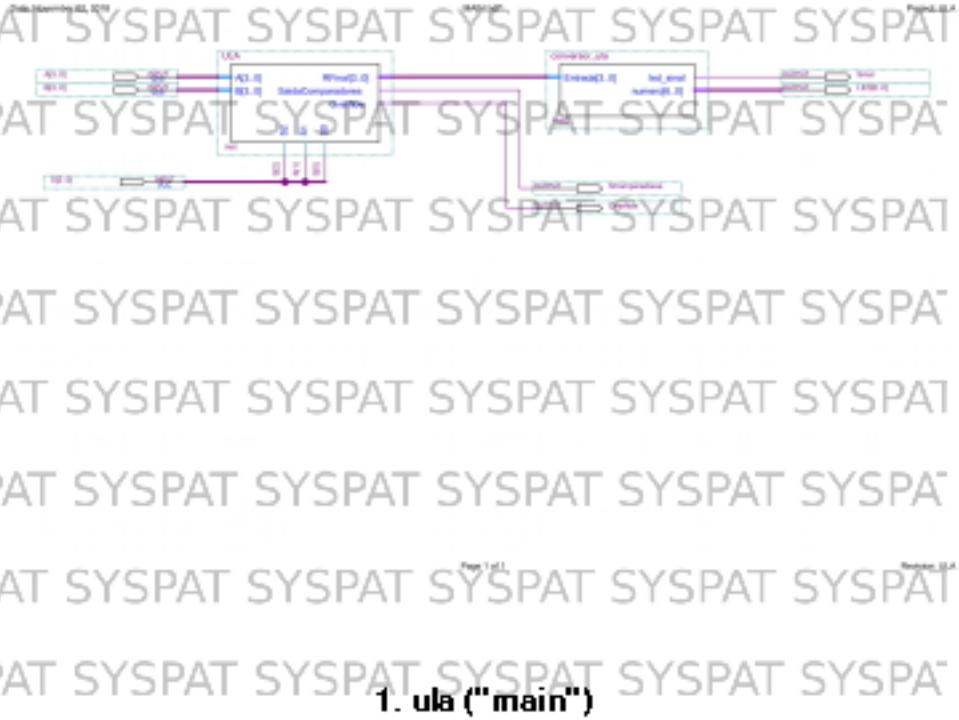
AB | C	0	1
00	0	0
01	1	1
11	1	0
10	1	1

->

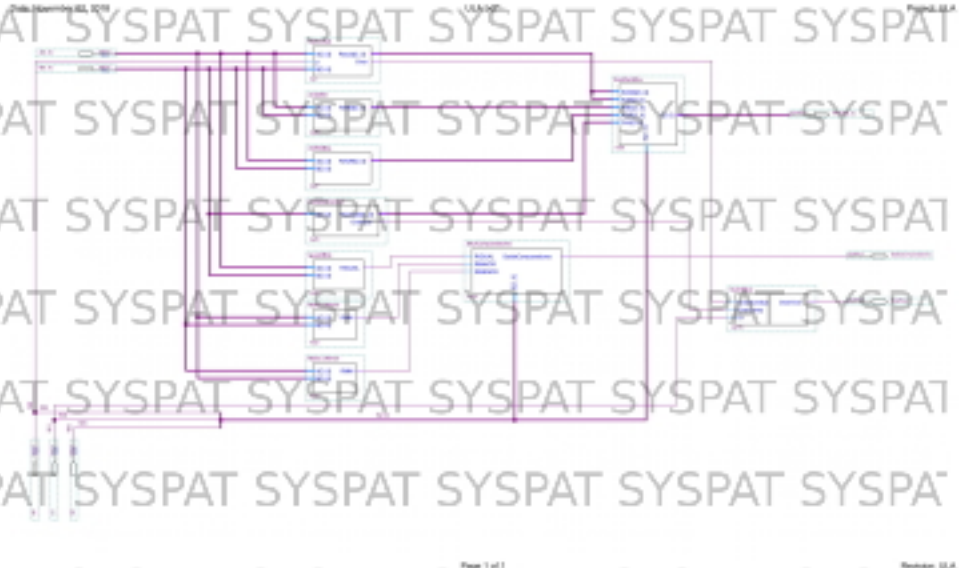
LED G
AB' + A'B + AC'

ULA(Mapas de Karnaugh - LEDs E a G)

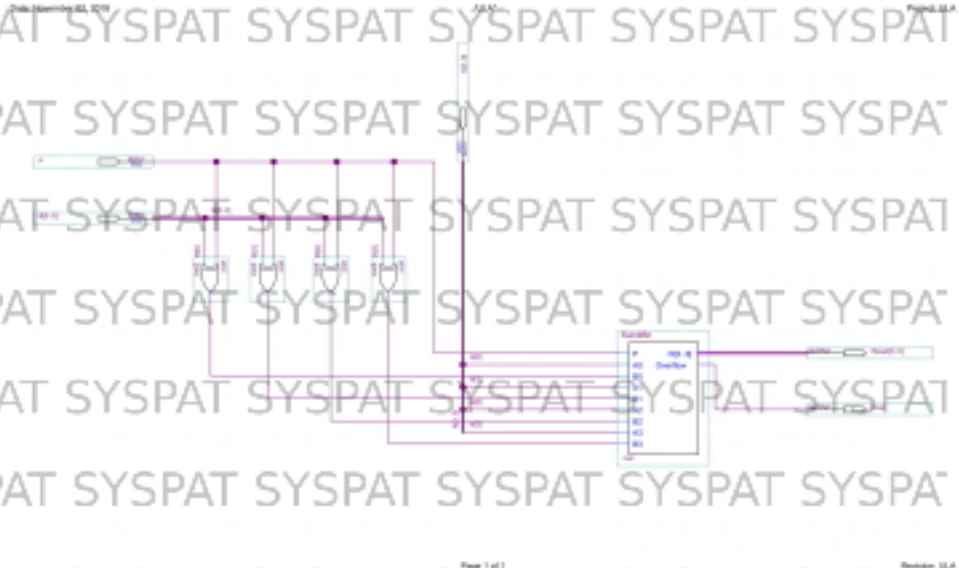
SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT



1. ula ("main")



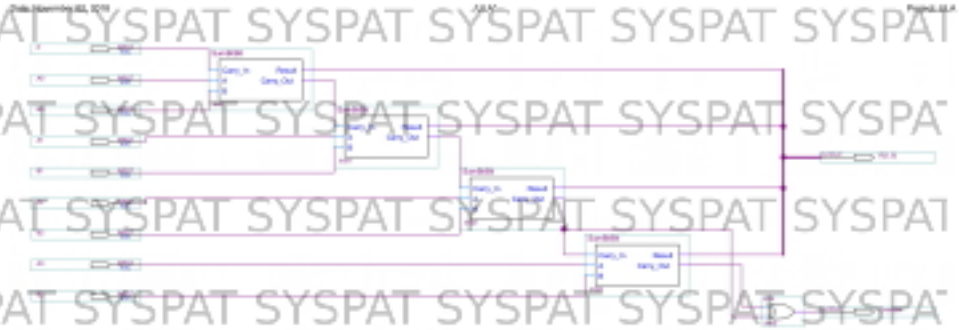
1.1 mux



1.1.1 sum_sub

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

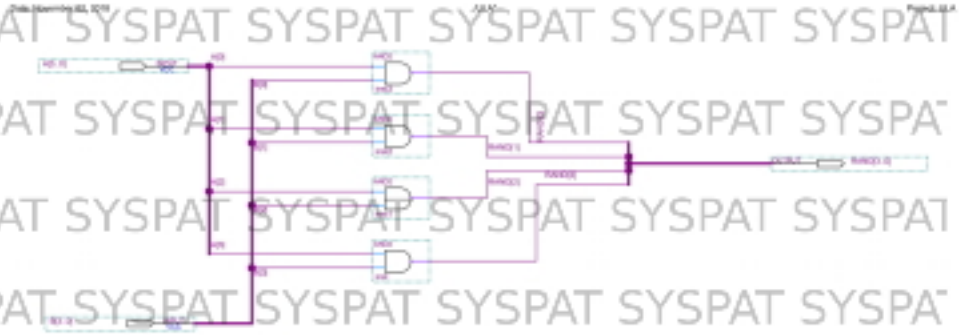


1.1.1.1 sum_4bit

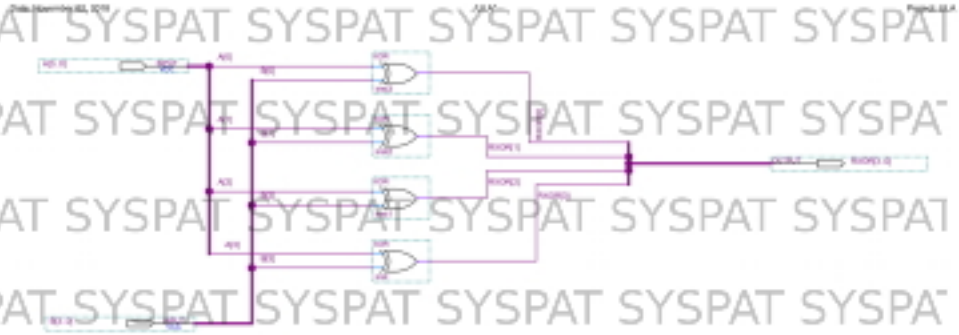
SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

1.1.1.2 sum_bitabit

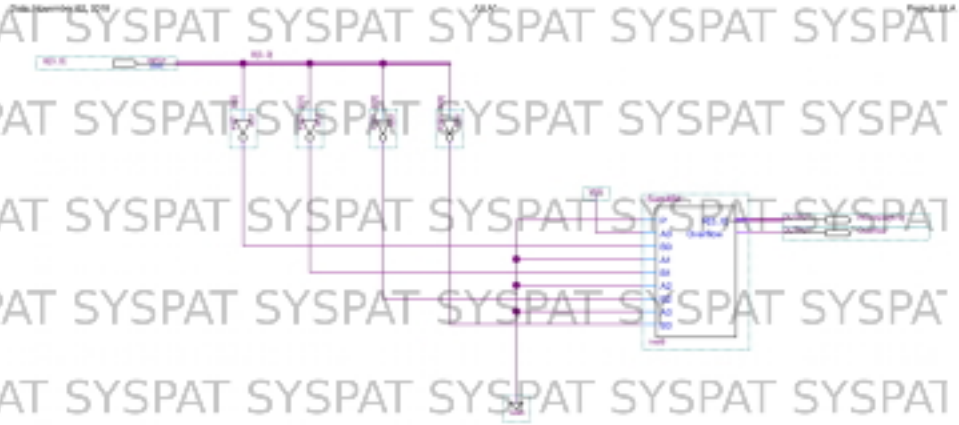
SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT



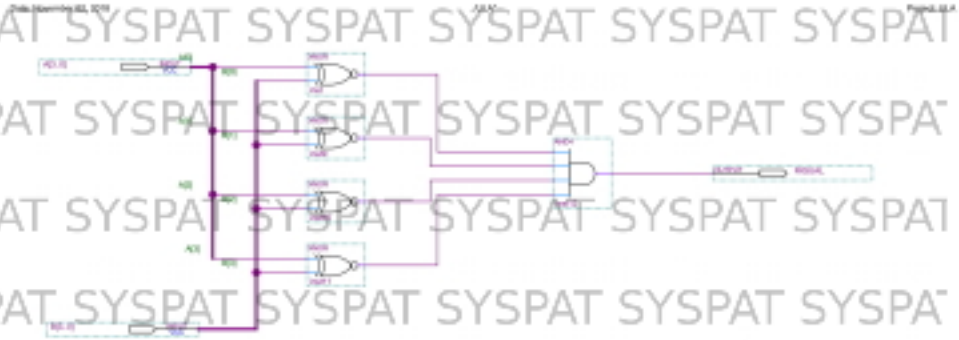
1.1.2 and_4bit



1.1.3 xor_4bit

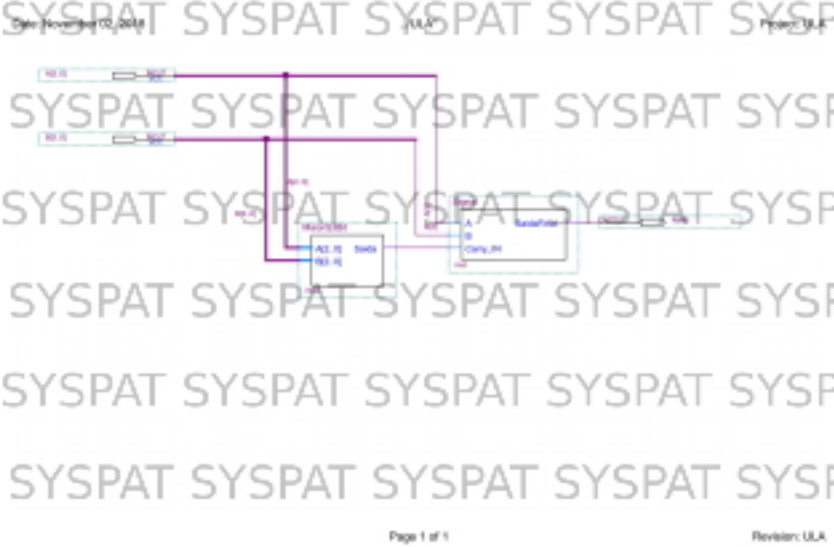


1.1.4 comp2_4bit

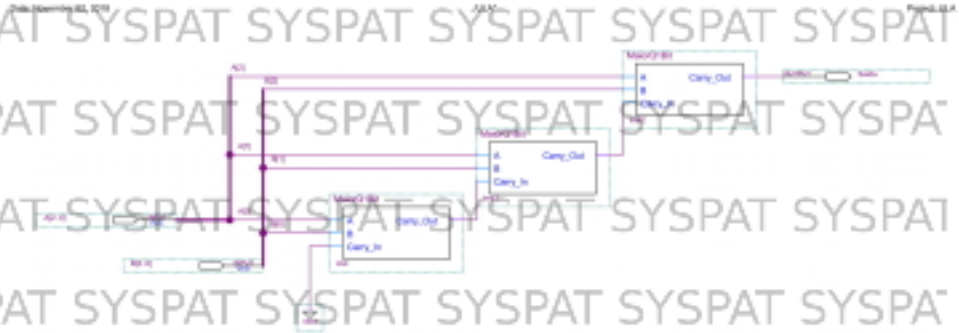


1.1.5 igual_4bit

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT



1.1.6 maior_menor

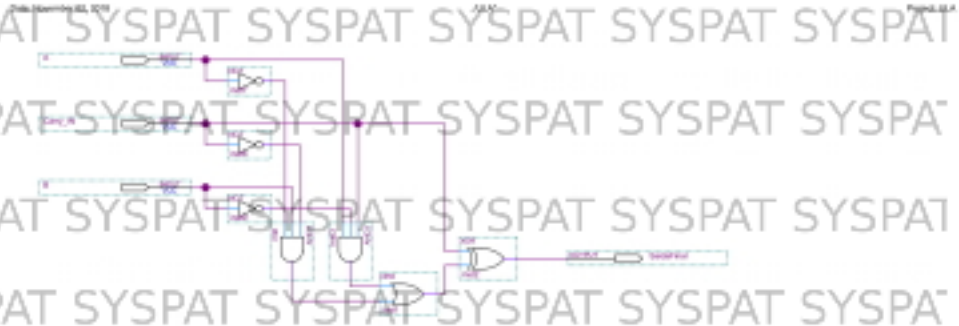


1.1.6.1 maiorq_4bit

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

1.1.6.2 maiorq_1bit

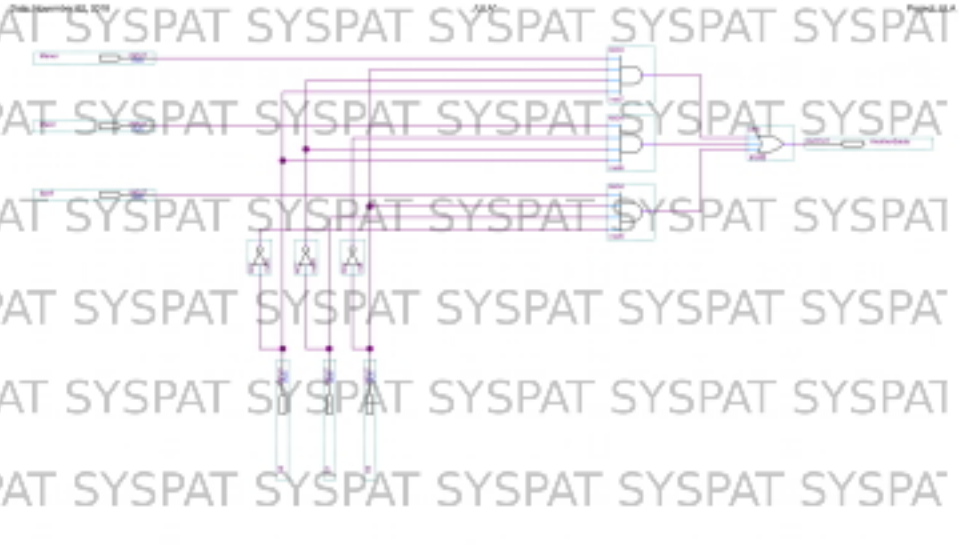
SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT



1.1.6.3 signal

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

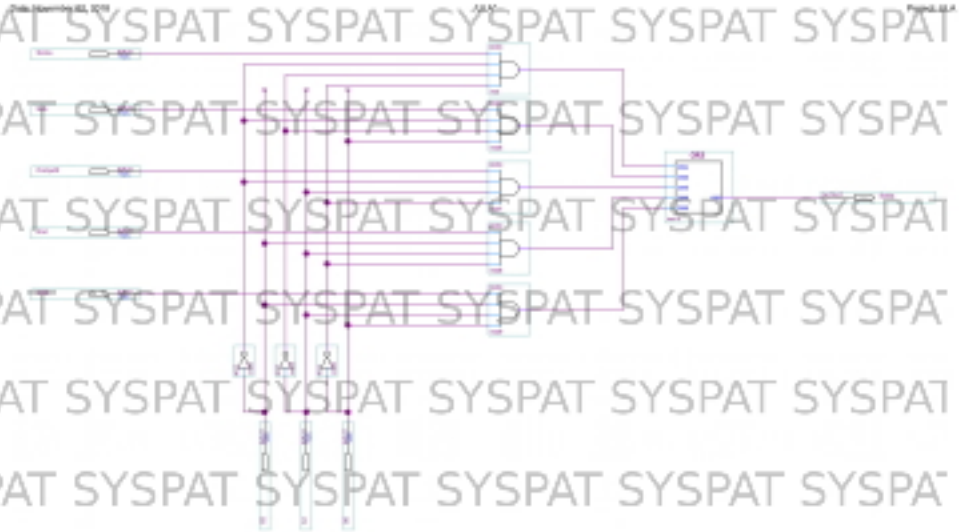
Mux2017
Mux
Mux
AnotherGate
Mux
Mux
Mux



1.1.7.1 mux_3to1

1.1.8 another_mux

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT



1.1.8.1 mux_5to1

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

1.1.9 outro_mux

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

12 conversor

Date: November 03, 2016
KiCad E.D.A. kicad (5.1.6)
Project: LSA
Page 1 of 1
Revision: LSA

1.2.1 display

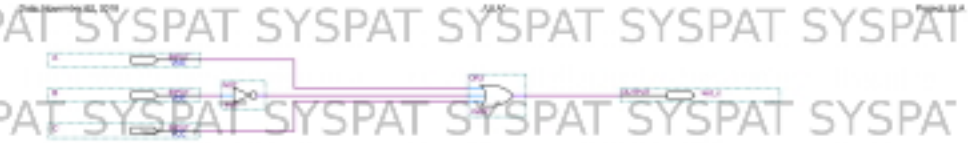
SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

1.2.1.1 led_a

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

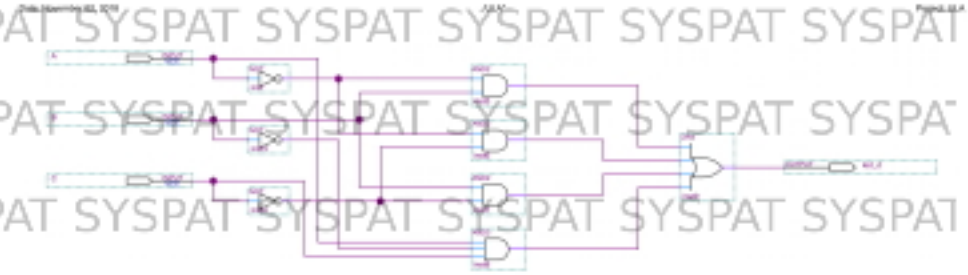
1.2.1.2 led_b

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT



1.2.1.3 led_c

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT



1.2.1.4 led_d

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

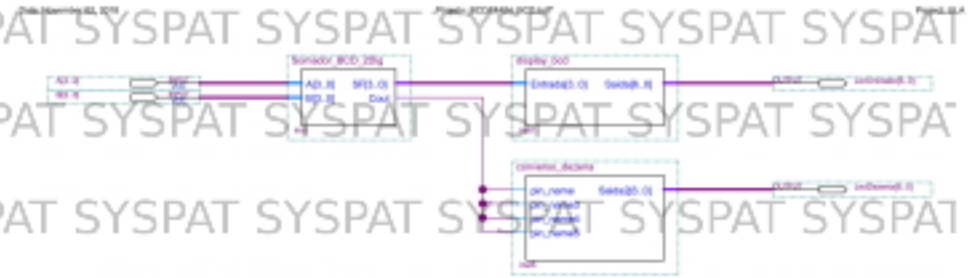
1.2.1.5 led_e

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

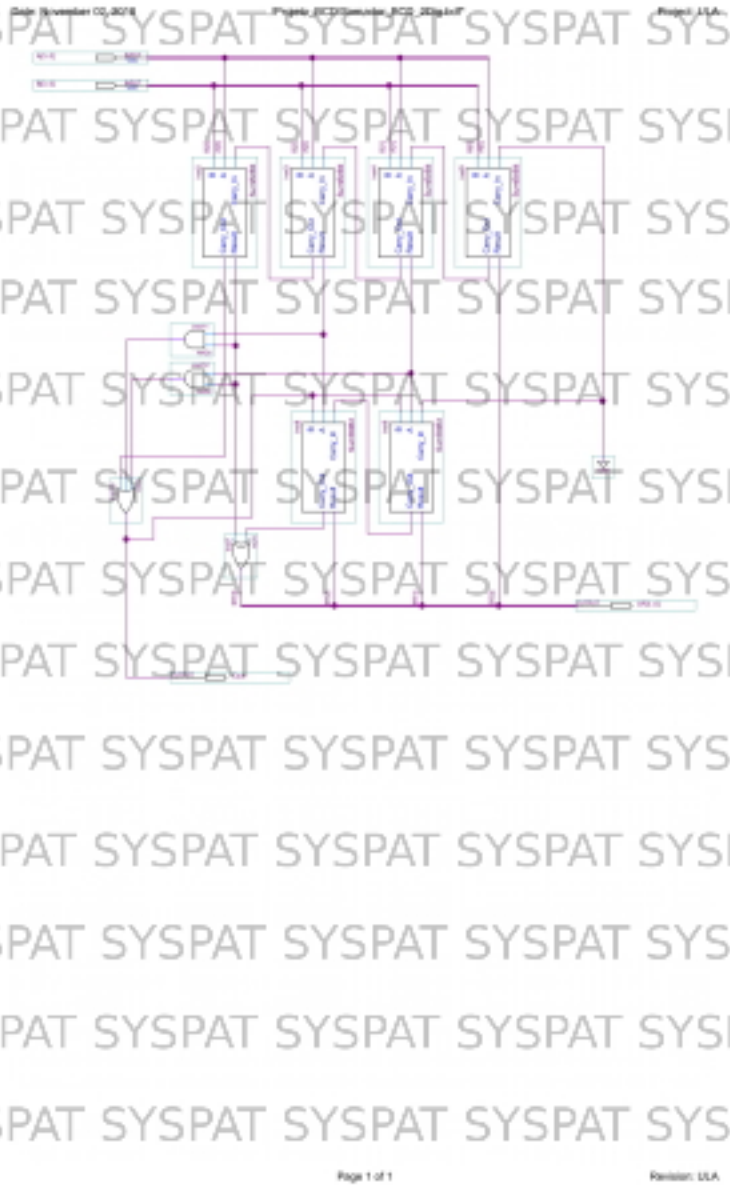
1.2.1.6 led_f

1.2.1.7 led_g

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT



2. bcd ("main")



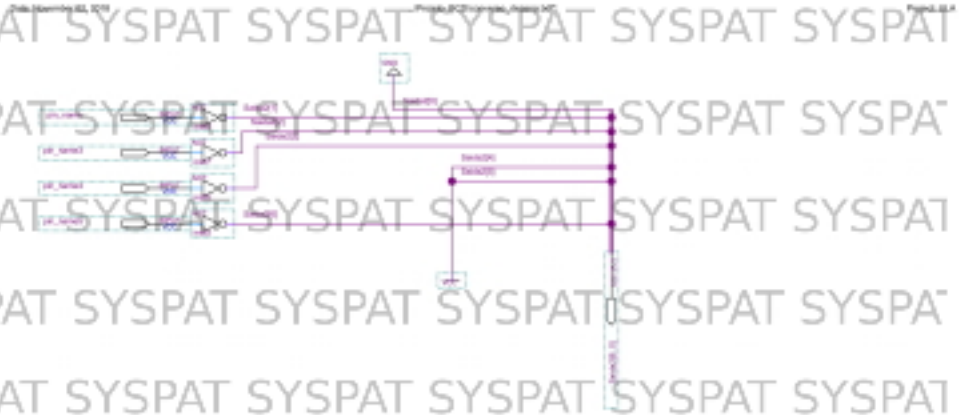
2.1 sum_bcd_2dig

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

2.1.1 sum_bitabit

2.2 display_bcd

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT



2.3 converso_dez

SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT SYSPAT

PROJETO SD: UNIDADE LÓGICA ARITMÉTICA

RESUMO

Este projeto apresenta uma Unidade Lógica Aritmética (ULA) e um contador BCD.

A ULA compõe um dos elementos mais básicos e essenciais da CPU e de microprocessadores e é responsável por ações de operadores lógicos (como desigualdade, igualdade, porta AND e porta XOR) e aritméticos (como soma, subtração e complemento a dois). O contador BCD corresponde a um componente responsável pela operação entre operadores de dois dígitos.