

1.Introdução

Este relatório tem como intenção relatar a confecção de um processador Saguí baseado em uma arquitetura de 8 bits, load-store endereçada por byte, projetado no software Logisim Evolution.

O processador tem como seus principais componentes uma Memória de Programa, um Program Counter que a controla, uma Memória de Controle para controlar muxes e bits de enable, um Banco de Registradores(4 X 8b), uma ULA, uma Memória de Dados e alguns circuitos auxiliares.

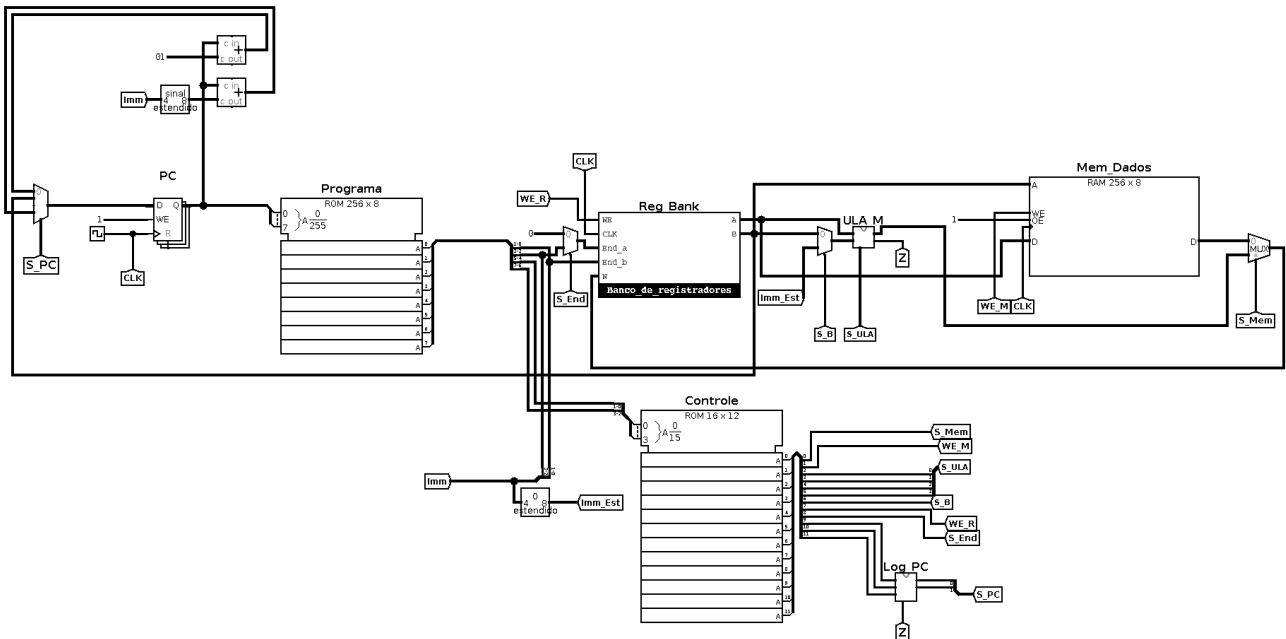


Figura 1: Diagrama de Caixas do Saguí

2.ULA

A ULA(Figura 2) foi projetada de maneira a realizar 10 operações diferentes, sendo elas: soma, subtração, and lógico, or lógico, negação, deslocamento de bits para a esquerda ou para a direita, concatenação dos bits do imediato para a parte da alta ou baixa do registrador e comparação com a constante 0 para a realização do branch. Além dessas operações, uma das possíveis saídas é a entrada B, utilizada na operação de Move Register. A saída dessa ULA é controlada por um mux com seletor de 4 bits.

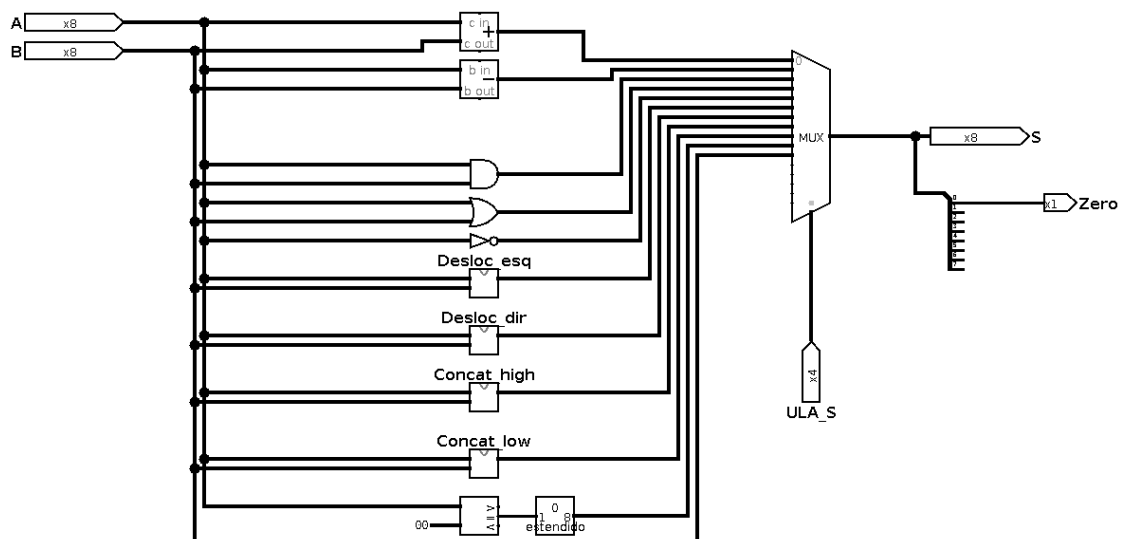


Figura 2

3.Programa

Um programa de teste foi feito em assembly e transcrito em base hexadecimal para a Memória de Programa do Saguí para que fosse possível analisar o funcionamento do circuito no Logisim Evolution.

Para instruções do tipo R os 4 bits mais importantes representam o opcode, os 2 próximos representam o endereço do registrador a, e os últimos 2 representam o endereço do registrador B.

Para instruções do tipo I os 4 bits mais importante representam o opcode, e os outros 4 representam um imediato.

PC	Tipo	Assembly	Binario
0	Tipo I	Movl 5	10000101
1	Tipo R	Movr r1, r0	01100100
2	Tipo I	Movl 2	10000010
3	Tipo R	Movr r2, r0	01101000
4	Tipo R	Movr r3, r2	01101110
5	Tipo R	Add r2, r1	10011001
6	Tipo I	Movh 1	01110001
7	Tipo R	Sub r0, r2	10100010
8	Tipo R	And r1, r2	10110110
9	Tipo R	Or r3, r0	11001100
10	Tipo R	Not r3, r3	11011111
11	Tipo R	Slr r3, r1	11101101
12	Tipo R	Srr r3, r1	11111101
13	Tipo R	St r0, r3	01010011
14	Tipo R	Ld r2, r3	01001011
15	Tipo I	Movl 5	10000101
16	Tipo I	Movh 1	01110001
17	Tipo R	Movr r1, r0	01100100
18	Tipo I	Movh 0	01110000
19	Tipo I	Movl 0	10000000
20	Tipo R	Brzr r1, r0	00000100
21	Tipo I	Brzi 1	00010001
22	Tipo I	Movh 1	01110001
23	Tipo I	Movl 9	10001001
24	Tipo R	Jr r0	00100100
25	Tipo I	Ji 1	00110001
26	Tipo I	Movh 0	01110000
27	Tipo I	Movl 0	10000000
28	Tipo R	Movr r1, r0	01100100
29	Tipo R	Movr r2, r0	01101000
30	Tipo R	Movr r3, r0	01101100
31	Tipo I	Movl 4	10000100
32	Tipo R	St r3, r0	01011100
33	Tipo R	Movr r1, r0	1100100
34	Tipo I	Movh 2	01110010
35	Tipo I	Movl 13	10001101
36	Tipo R	Movr r2, r0	01101000
37	Tipo I	Movl 9	10001001
38	Tipo R	Movr r3, r0	01101100
39	Tipo I	Movh 0	01110000
40	Tipo I	Movl 1	10000001
41	Tipo R	Brzr r1, r2	00000110
42	Tipo R	St r1, r1	01010101
43	Tipo R	Sub r1, r0	10100100
44	Tipo R	Jr r3, r3	00101111
45	Tipo R	Jr r2, r2	00101010

4. Conclusão

Ao fim do processo temos um processador Sagui funcional com uma ROM programável, e uma memória RAM conectada ao processador, permitindo que um programador possa programá-lo uma vez utilizando as 16 instruções nativas.