首先我们要做到的是实现一个五级流水线MIPS CPU

首先可以先解决一下PC，PC由多种因素决定，这里用一堆if，正常情况下就是+4，碰到bne和beq这种branch instruction的时候根据zero flag和branch两个寄存器的值判断pc是正常+4还是跳，碰到jump类型的也是根据相应的功能来跳，反正pc是个摆设，每次clock变化的时候跳就可以

然后是取instruction部分，取instruction直接从test里面的i\_datain取就可以

然后是解码部分，解码部分取出对应的func和opcode，然后得到ALU control部分返回的各类寄存器的值，根据这些值来给对应的A,B寄存器赋予相应的值，该sign extension的sign extension

然后是ALU部分，根据ALU ctr和src等功能给对应的寄存器赋值，然后进行相应的ALU 操作得到对应的一些结果

然后是内存部分，这一部分是空壳，根据不同的instruction给result赋予相应的结果即可方便在test部分的打印

最后是回写部分，这一部分根据对应的信号要将对应的一些结果和值返回写到寄存器中方便下一轮的操作

以上就是整个过程

至于pipline的实现

目前的思路是用5个always来进行操作，always之间进行寄存器的保留和赋值，这样在每次clock变化的时候就可以进行相应的操作