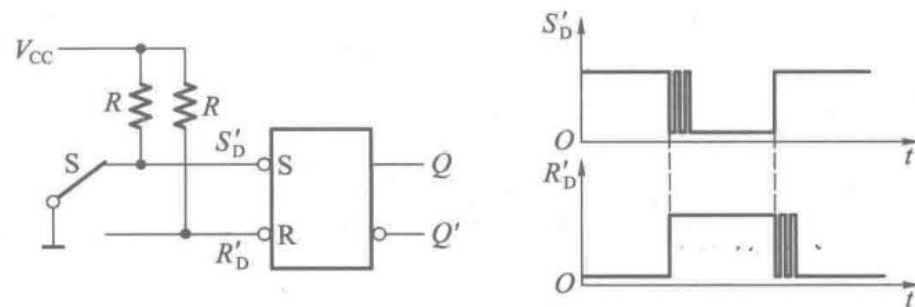
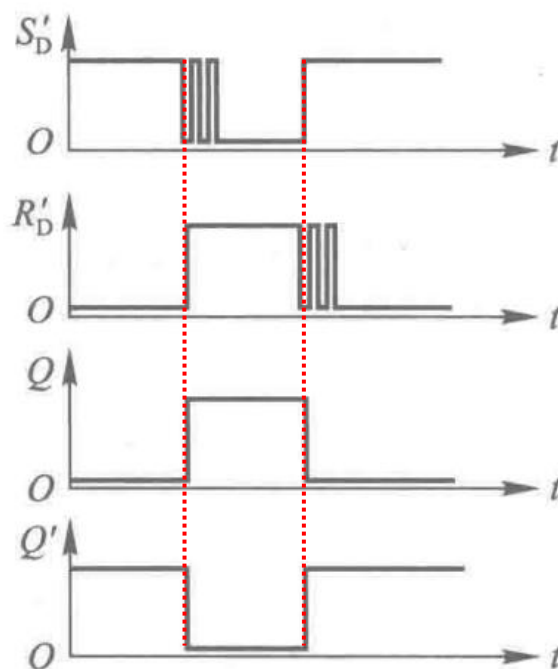


【题 5.3】 图 P5.3 所示为一个防抖动输出的开关电路。当拨动开关 S 时,由于开关触点接通瞬间发生振颤, $S'_D$  和  $R'_D$  的电压波形如图中所示,试画出  $Q$ 、 $Q'$  端对应的电压波形。



解: 见图 A5.3。



【题 5.4】 在图 P5.4 电路中,若  $CLK$ 、 $S$ 、 $R$  的电压波形如图中所示,试画出  $Q$  和  $Q'$  端与之对应的电压波形。假定触发器的初始状态为  $Q=0$ 。

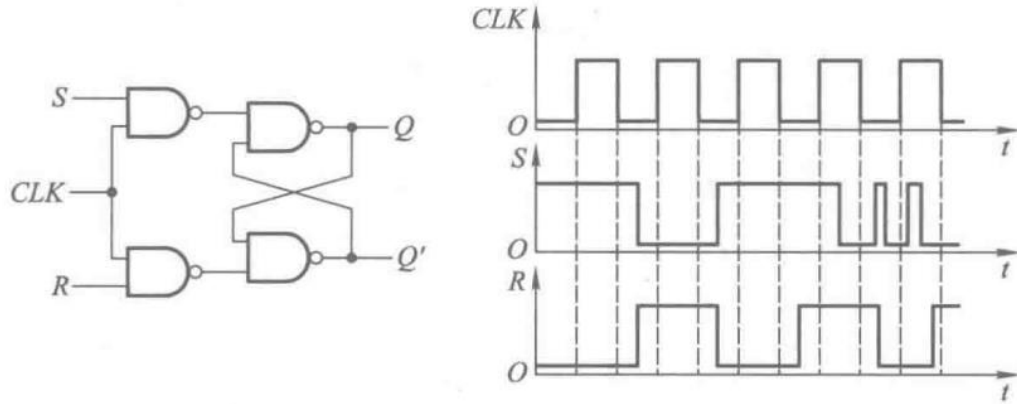
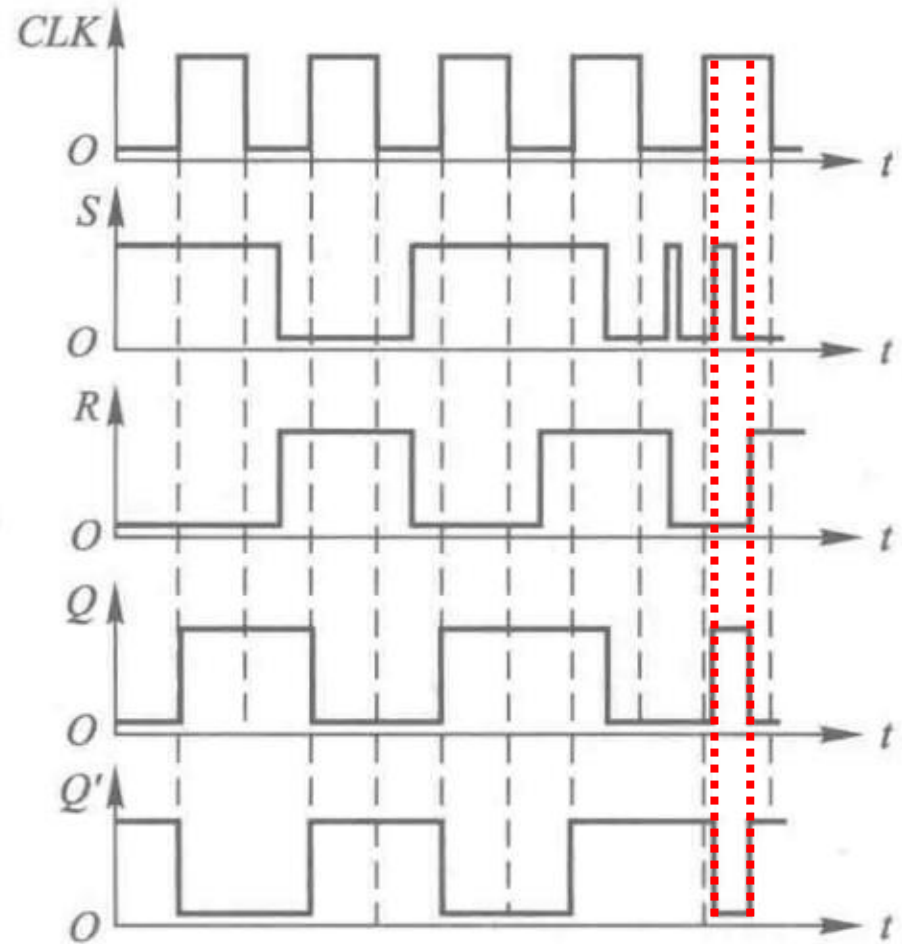
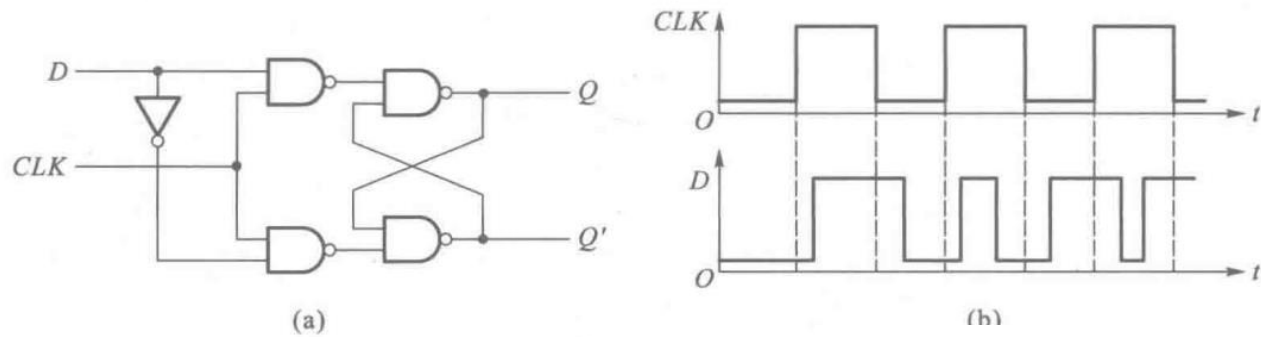


图 P5.4

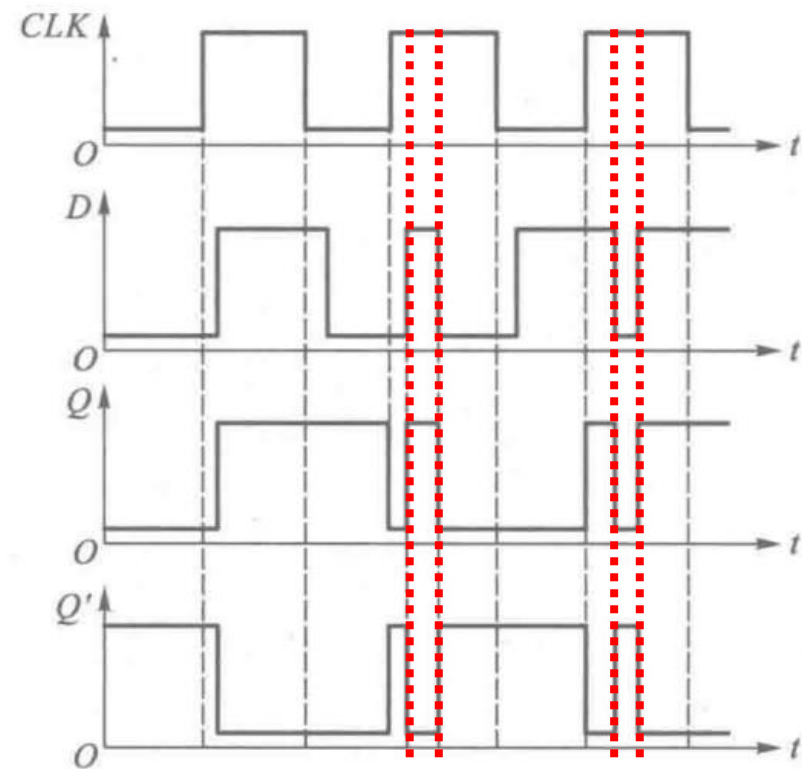
电平触发SR触发器 (图5.3.1)



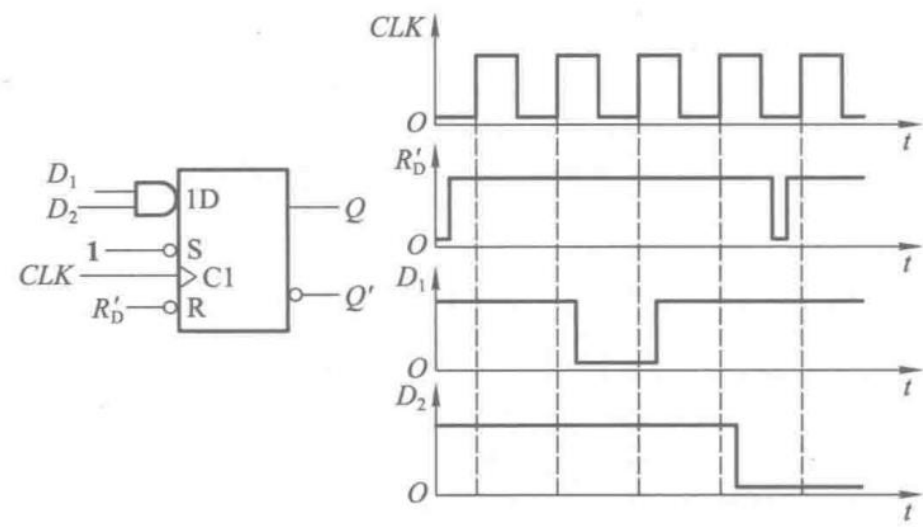
【题 5.5】 在图 P5.5(a)所示的电平触发  $D$  触发器电路中,若  $CLK$  和  $D$  输入端的电压波形如图 P5.5(b)所示,试画出  $Q$  和  $Q'$  端对应的电压波形。假定触发器的初始状态为  $Q=0$ 。



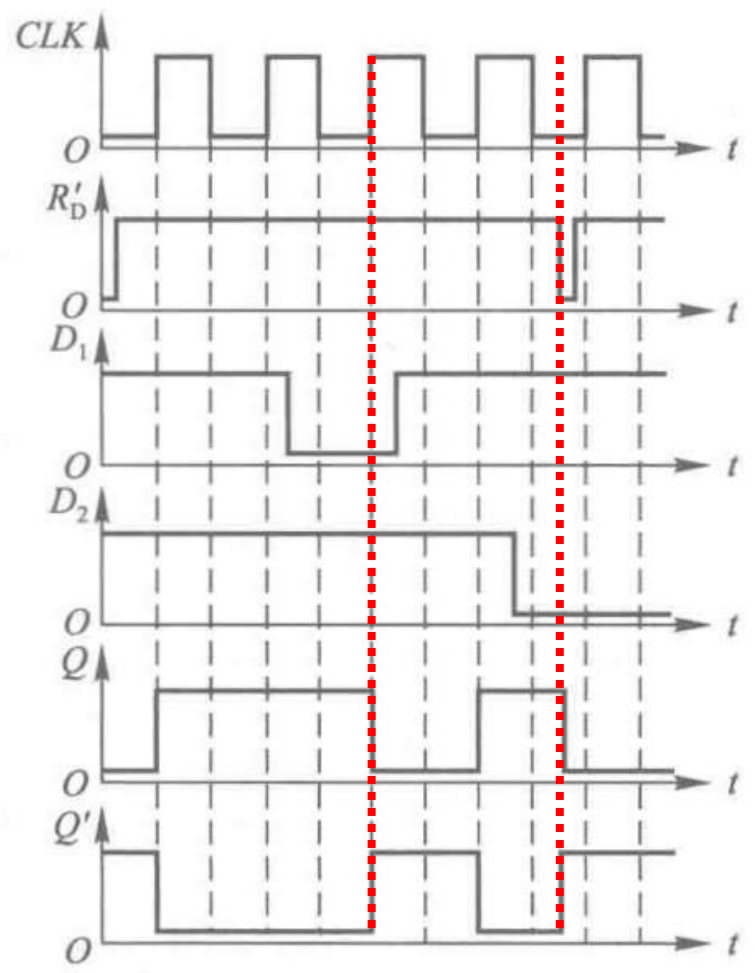
电平触发D触发器



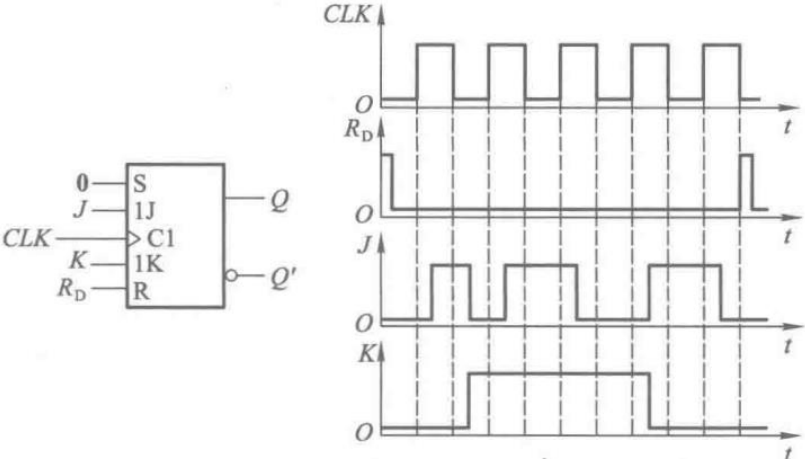
【题 5.8】 已知边沿触发  $D$  触发器各输入端的电压波形如图 P5.8 所示, 试画出  $Q$ 、 $Q'$  端对应的电压波形。



边沿触发D触发器  
R: 异步复位

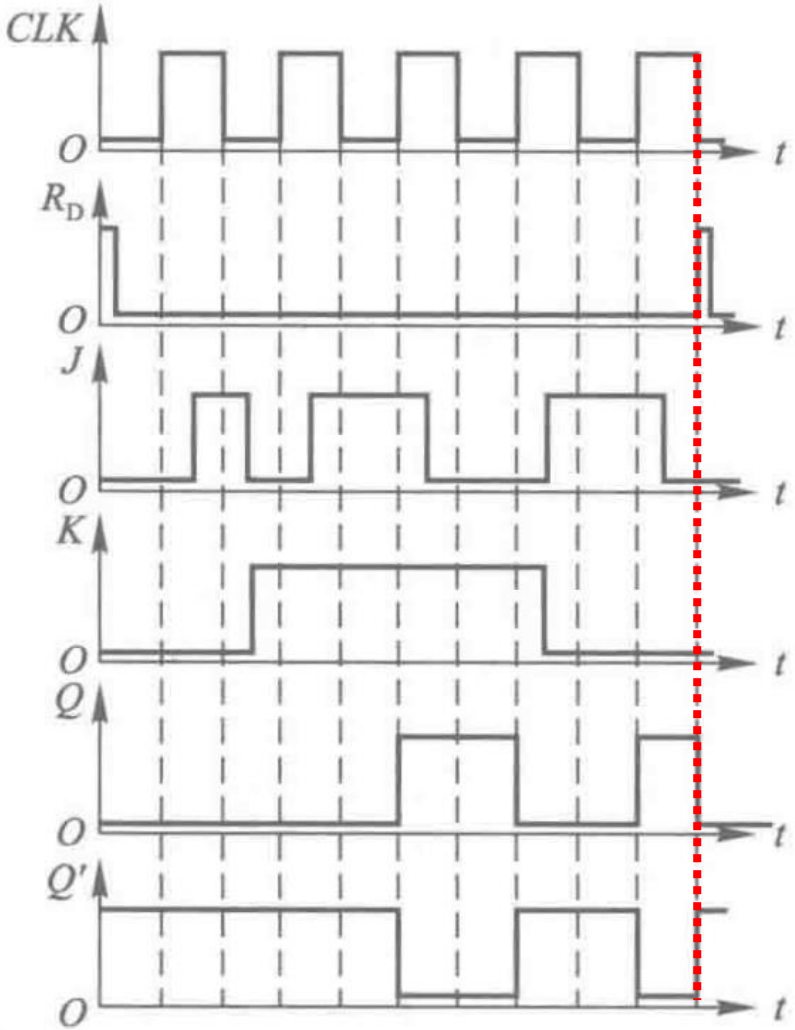


【题 5.9】 已知边沿触发 JK 触发器各输入端的电压波形如图 P5.9 中所示,试画出  $Q$ 、 $Q'$  端对应的电压波形。



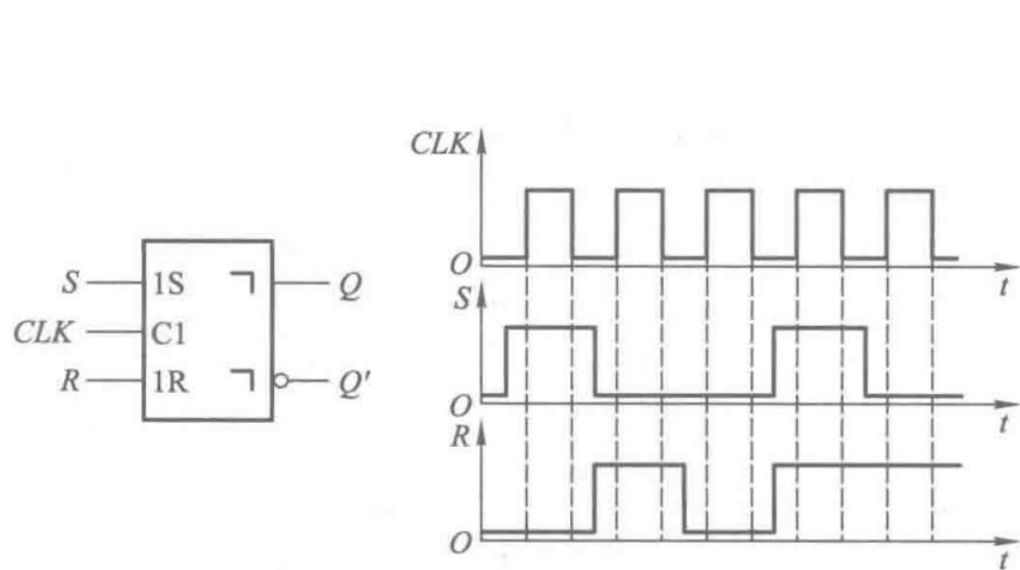
边沿触发JK触发器

R: 异步复位



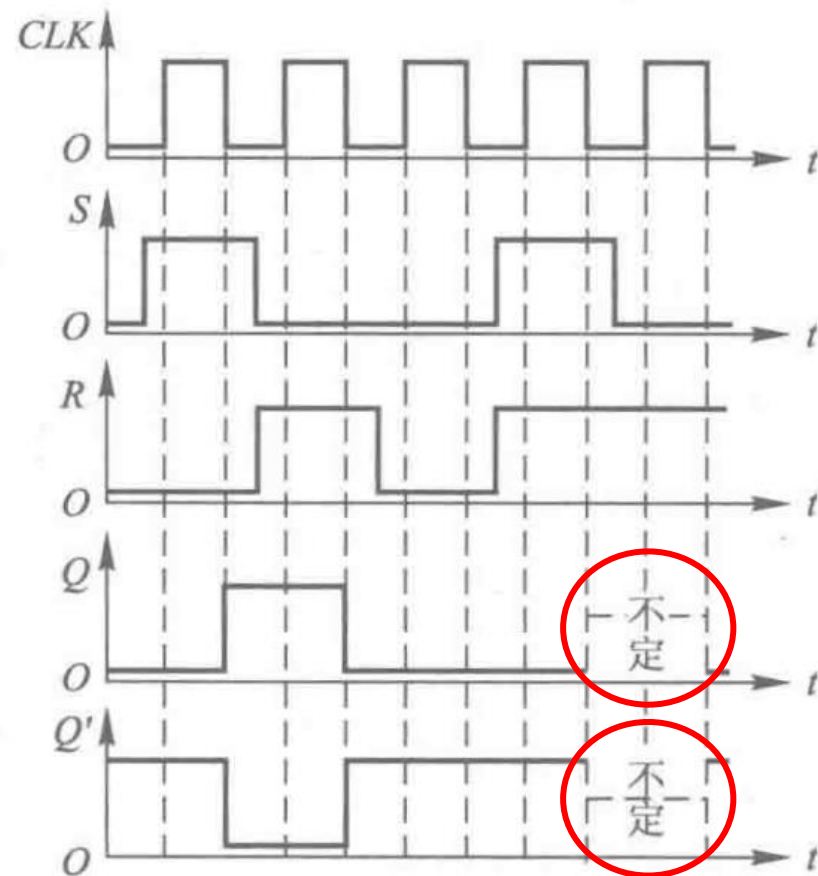
【题 5.10】 若脉冲触发  $SR$  触发器各输入端的电压波形如图 P5.10 中所给出,试画出  $Q$ 、 $Q'$  端对应的电压波形。设触发器的初始状态为  $Q=0$ 。

解: 根据  $SR$  触发器逻辑功能的定义和脉冲触发方式的动作特点,即可画出如图 A5.10 所示的输出电压波形图。



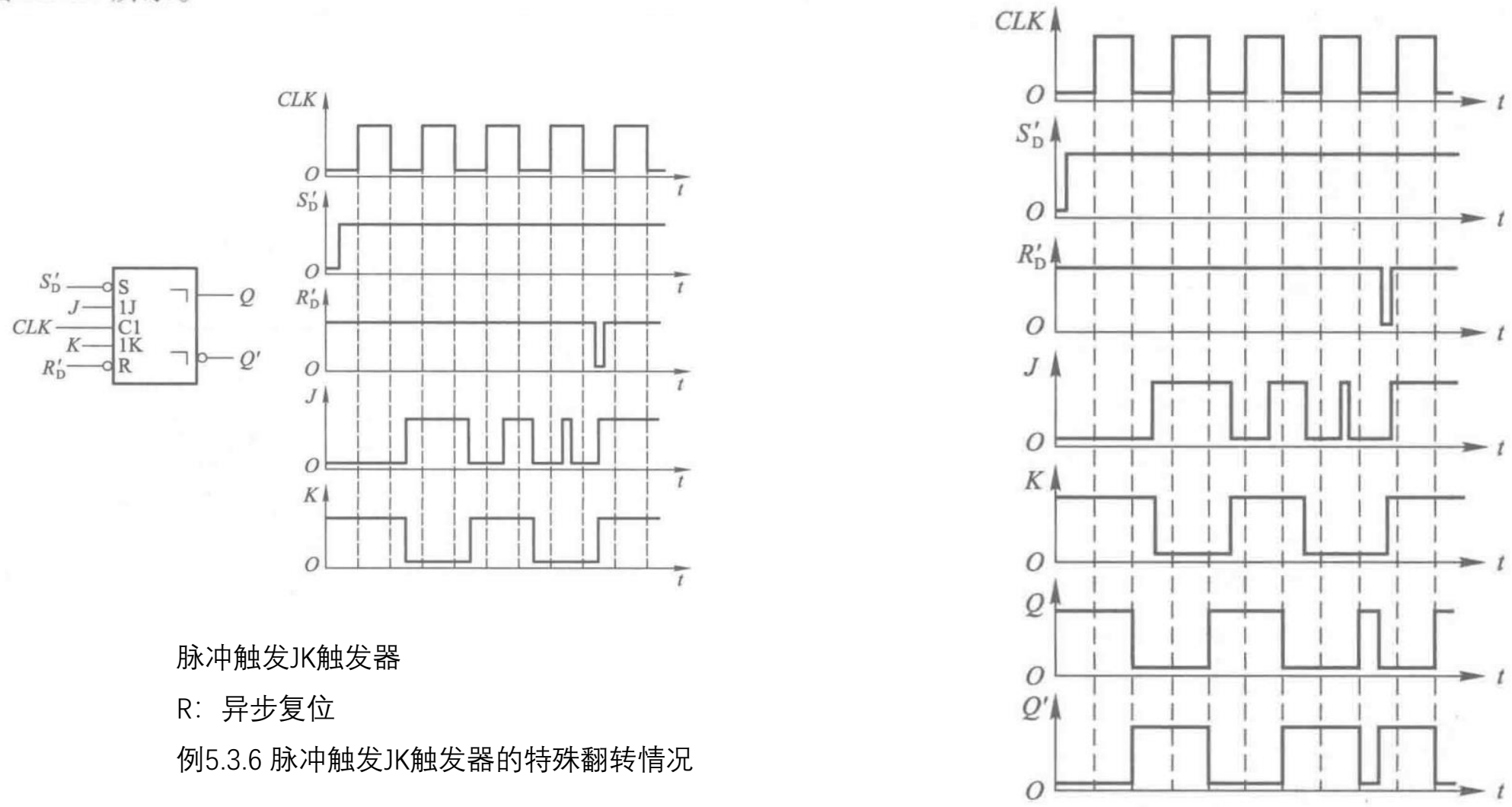
脉冲触发SR触发器

由于SR的特殊输入产生了不定态



【题 5.15】 若脉冲触发  $JK$  触发器  $CLK$ 、 $R'_D$ 、 $S'_D$ 、 $J$ 、 $K$  端的电压波形如图 P5.15 中所示, 试画出  $Q$ 、 $Q'$  端对应的电压波形。

解: 根据  $JK$  触发器逻辑功能的定义及脉冲触发方式的动作特点, 画出的  $Q$ 、 $Q'$  端电压波形如图 A5.15 所示。

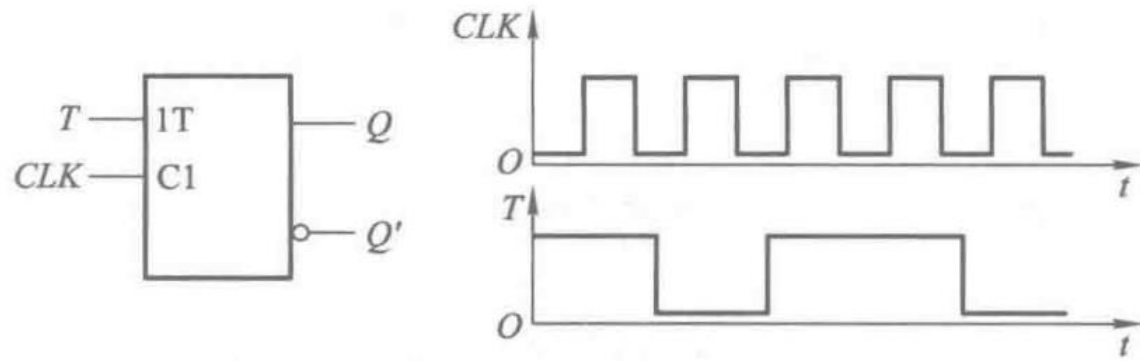


脉冲触发JK触发器

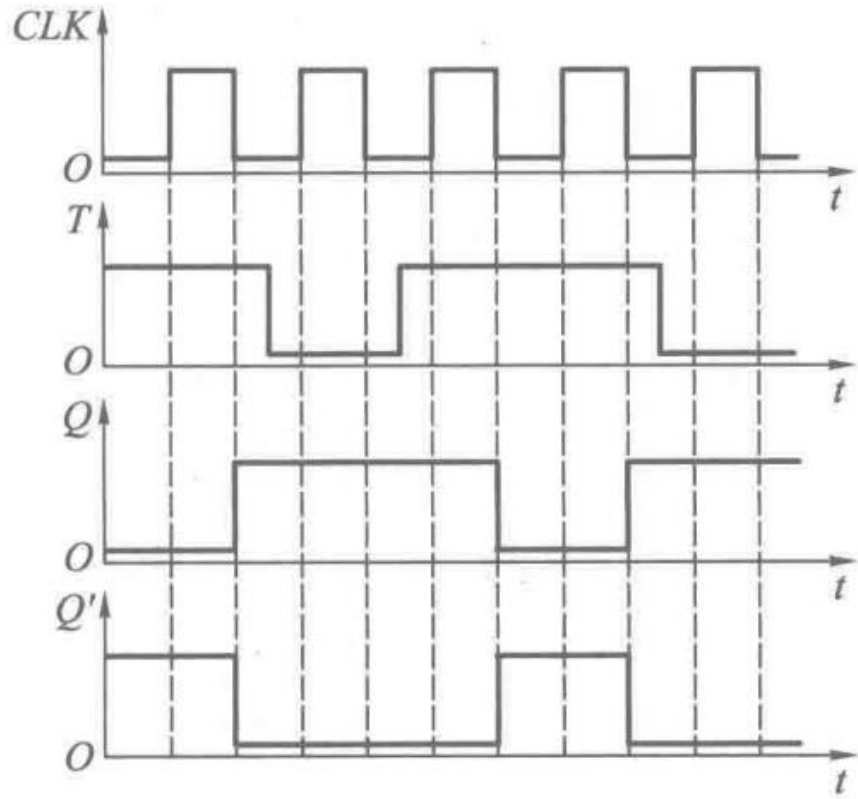
R: 异步复位

例5.3.6 脉冲触发JK触发器的特殊翻转情况

【题 5.16】 在脉冲触发  $T$  触发器中,已知  $T$ 、 $CLK$  端的电压波形如图 P5.16 中所示,试画出  $Q$ 、 $Q'$  端对应的电压波形。设触发器的初始状态为  $Q=0$ 。

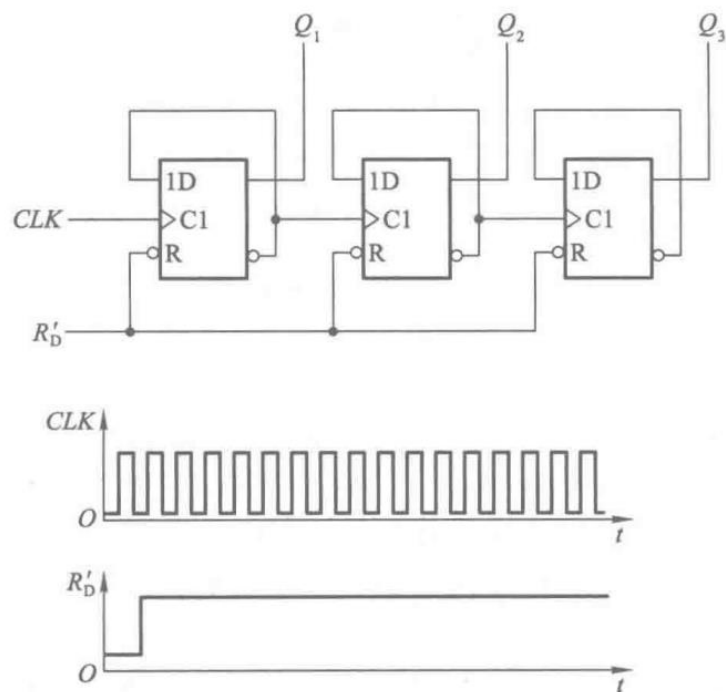


脉冲触发T触发器

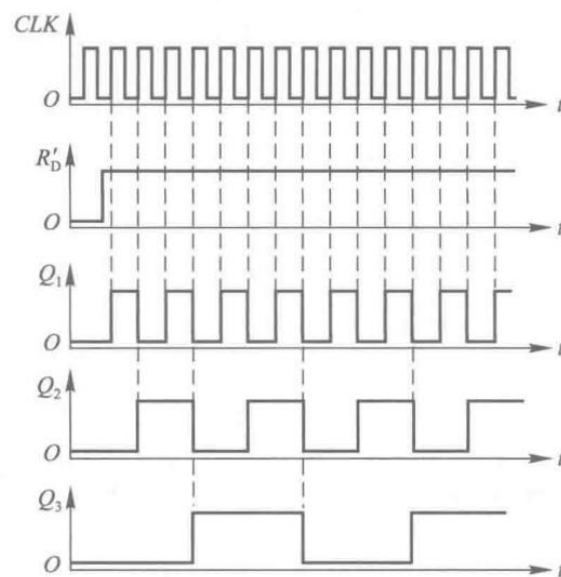




【题 5.20】 试画出图 P5.20 电路在图中所示  $CLK$ 、 $R'_D$  信号作用下  $Q_1$ 、 $Q_2$ 、 $Q_3$  的输出电压波形,并说明  $Q_1$ 、 $Q_2$ 、 $Q_3$  输出信号的频率与  $CLK$  信号频率之间的关系。



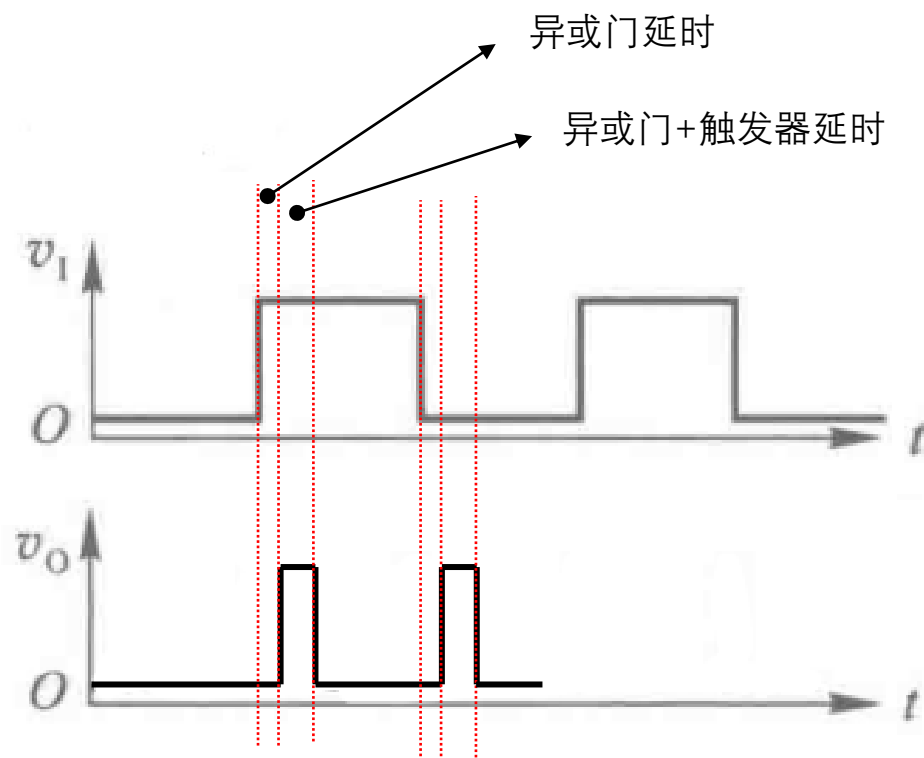
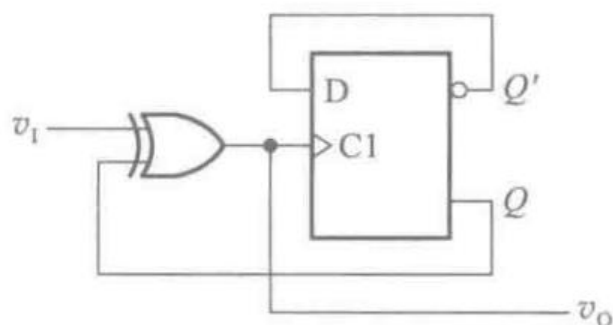
解: 由于每个触发器都接成了  $D=Q'$ , 所以  $Q^* = Q'$ , 即每次时钟到来后都要翻转, 这样就得到了图 A5.20 的波形图。由图可见, 若输入的  $CLK$  频率为  $f_0$ , 则  $Q_1$ 、 $Q_2$ 、 $Q_3$  输出脉冲的频率依次为  $\frac{1}{2}f_0$ 、 $\frac{1}{4}f_0$ 、 $\frac{1}{8}f_0$ 。



【题 5.22】 在图 P5.22 电路中已知输入信号  $v_i$  的电压波形如图所示, 试画出与之对应的输出电压  $v_o$  的波形。初始状态为  $Q=0$ 。(提示: 应考虑触发器和异或门的传输延迟时间。)

解: 当  $v_i=0$ 、 $Q=0$  时, 异或门的输出  $v_o$  等于 0。 $v_i$  变为高电平以后,  $v_o$  也变成高电平。因为  $v_o$  也是触发器的时钟输入端, 所以经过触发器的延迟时间后,  $Q$  端被置成 1 状态; 再经过异或门的传输延迟时间,  $v_o$  回到低电平。因此,  $v_o$  高电平持续时间等于触发器的传输延迟时间与异或门的传输延迟时间之和。

$v_i$  从高电平跳变至低电平以后电路的工作过程与上述过程类似。这样就得到了图 A5.22 所示的  $v_o$  电压波形。



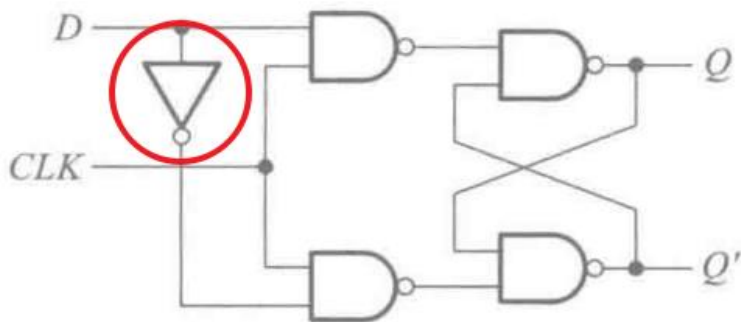
【题 5.28】 某台计算机的内存储器设置有 32 位的地址线,16 位并行数据输入/输出端,试计算它的最大存储量是多少?

解: 存储器的最大存储量为  $2^{32} \times 16$  位  $= 68.7 \times 10^9$  位  $= 68.7\text{G}$  位。

注意单位: b (bit) , B (Byte)

1、阐述下列存储单元如何避免  $S=R=1$  输入下的不稳定情况.

(a) D 锁存器 (b) JK 触发器



由于主触发器是一个电平触发  $SR$  触发器,所以在  $CLK$  的有效电平期间不应当施加  $S=R=1$  的输入信号,即仍需遵守  $SR=0$  的约束条件。前已述及,之所以规定这个约束条件,是因为当  $CLK$  的有效电平消失以后,或者  $S$ 、 $R$  端的高电平同时回到低电平时,不能确定触发器的次态。为了解除这一约束,如果我们规定当输入为  $S=R=1$  时,触发器的次态为初态的反状态,即  $Q^* = Q'$ ,这样触发器的次态也能确定了。

不难想到,在  $SR$  触发器的基础上,如果当  $S=R=1$  时,将  $Q$  和  $Q'$  接回到输入端,用  $Q'$  代替  $S$  端的输入信号,用  $Q$  代替  $R$  端的输入信号,就可以实现上述要求了。图 5.3.12(a) 就是根据这个原理,在一个正脉冲触发  $SR$  触发器的基础上改接而成的。为了强调这个电路在逻辑功能上与  $SR$  触发器的区别,将两个输入端分别用  $J$  和  $K$  标示,并将具有这种逻辑功能的触发器称为  $JK$  触发器。图 5.3.12(b) 是正脉冲触发  $JK$  触发器的图形逻辑符号。