

【题 3.4】 画出图 P3.4 所示电路在下列两种情况下的输出电压波形：

(1) 忽略所有门电路的传输延迟时间；

(2) 考虑每个门都有传输延迟时间 t_{pd} 。

输入端 A 、 B 的电压波形如图中所给出。

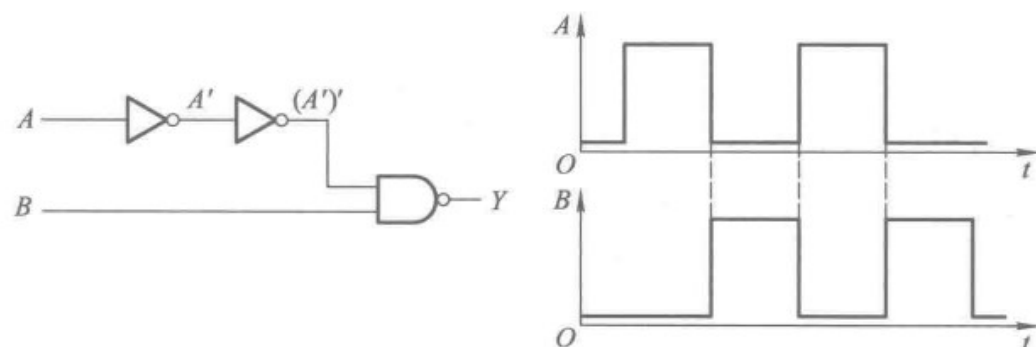
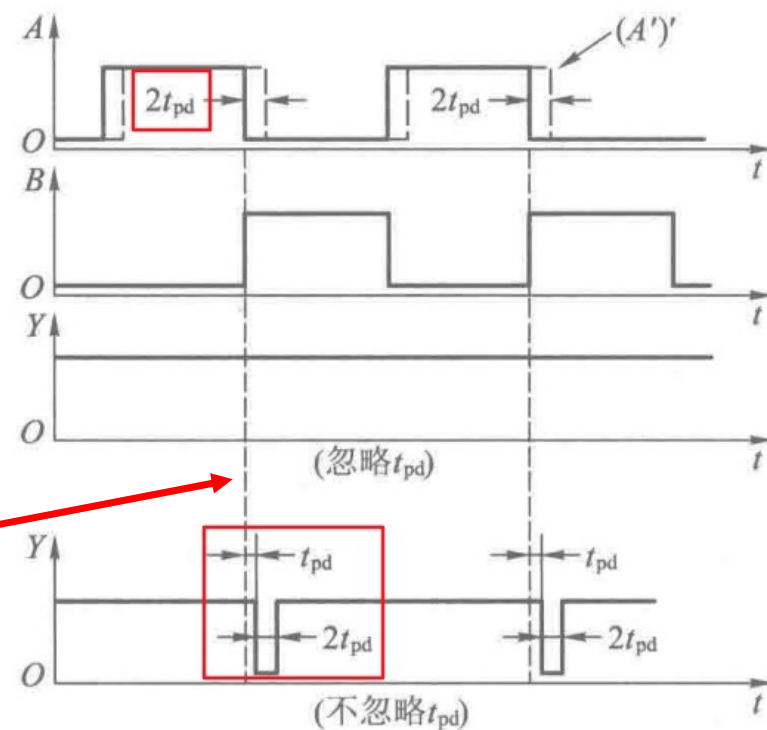


图 P3.4

在重要的信号边沿是用虚线标注，增强可读性



【题 3.5】 已知 CMOS 门电路的电源电压 $V_{DD} = 5 \text{ V}$, 静态电源电流 $I_{DD} = 2 \text{ } \mu\text{A}$, 输入信号为 200 kHz 的方波(上升时间和下降时间可忽略不计), 负载电容 $C_L = 200 \text{ pF}$, 功耗电容 $C_{pd} = 20 \text{ pF}$, 试计算它的静态功耗、动态功耗、总功耗和电源平均电流。

解: 静态功耗为

$$P_S = I_{DD} V_{DD} = 5 \times 2 \times 10^{-6} \text{ W} = 0.01 \text{ mW}$$

动态功耗为

$$\begin{aligned} P_D &= (C_L + C_{pd}) f V_{DD}^2 \\ &= (200 + 20) \times 10^{-12} \times 2 \times 10^5 \times 5^2 \text{ W} = 1.10 \text{ mW} \end{aligned}$$

总功耗为

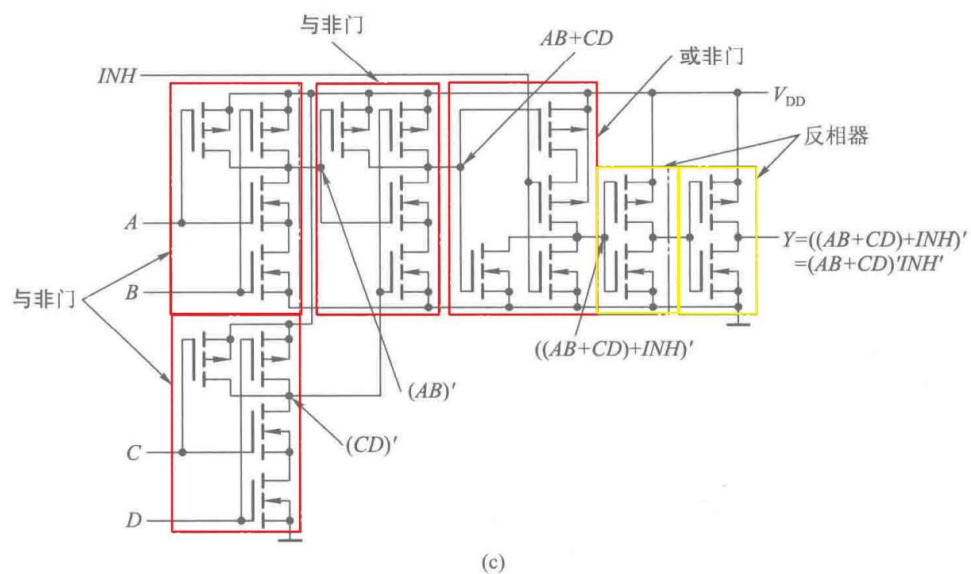
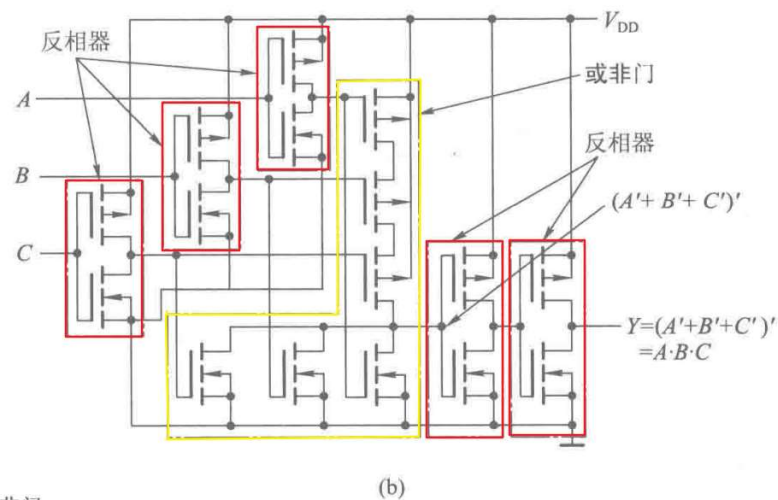
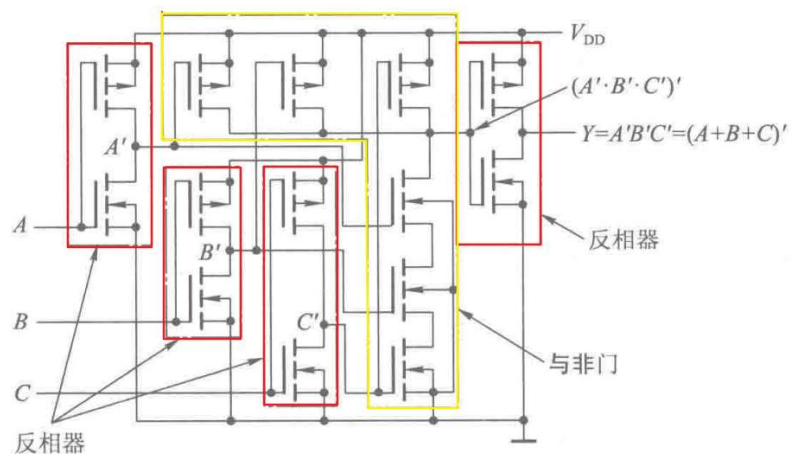
$$P_{TOT} = P_S + P_D = (0.01 + 1.10) \text{ mW} = 1.11 \text{ mW}$$

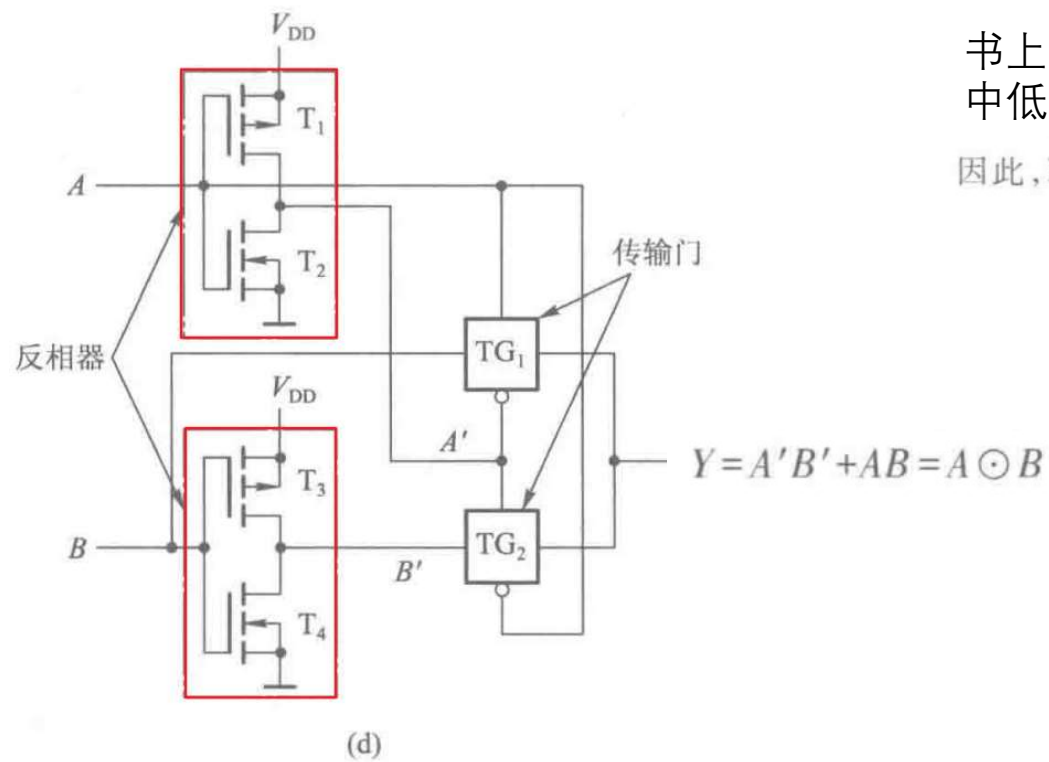
电源的平均电流为

$$\bar{I}_{DD} = P_{TOT} / V_{DD} = (1.11 / 5) \text{ mA} = 0.22 \text{ mA}$$

*参考课本例题3.3.1

【题 3.7】 试分析图 P3.7 中各电路的逻辑功能, 写出输出的逻辑函数式。





书上P90, 给出的是异或门的例子, 注意红圈中低电平有效端口的方向。

因此, Y 与 A 、 B 之间是异或逻辑关系, 即 $Y = A \oplus B$ 。

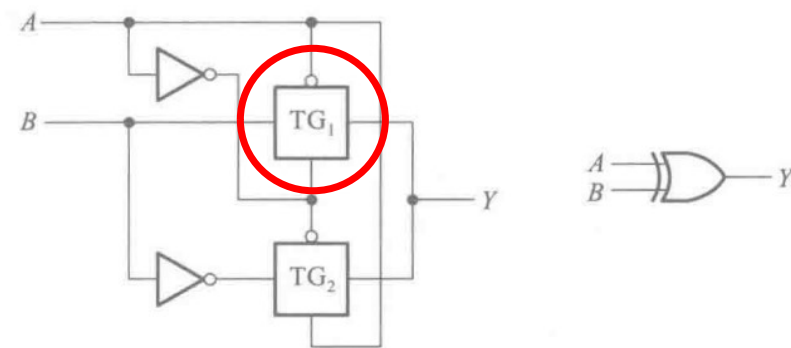
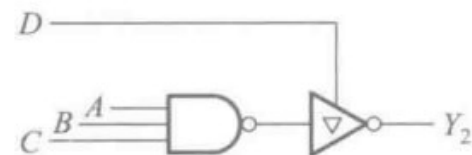
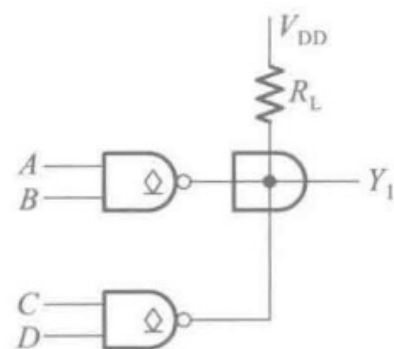
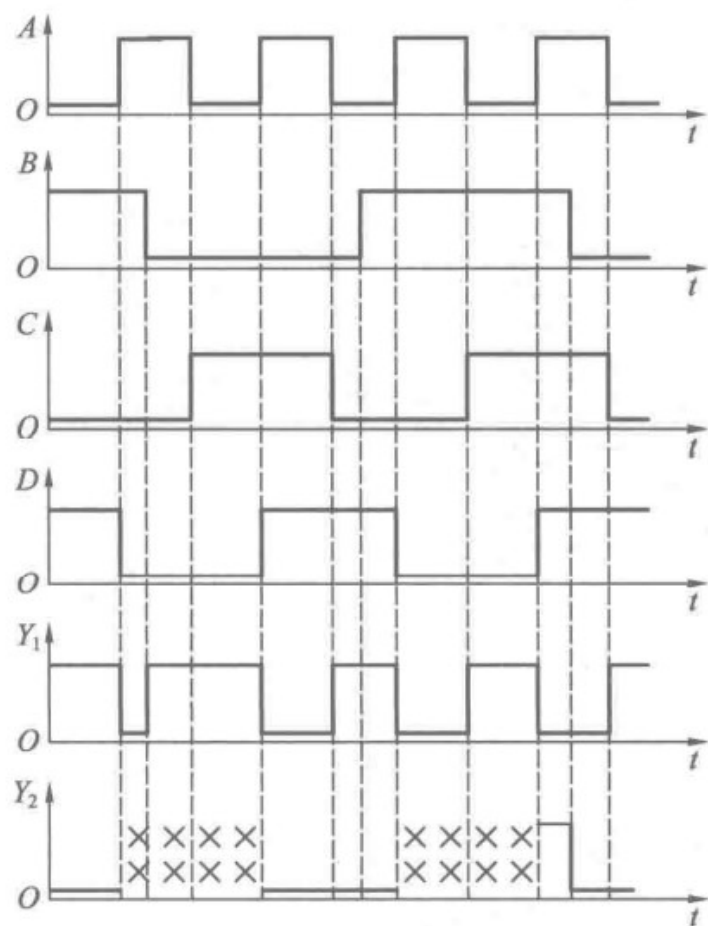


图 3.3.38 用反相器和传输门构成的异或门电路

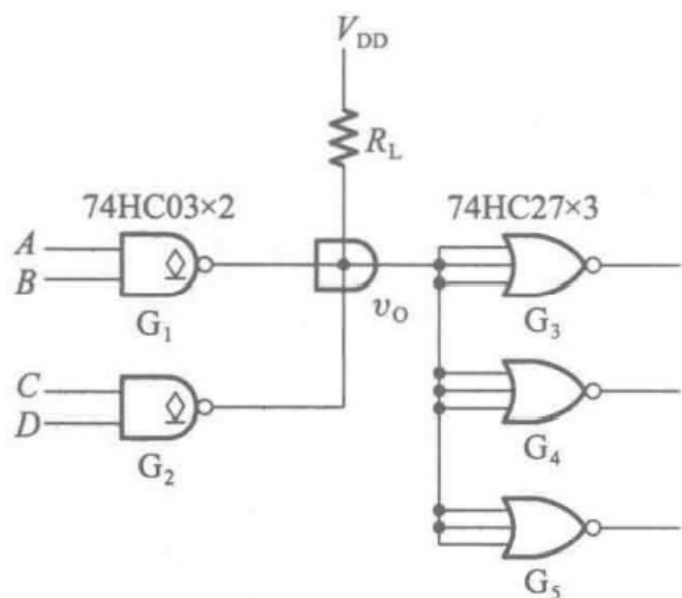
【题 3.8】 试画出图 P3.8(a)、(b)两个电路的输出电压波形。输入电压波形如图(c)所示。



※这里使用“×”符号代表高阻态，也可以使用其他形式，说明清楚即可。

绘制波形图，重要的边沿可以用虚线标出，便于观察。

【题 3.9】 在图 P3.9 所示电路中, G_1 和 G_2 是两个 OD 输出结构的与非门 74HC03。74HC03 输出端 MOS 管截止时的漏电流为 $I_{OH(max)} = 5 \mu A$; 导通时允许的最大负载电流为 $I_{OL(max)} = 5.2 mA$, 这时对应的输出电压 $V_{OL(max)} = 0.33 V$ 。负载门 $G_3 \sim G_5$ 是三输入端或非门 74HC27, 每个输入端的高电平输入电流最大值为 $I_{IH(max)} = 1 \mu A$, 低电平输入电流最大值为 $I_{IL(max)} = -1 \mu A$ 。试求在 $V_{DD} = 5 V$ 、并且满足 $V_{OH} \geq 4.4 V$ 、 $V_{OL} \leq 0.33 V$ 的情况下, R_L 取值的允许范围。

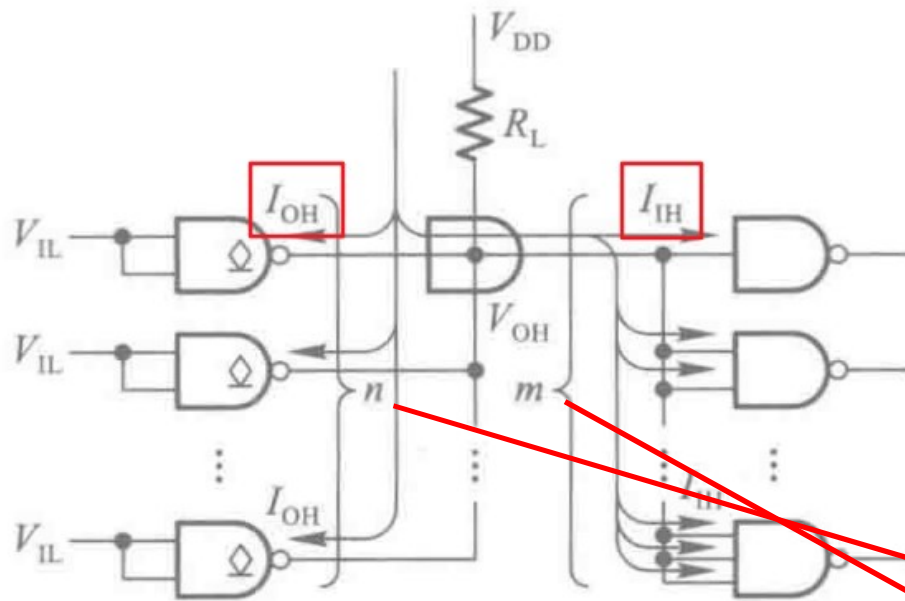


书上P88公式

$$R_{L(max)} = \frac{V_{DD} - V_{OH}}{\boxed{n}I_{OH} + \boxed{m}I_{IH}} = \frac{5 - 4.4}{2 \times 5 \times 10^{-6} + 9 \times 1 \times 10^{-6}} \Omega = 31.6 \text{ k}\Omega$$

$$R_{L(min)} = \frac{V_{DD} - V_{OL}}{I_{OL(max)} - \boxed{m'}I_{IL}} = \frac{5 - 0.33}{5.2 \times 10^{-3} - 9 \times 10^{-6}} \Omega = 0.9 \text{ k}\Omega$$

输出高电平



这里的约束条件：

受到上拉电阻的作用，输出高电平的电压值小于 V_{DD} 电压值，但是高电平要大于一定数值。

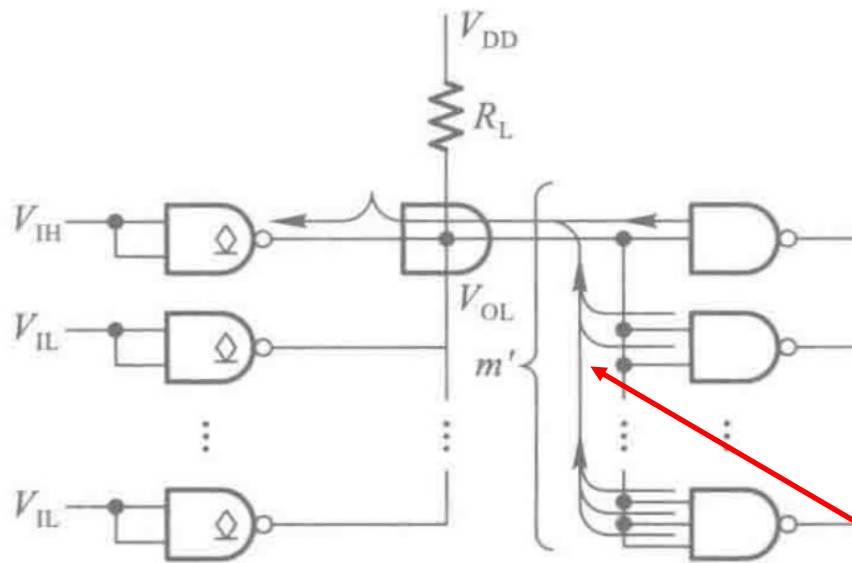
$$V_{DD} - (nI_{OH} + mI_{IH})R_L \geq V_{OH}$$

$$R_L \leq (V_{DD} - V_{OH}) / (nI_{OH} + mI_{IH}) = R_{L(max)}$$

I_{OH} 的数量 n 取决于OD门的数量。

I_{IH} 的数量 m 取决于扇出的输出数量。

输出低电平



这里的约束条件：

当输出低电平电压数值确定时，负载电流大小不能超过MOS管允许的最大电流。

※最坏情况下，只有一个OD门中的MOS管导通

$$(V_{DD} - V_{OL}) / R_L + m' |I_{IL}| \leq I_{OL(max)}$$

$$R_L \geq (V_{DD} - V_{OL}) / (I_{OL(max)} - m' |I_{IL}|) = R_{L(min)}$$

特别注意与非门的输入电流方向

【题 3.12】 说明图 P3.12 中各门电路的输出是高电平还是低电平。已知它们都是 74HC 系列的 CMOS 电路。

解： Y_1 为高电平； Y_2 为高电平； Y_3 为低电平； Y_4 为低电平。

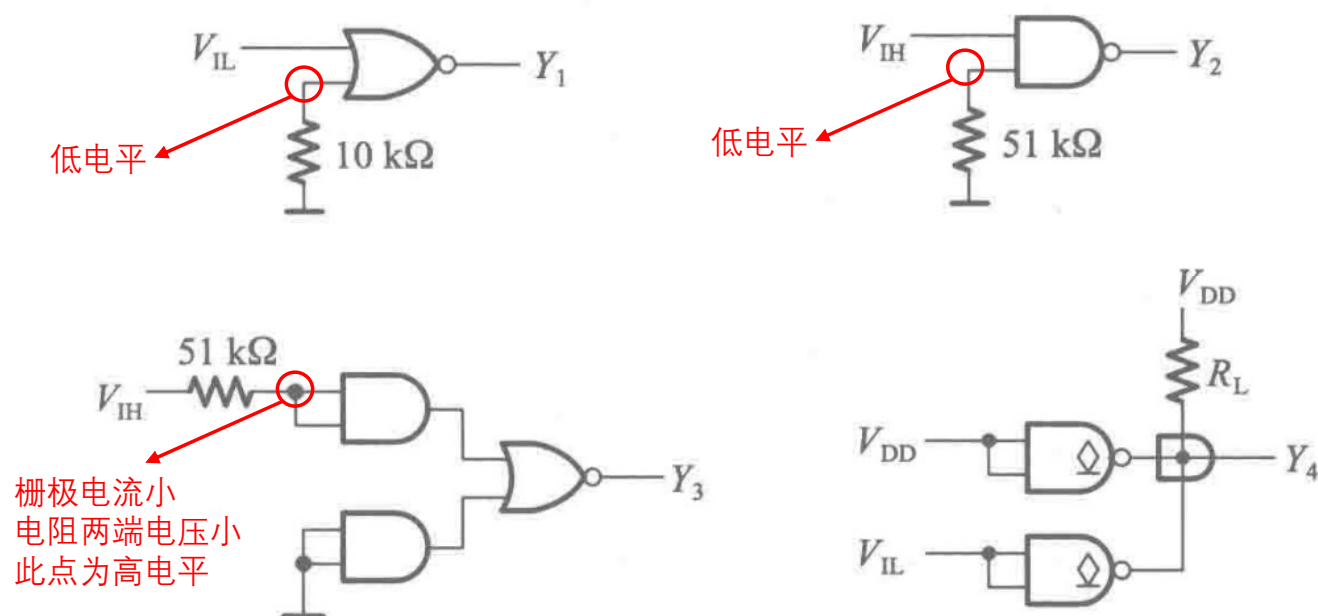


图 P3.12

第4次作业

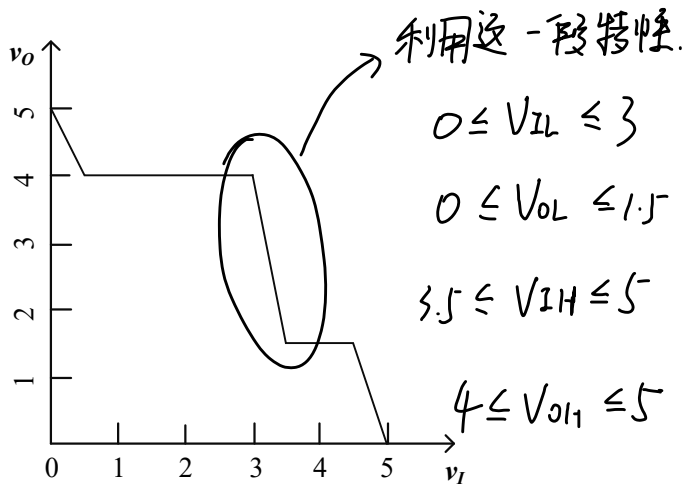
周二课后作业

3.4 3.5 3.7 3.8(a) 3.9

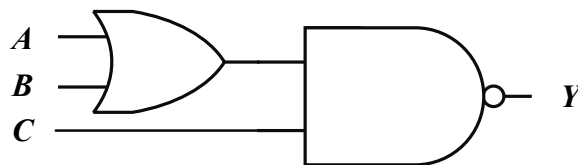
1、如果某器件的电压传输特性曲线如下图所示（折线位置要么对应整数要么对应 0.5、3.5、1.5 等），该器件可否作为反相器使用？如果可以，其输入和输出的高低电平范围(V_{IL} 、 V_{OL} 、 V_{IH} 、 V_{OH})以及噪声容限(V_{NH} 、 V_{NL})分别是多少？如果不能用作反相器，请说明理由。

$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$
$$= 4 - 3.5 = 0.5 (V)$$

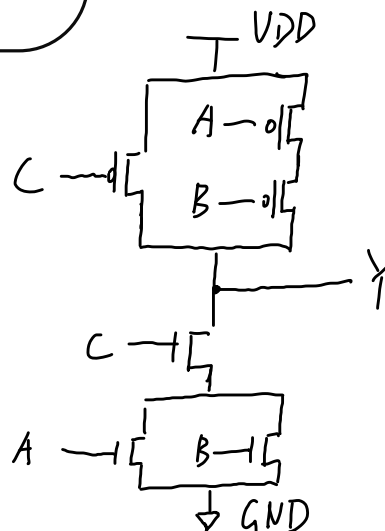
$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$
$$= 3 - 1.5 = 1.5 (V)$$



2、用最少的晶体管画出下述 CMOS 逻辑门的晶体管级电路(不要求加输入输出端的缓冲器)



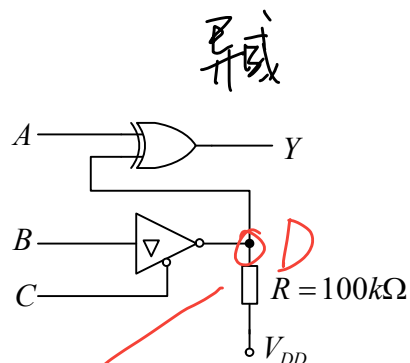
$$[(A+B) \cdot C]'$$
$$= [AC + BC]'$$
$$= (AC)' \cdot (BC)'$$



周五课后作业

3.8(b) 3.12

1、试给出下图所示电路的真值表与标准与或式。注：图中门电路均为 CMOS 器件。



高阻态可视为断路

| C | B | A | D | Y |
|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 |

D = B'

三态门高阻
D = 1

$$Y = A'B'C' + ABC' + A'B'C + A'BC$$