

## 第九次作业答案

### 题 6.9

解答:

用四片 74LS194A 接成 16 位双向移位寄存器只需要将  $Q_3$  接到右边一片的  $D_{IR}$  端, 将  $Q_0$  接到左边一片的  $D_{IL}$  端, 同时把四片的  $S_1$ 、 $S_0$ 、 $CLK$  和  $R'_D$  分别并联即可, 如图 6.9 所示。

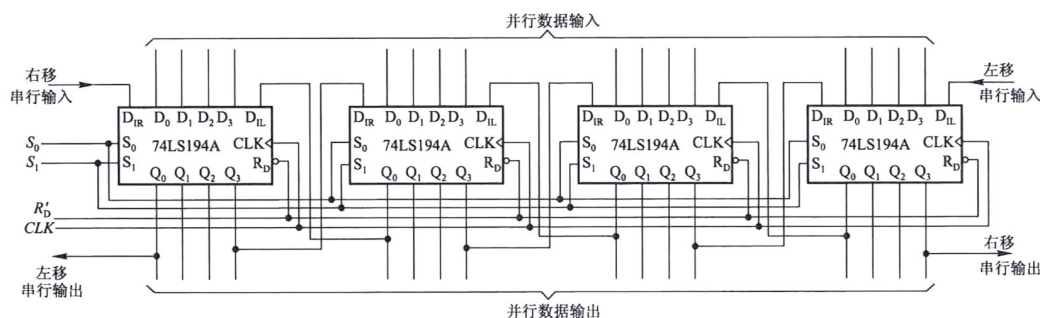


图 6.9

### 题 6.10

解答:

经过四个  $CLK$  信号作用后  $A_3A_2A_1A_0 = 1100$ ,  $B_3B_2B_1B_0 = 0000$ , 该电路实现了 4 位串行加法器的功能。

### 题 6.13

解答:

该电路是采用同步置数法用 74160 接成的可变进制计数器。在  $M = 1$  的状态下, 当电路进入  $Q_3Q_2Q_1Q_0 = (1001)_2 = (9)_{10}$  以后,  $LD' = 0$ 。下一个  $CLK$  到达时将  $D_3D_2D_1D_0 = (0100)_2 = (4)_{10}$  置入电路中, 使  $Q_3Q_2Q_1Q_0 = 0100$ , 再继续作加法计数。因此, 电路在 0100 到 1001 这六个状态间循环, 构成六进制计数器。同理, 在  $M = 0$  的情况下, 电路计到 1001 后置入 0010, 故形成八进制计数器。

### 题 6.15

解答:

该电路是用同步置数法接成的可变进制计数器。在  $A = 1$  的情况下, 计数器计为  $Q_3Q_2Q_1Q_0 = (1011)_2 = (11)_{10}$  后给出  $LD' = 0$  的预置数信号, 下一个  $CLK$  到来时计数器被置零, 构成十二进制计数器。同理, 在  $A = 0$  的情况下, 计数器计为  $Q_3Q_2Q_1Q_0 = (1001)_2 = (9)_{10}$  后给出  $LD' = 0$  信号, 下一个  $CLK$  到来时计数器被置零, 故形成十进制计数器。

### 题 6.17

解答:

该电路是采用异步置数法接成的七进制计数器。74LS290 为二-五-十进制异步计数器, 若将  $CP_1$  与  $Q_0$  相连, 则为十进制计数器。每当计数器计成  $Q_3Q_2Q_1Q_0 = (0110)_2 = (6)_{10}$  时, 立即产生“置 9”信号, 使  $S_{91} = S_{92} = 1$ , 将电路异步置成  $Q_3Q_2Q_1Q_0 = 1001$ , 于是电路便在  $9 - 0 - 1 \cdots 5 - 9$

这七个状态间循环, 形成七进制计数器。这里  $SR$  锁存器的作用是使“置 9”信号保持  $CLK$  脉冲低电平持续时间, 增强电路的可靠性。需要注意 **0110**、**0111**、**1110**、**1111** 都是过渡状态。状态转换图如图 6.17 所示。

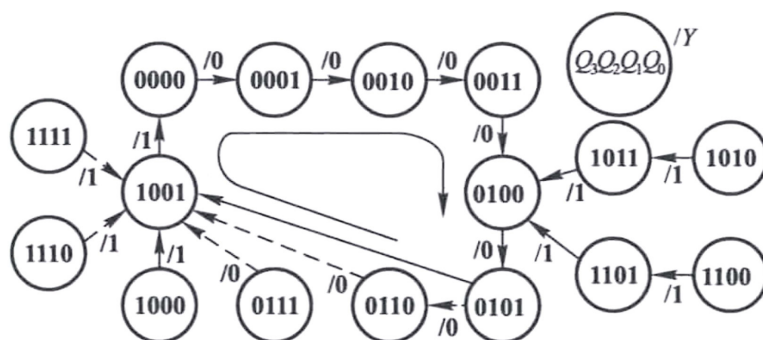


图 6.17

### 题 6.18

解答:

第 (1) 片 74LS161 是采用置数法接成的七进制计数器。每当计数器状态进入  $Q_3Q_2Q_1Q_0 = (1111)_2 = (15)_{10}$  时译出  $LD' = 0$  信号, 置入  $D_3D_2D_1D_0 = (1001)_2 = (9)_{10}$ , 所以是七进制计数器。

第 (2) 片 74LS161 是采用置数法接成的九进制计数器。每当计数器状态进入  $Q_3Q_2Q_1Q_0 = (1111)_2 = (15)_{10}$  时译出  $LD' = 0$  信号, 置入  $D_3D_2D_1D_0 = (0111)_2 = (7)_{10}$ , 所以是九进制计数器。

两片 74LS161 之间采用了串行连接方式, 构成  $7 \times 9 = 63$  进制计数器, 故  $Y$  与  $CLK$  的频率之比为  $1:63$ 。

### 题 6.21

解答:

由于 31 是一个不能分解的素数, 所以必须采用整体置数或整体置零的连接方式。若采用整体置数法, 则应先将两片按同步连接的方式接成  $10 \times 10 = 100$  进制计数器, 然后当电路计为 30 时, 译出  $LD' = 0$  信号, 如图 6.21 所示。

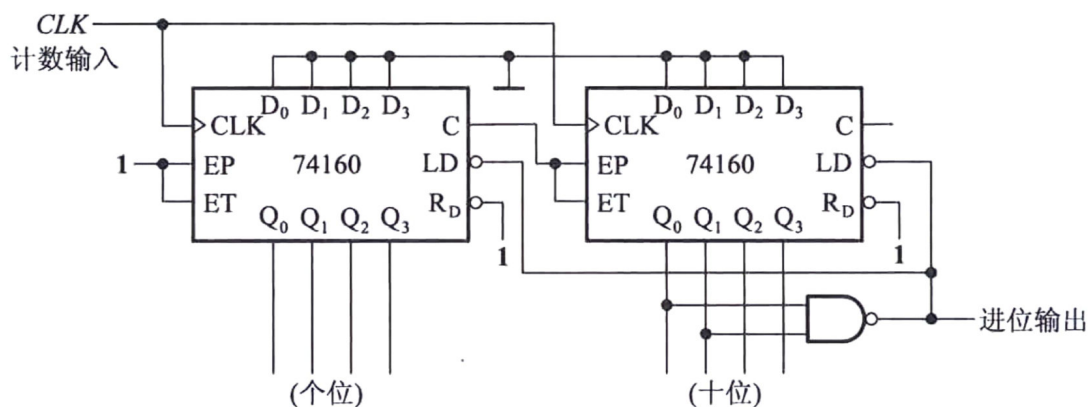


图 6.21

## 题 6.25

解答:

令  $U'/D = 1$ , 使其作减法计数。在  $CLK$  上升沿到来使  $Q_3Q_2Q_1Q_0 = 0000$  以后, 在这个  $CLK$  的低电平期间,  $CLK_o$  将给出一个负脉冲, 可以作为  $LD'$  信号。

但由于 74LS190 的  $LD' = 0$  信号是异步置数信号, 所以  $0000$  状态在计数过程中是作为暂态出现的。为了提高电路的可靠性, 并产生足够宽度的进位输出脉冲, 可以增设由  $G_1$ 、 $G_2$  组成的  $SR$  锁存器, 由  $Q'$  端给出与  $CLK$  脉冲的低电平等宽的  $LD' = 0$  信号, 并令其作为进位输出脉冲。

由图 6.25 (a) 中 74LS190 减法计数的状态转换图可知,  $Q_3Q_2Q_1Q_0 = 0000$  持续  $CLK$  高电平宽度后,  $LD' = 0$  置入  $Q_3Q_2Q_1Q_0 = 0100$ , 并持续  $CLK$  脉冲的低电平宽度, 再进行正常的减法计数, 从而得到四进制减法计数器, 输出进位信号与  $CLK$  频率之比为  $1/4$ 。

由 74LS147 的功能表可知,  $I_4'$  应接输入信号  $C'$ 。同理可得, 其它信号依次接入 74LS147 输入端。最终得到如图 6.25 (b) 所示的电路图。

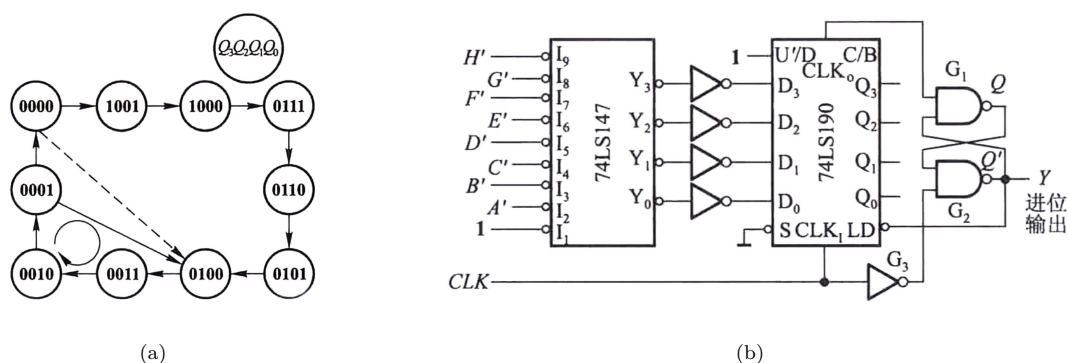


图 6.25

## 题 6.26

解答:

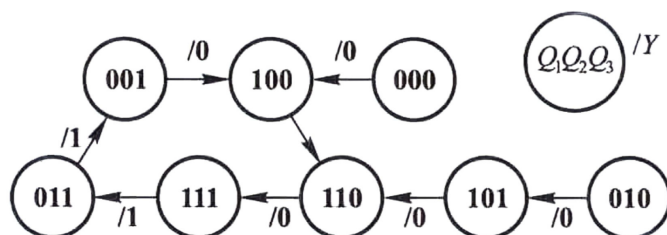


图 6.26

状态方程为

$$\begin{cases} Q_1^* = D_1 = Q_2Q_3' + Q_2'Q_3 + Q_2'Q_3' \\ Q_2^* = D_2 = Q_1 \\ Q_3^* = D_3 = Q_2 \end{cases} \quad (1)$$

输出方程为

$$Y = Q_2 Q_3 \quad (2)$$

这是一个五进制计数器, 状态转换图如图 6.26 所示, 电路能自启动。