**1计算机硬件：**存储器|运算器|控制器|输入设备|输出设备|总线|适配器|1.**存储器类型** 磁介质存储器[磁粒子的极性代表0和1]光存储器[反射光强度代表0和1]半导体存储器[半导体器件的状态代表0和1]

1. **存储器**：A、主存储器：a、每个单元存储1位二进制信息，单位为1个比特|2.**存储体系架构：**寄存器 存储电路以触发器为基础 kB级别;Cache 由SRAM组成;主存储器，简称内存,由DRAM组成;

（bit）；**字节**是存储器存储和读取数据的基本单位，计算机可访问的最小存储单|嵌入式系统中，也采用SRAM作为主存;联机外存储器,磁介质的机械硬盘;脱机外存储器,移动硬盘[速度递减，容量递增]

元，有唯一物理地址（PA）；每个字所包含的位数称为计算机的**字长**。b、一个|3.**ROM:**非易失性，存储固定的数据,程序[只读存储器]掩模ROM[MaskROM]：数据不能修改[行列交叉处有无MOS管分别表示了0和

字=若干字节，1字节（Byte）=8比特（bit）。B. 辅助存储器：a、非易失性，又|1,地址线→字线、位线←数据线]可编程ROM[PROM]：一次性可写[烧断熔丝改写，不可逆,每个行列交叉点具有管子，双极性熔丝

称为外存（经常位于机器内部)|结构]可擦除可编程ROM[EPROM]：可擦除可写[浮置栅Gf保存/不保存电荷,紫外线照射来擦除，每次擦除所有内容]电可擦除可编程ROM[E²PROM]：电可擦除可写[存储单元中附加

1. **运算器**：A算术逻辑单元ALU：算数或逻辑运算：加、减、乘、除、移位或比|一个选通管,电压来擦除，可以字节为单位擦除和重写,时间远大于RAM]闪存Flash：工作原理类似于E2PROM，没有选通管T，

较大小B寄存器阵列：a运算器内部的高速存储单元（访问速度最快的存储电路单|可以分块擦除，擦除速度比EEPROM快，寿命比EEPROM短;NOR FlashIntel开发，存储单元并联，可按位随机读取;NAND Flash

元）b容量：一个字（计算机的字长）c、数据（操作数）、临时数据、结果暂存|东芝开发，存储单元串联，读、写、擦出以块为单位;**随机存取存储器RAM** 随时写入,读出信息；易失性存储器，断电信息随之

1. **控制器**：A、指令寄存器IR、指令译码器ID、操作控制器OC。B.运算器和控|丢失；静态RAM[SRAM]，存储电路双稳态触发器为基础，状态稳定，不掉电，信息不丢失。不需刷新，集成度低。用于小存储容量

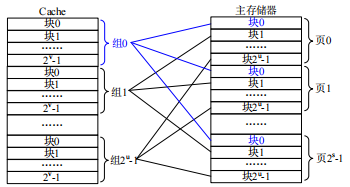
制器被集成在CPU中 C、CPU与主存是计算机的核心部分 **原码，反码：|**的场合。动态RAM[DRAM]，存储单元电容为基础，电路简单，集 成度高。存在问题，电容中电荷由于漏电逐渐丢失，需定时刷新电路。

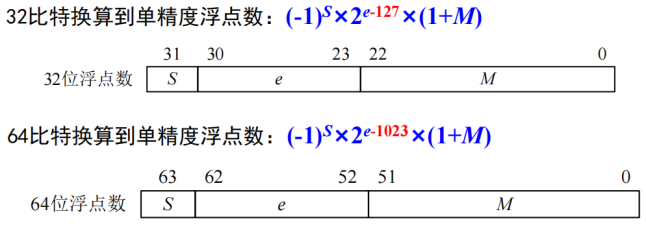
字长为n的系统中，表示的最大正整数为2n–1；|用于大存储容量场合|**内存条**[**扩展性,互换性,灵活性,可维护性**]**组成:**内存颗粒[内存芯片]、SPD芯片[E2PROM]、PCB电路板、引

有符号位，字长n，n-1个数值位表示2 n-1个数值**补码|**脚[金手指]阻容元件[提高信号完整性，如防止信号反弹、滤除高频干扰]**突发总线模式[Burst]**进行读写操作。当对一组相邻

反码：加法电路可实现减法要额外处理符号位的进位|补码：加法电路可实现减法|的存储单元进行访问时，第一个地址给出后，后续地址自动生成，无需再发;**SIMM两侧金手指都提供相同信号**的内存结构**DIMM**

7、无符号数：最高位向更高位有进位（或借位）时溢出。|两侧金手指各自独立传输信号|若CPU的地址线数目是32，其所能寻址的空间大小为0~4G，若按照字节为单位进行编址，则可寻址4GB=232×1Byte

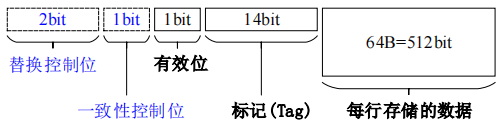
有符号数：当最高位进位状态⊕次高位进位状态=1，则溢出| 若按照字为单位进行编址，由于字长是4字节，故可寻址16GB =232× 4Byte;**全相联映射方式;直接相联映射方式;组相联映射方式**

增大Cache容量来降低不命中率;通过结构设计减少不命中次数;通过预取技术提高命中率

**Cache更新与替换策略**读取结构,贯穿读出：CPU先访问Cache，未命中再访问主存;旁路读出：

CPU同时访问Cache和主存，Cache的数据先传给CPU，主存的数据后传给CPU，如果Cache命中则主存的数据被丢弃;写入更新策略,写通方式：CPU同时写入Cache和主存;写回方式：CPU直接

10压缩BCD码：1个字节表示2位十进制数89D=1000 1001B 写回Cache，在Cache被丢弃时若Cache中的数据被修改则写回主存;替换策略,随机替换：

非压缩BCD码1个字节仅表示1位BCD码，低4位表示0～9，高4位为0 随机选取一行替换;最不常用替换[LFU]：替换一段时间内最少使用的行;先进先出替

89D的非压缩BCD码要用两个字节，0000 1000B和0000 1001B 换[FIFO]：替换最先进入的行;近期最少使用替换[LRU]：替换CPU最近最少使用的行

**ASCII** 美国信息交换标准代码7位二进制数128种字符|**Cache与虚存的异同 同：**利于提高存储系统的性能；基于程序局部性原理。用到的信息放到较快的存储器;异：虚拟存储器未命中的性能损失远大于Cache

1.机器指令=微程序=多条微指令 微指令=1or多微操作 |系统未命中的损失；Cache应对主存与CPU的速度差异，虚存解决内存容量问题；CPU与Cache和主存之间有直接访问通路，虚存所依赖的辅存与CPU

**微指令：**在机器的一个 CPU 周期中，一组实现一定操作功能的微命|之间不存在直接的数据通路；Cache的管理完全由硬件完成，对系统程序员和应用程序员均透明。虚存管理**由软件和硬件共同完成**，不透明

令的组合，构成一条微指令； 微指令 = 微操作码 + 执行顺序位|一台内存为256MB的32位计算机，它的虚拟地址空间范围是(4GB)，而物理地址空间范围是(256MB）**虚拟存储器**起源应用程序太大以至于内

**微程序：**一条机器指令的功能是由许多条微指令组成的序列来实现|存容纳不下该程序；利用大容量的外存来扩充内存，产生一个比实际内存空间大得多的、逻辑的虚拟内存空间;**虚存的地址变换方式**段式：主存

的。这个微指令序列通常叫做微程序|按段分配不定长的段；页式：主存按页分配，定长的页；段页式：程序分为若干个段，每一个段再划分成若干页，以页为单位离散分配主存；**用于页表缓存的专用Cache被**

**控制 ROM（CM）**指令集中所有指令都对应一段微程序，存放在控制ROM中|**MMU**是一种负责处理CPU内存访问请求的计算机硬件。它的功能包括虚拟地址到物理地址的转换、内存保护、CPU高速缓存控制**称为TLB**

，每段微程序的每条微指令都有唯一的地址，当一条指令被执行时，指令|指令周期=若干CPU周期 CPU周期=总线周期=若干T周期[时钟周期]采用流水线技术的RISC处理器[MIPS]所有指令执行时间相同[即单

译码器对指令操作码进行译码，找到对应微程序的存放地址，开始执行。|**11.计算机性能评估**：MIPS 每秒钟能完成的指令数[不能客观反映计算机的运算速度，因为不同的处理器的指令能力不同|周期处理器]

**微程序设计思想**：将指令的执行过程分解成一系列微操作，每个微操作对|]，百万；FLOPS ；每秒钟能完成的浮点运算次数，百万；CPI每条指令的平均执行周期;IPC每个时钟周期平均执行的指令数;**定性指标**

应一个微指令，微指令存储在控制存储器中，控制器按照微指令的顺序执|机器字长、存储容量，主要是Cache大小和内存容量、总线带宽和数据吞吐速率，主要取决于采用总线标准 、能耗与环保；定量：速度

行微操作，从而完成指令的执行过程|**转移过程产生的流水线周期延迟被称为转移代价 转移延迟槽**：转移指令Ij后面的时间片。无论是否转移，位于转移延迟槽的指令总是会被取指和译码。

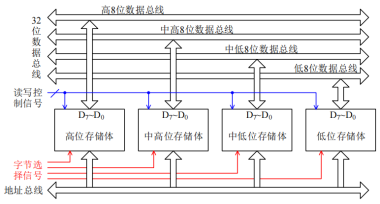
**2.冯·诺依曼结构[**普林斯顿结构]：以CPU为核心；单总线系统；指令|**动态转移预测**：BTB[转移目标缓冲器]：转移指令Ij的地址[查找表索引]、Ij转移可能性的量化结果）、转移目标指令Ik的地址

和数据存储在同一个存储器，使用同一条总线[缺陷] |9.**流水线的基本原理**：将指令执行过程分为若干个阶段,每个阶段由一个专门的电路来完成，各个阶段之间采

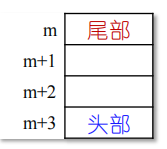
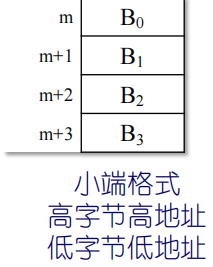
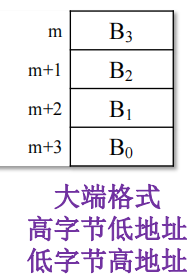
**哈佛结构**：指令和数据分开存放，传输，访问，处理 优点：可以消除取指 |用流水线技术连接起来，使得每个阶段可以并行执行，从而提高指令执行速度[原理：重叠使IPC大大增加]

和取操作数之间的资源相关；指令数据分开存储，指令和数据宽度可以不同；提 |**三级流水线**：取指，译码，执行**五级流水线**：取指，译码，取源操作数，计算执行，回写结果

高了存储器，总线，CPU 的利用率缺点：成本增加；设计复杂，连接难度较大 |理想情况下，流水线的吞吐率是每个周期一个指令；事实上，n级流水线需要额外插入n-1个流水线寄存器单条指  
**4.字节寻址存储器**：32位计算机，一个字有4个字节，连续的字被分配到 n、n+4 ...中|令在流水线上执行所花费的时间要比非流水线方式更长。流水线周期需要按照最慢的部件来设置，流水线性能下降

**5计算机的存储器分体结构**于32位计算机，总容量为2^32的存储器分成4个存储体，|**流水线的三种相关冲突**：[冒险]资源相关[如总线冲突]解决方案：哈佛结构，插入气泡[阻塞]数据

每个存储体为2^30**7、小端格式vs大端格式|**相关[后一条指令需要用前一条的结果]指令调度，数据旁路[直接把结果传给需要的指令]，插入气泡控制相关[如条件跳

 |转]转移延迟槽[在跳转指令后面插入一条指令，使得跳转指令后面的指令也能执行]，动态转移预测[预测跳转的目标地址]

|**8指令**：A微指令：微程序级的命令B机器指令：简称指令。CPU能识别和直接执行的二进制编码序列，包括操作码和操作

**|**数C、宏指令：由若干条机器指令组成的软件指令D汇编指令：助记符→操作码，标号和符号→指令和操作数地址\_\_\_\_\_\_\_

**6.字的对齐（对准存放）**A、8位计算机没有对准存放问题B、16位机的字起始地址是2的倍数，如0、2、4... C、对准存放非必须的，但对准存放后，存取一个字只要一次总线操作

**CISC**指令集复杂，分为指令系统层-微体系结构层-数字逻辑子层;一条指令=多个微操作[用微指令|**RISC**指令集精简，分为指令系统层-硬核层 减少指令数量，一条复杂指令用多条简单指令

实现]；多条微指令组成微程序实现指令功能;微程序存储在ROM中，执行时逐条读出完成微操作|替代取消微程序，指令功能由硬件电路（硬核）实现

**风格**：指令长度不一[较长指令取指需要使用多个总线周期和总线操作；不利于采用流水线和超标|**风格**：定长指令[一次取指操作读取一个完整的指令；受指令位数限制，对立即数的大小或者类型有要求；对内

量等新技术]非Load/Store体系[算术和逻辑运算指令的操作数可以是存储器数]；MOVE操作[实现|存寻址时，无法在指令中直接给出内存单元地址]Load/Store体系；简化指令间关系，所有运算指令都是对寄存器

寄存器与寄存器之间，以及寄存器与存储器之间的数据复制传送；源操作数和目的操作数最多只|运算[发生在CPU内部], 所有访存都通过专用的访存指令进行[在CPU和存储器之间]三操作数；摒弃微程序和

能有一个是存储单元]两操作数；指令功能强大、寻址方式多样、程序简洁； |微指令，采用硬连线方式实现控制器；只能对寄存器操作数进行算术和逻辑运算；代码量大

**1.总线**：计算机系统内部或者计算机系统之间传输信息的公共信道；基本特性共享和分时|**分类** 片内总线、芯间总线、内总线、外总线、片上总线[位置]地址总线AB、数据总线DB、控制总线CB[功能]串行

33.3MHz，32位总线的**带宽**，总线带宽=32[总线宽度]b/8×33.3 MHz =133.2MB/s |传输、并行传输[数据传输方式]异步传输同步传输、半同步传输[时序控制方式]非复用、复用[非复用利于提高数据传输速率,复

**结构单总线** 所有部件通过同一套总线交换信息；CPU、主存与IO设备之间传输速率不匹配|用利于减少芯片引脚或者物理信号线的数量][时分复用]| **[请求及仲裁阶段;寻址阶段;数据传输阶段;结束阶段]**

**双总线** 面向CPU的双总线结构[CPU-主存储器、CPU-I/O]面向存储器的双总线结构 [CPU|通过总线进行信息交换的过程称为**总线操作;**总线设备完成一次完整信息交换的时间称为**总线周期**

-存储器,CPU-I/O,存储器-I/O]**三总线** 主存总线[CPU-存储器]I/O总线DMA总线[存储器-I/O]|**总线时序** 同步[收发双方按照统一的时钟工作]异步[通过双方约定的握手信号对传送过程进行控制][不互锁方式，

**四总线** 局部总线[CPU-Cache]系统总线[存储器-Cache]高速总线[快I/O-Cache]扩展总线[慢I/O]|半互锁方式[从应主撤]全互锁方式[最可靠][从应主撤主应从撤]]半同步[同步时序中,从设备通过READY/WAIT#

**总线仲裁** 集中式仲裁[串行仲裁:按照远近顺序仲裁;并行仲裁:按照优先级仲裁;混合仲裁:块内串行|线向主模块提出要求请求主模块延长时钟周期]周期分列式[寻址子周期,数据传送子周期,提高总线的利用率]

仲裁,块外并行仲裁]分布式仲裁[主设备间自行协商本质上是按照优先级，如果有优先级更高的设备|**I/O接口的必要性**CPU与外设交换信息,由于外设的多样性[速度有较大差异;信号电平不一致;数据格式不同;

在使用总线就等待，否则就使用总线[并发出总线请求][发出请求的时候本质上不是请求，而是通知]|时序不匹配]**I/O接口的结构** 一个I/O接口包含多个I/O端口[寄存器]数据端口；状态端口；命令/控制端口

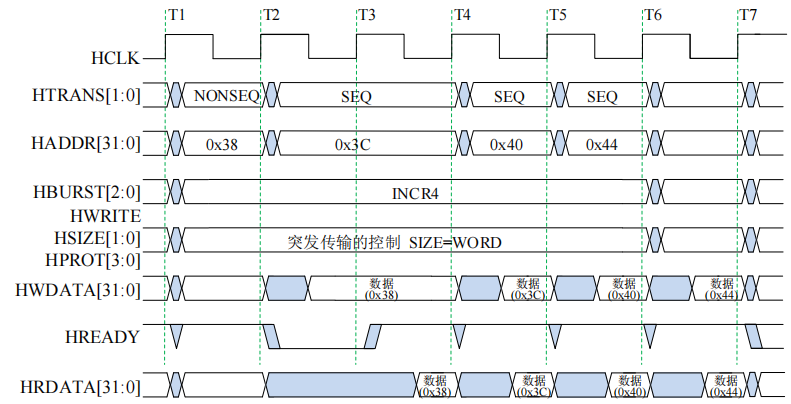
**AHB**：高级高性能总线，主要用于连接处理器和存储器[流水线,多总线主机,突发传输,分裂式操作]|**I/O端口编址** 统一编址[无须专用的I/O指令；外设数目或I/O寄存器数目不受指令限制;CPU读/写控制逻辑较  
**ASB**：高级系统总线，主要用于连接处理器和外设[流水线,多总线主机]|简单占用存储器部分地址空间；增加地址译码电路的复杂性]、独立编址[不占用存储器地址空间地址译码简单，寻址速度快；程序编制清  
**APB**：高级外设总线，主要用于连接外设[低功耗,地址锁存和控制,接口简单,适合大多数外设]|晰;专用I/O指令类型少CPU提供存储器读/写、I/O端口读/写两组控制信号]**I/O传送方式程序控制方式[**无条件传

**AHB系统构成[**主机、从机、仲裁器、译码器]**数据传输[流水线**地址信息和数据信息交叠**突|**送数据输入缓冲器；输出锁存器条件传送/查询传送数据端口状态端口]中断传送方式进行I/O传送时外设才向CPU发送

**发传输**：一次传输过程传输 一个数据块;**流水线分离**：地址阶段和数据阶段分离]|**中断索引**系统根据中断类型码到中断向量表中获得中断向量的过程|中断请求DMA方式在I/O接口与存储器之间直接进行数据传

**INCR4，4个传输数据的地址变化是递增的， 0x38 → 0x3C → 0x40 → 0x44|中断向量表[**IVT]所有的中断服务子程序入口地址会集中存放在存储器的特定区域|**中断向量**即中断服务子程序的入口地址[首地址]

**WRAP4：拟传输数据的地址在16字节的边界处发生回转，0x38、0x3C → 0x30、0x34|断点**指被中断的主程序中下一条待执行指令的地址，以及发生中断时CPU状态寄存器的内容。

 |**现场**是指中断发生时被中断程序的运行环境，主要是CPU内部各类寄存器的内容；**中断优先级**中断请求有优先顺序之分。若同时出现多个中断请求，|CPU按照事先规定的策略，响应优先级最高的中断请求**中断嵌套** CPU正在执行中断服务程序时又有优先级更高的中断请求到达时，如果此时CPU允 |许中断，则CPU暂停当前中断服务程序，进入更高级的中断服务程序**中断屏蔽** CPU通过硬件电路和软件设置，对中断源产生的中断请求能否到达CPU 的硬件引脚进行控制**中断过程**分为：中断响应中断处理和中断返回**中断返回**过程包括断点恢复和现场恢复[从堆栈中恢复]，该过程由CPU内部硬件电路自动完成的**PCI-E**串行差分信号传输，单个通道含两对差分传输信号线，接收数据，发送数据，共4根信号线**USB**串行，支持设备即插即用，热插拔

**I2C**两线式串行总线**数据线SDA时钟线SCL**采用漏极开路[OD]门，以实现总线的“线与”功能。使用外部上拉电阻[接电]，确保当没有器件将线拉低时

**Cortex-M3/M4技术特性**三级流水线，哈佛结构；多条总线NVIC、调试和跟踪组件|**SPI同步串行外设接口至少4根线，事实上3根ok一个主设备没有应答机制四种工作模式|**能保持高电平;**多主机串行发送地址**

没有Cache或TCM没有协处理器接口，没有MMU ；Systick、双堆栈指针、特权和非特权|微架构：ISA的硬件实现方式，即数字电路以何种方式来实现处理器的各种功能,同一个ISA可以通过不同微架构来实现  
访问等级；**Cortex-M4增加DSP指令、可选配单精度FPU；**AHB总线协议；MPU；WIC, CoreSight调试架构|**两种操作状态[运行状态]Thumb状态**执行指令的状态**调试状态**，暂停指令执行的状态，如通过调试器

4GB线性地址空间（AHB-Lite属于32位总线）；支持小端和大端[芯片制造商可能只选择其中一种配置类型]|或触发断点后处理器会进入调试状态**两种操作模式[运行模式] 处理模式**，执行的是中断服务程序，

支持位带操作写缓冲。提高程序执行速度；MPU，内存的分区保护[可选]非对准传送[但额外增加总线传送次数]|此时处理器具有特权访问等级**线程模式**，正常执行的状态[除处理模式以外的模式]，分为特权线程

**存储器映射**0x00000000~0x1FFFFFFFCode区0.5GB程序代码访问区域，多采用Flash器件|模式和非特权线程模式**特权访问等级和非特权访问等级 总线矩阵**取指操作和SRAM的数据存取操作可以同时进行**总线复**  
0x20000000~0x3FFFFFFFSRAM区0.5GB数据存储区域0x40000000~0x5FFFFFFF片上外设0.5GB|**用器**对Code区的访问可以分时进行，不再具有并行性，但能减少芯片电路数和芯片面积 区

0x60000000~0x9FFFFFFF外部RAM1GB 0xA0000000~0xDFFFFFFF片外设备1GB0xE0040000~0xE00FFFFF外部私有外设|I-Code[取指],D-Code[取数据]总线[AHB-Lite总线协议32位]0x00000000~0x1FFFFFFF的Code  
0xE0000000~0xFFFFFFFF内部私有区域0.5GB 0xE0000000~0xE003FFFF内部私有外设|System总线[AHB-Lite总线协议32位]，也称为AHB总线0x20000000~0xDFFFFFFF和0xE0100000~0xFFFFFFFF之间的数据传  
APB/PPB总线连接0xE0040000~0xE00FFFFF之间的外部私有外设;调试访问端口DAP连接内部调试访问端口AHB-AP和外部调试端口DP;AHB-AP和内部总线互联矩阵之间有一条基于增强型APB规格的32位总线  
Cortex-M3/M4不能直接连接片外存储器，必须使用片外RAM控制器作为接口|**特殊寄存器** xPSR程序状态寄存器，包括APSR、EPSR和IPSR**中断屏蔽设置寄存器**PRIMASK ,FAULTMASK,BASEPRI

R0~R12通用寄存器按位R0~R7：低位寄存器R8~R12：高位寄存器可用于32位|CONTROL：控制寄存器，定义处理器的操作状态PRIMASK，最低位被置位后，将屏蔽除复位、NMI和硬件错误以外所有的[优先

指令和少数几个16位指令（如MOV）按子程序调用过程R0~R3用于子程序之间|级数值大于0的]系统异常和外部中断FAULTMASK，当最低位被置位后，硬件错误异常也被屏蔽，相当于把异常/中断的优先级

的参数传递R4~R11用于保存子程序的局部变量R12作为子程序调用的中间寄存|门槛提高到-1BASEPRI则实现了8位，采用了可伸缩设计，具体宽度取决于芯片制造商实际设计的中断优先级数量，优先级数值

器;复位后初始值均未定义R13：堆栈指针SP实际上有两个物理栈指针MSP：主|大于BASEPRI设定值的中断被屏蔽 **复位后,**线程模式、具有特权访问等级使用主栈指针**遵守AAPCS的规范，堆栈应采用双字对齐**

堆栈指针，用于处理器的异常处理PSP：进程堆栈指针，用于线程模式下的进程|**双堆栈模式,分别服务于不同的操作模式和特权访问等级堆栈的作用:**保护断点,保存现场,实现参数传递,存储局部变量

堆栈对于一般程序而言，两个堆栈指针寄存器只有一个可见R14：链接寄存器LR|nPRIV：设置线程模式的特权访问等级 该位为**0**/**1**，处理器进入特权线程模式/非特权线程模式**被压入堆栈的寄存器包括PSR、PC、**

R15：程序计数器PC 特殊寄存器必须先通过MSR/MRS指令对其进行访问[13-15]|SPSEL：选择线程模式中的堆栈指针 该位为**0**/**1** ，线程模式使用主栈指针MSP/进程栈指针PSP**LR、R0~R3、R12，共8个字**

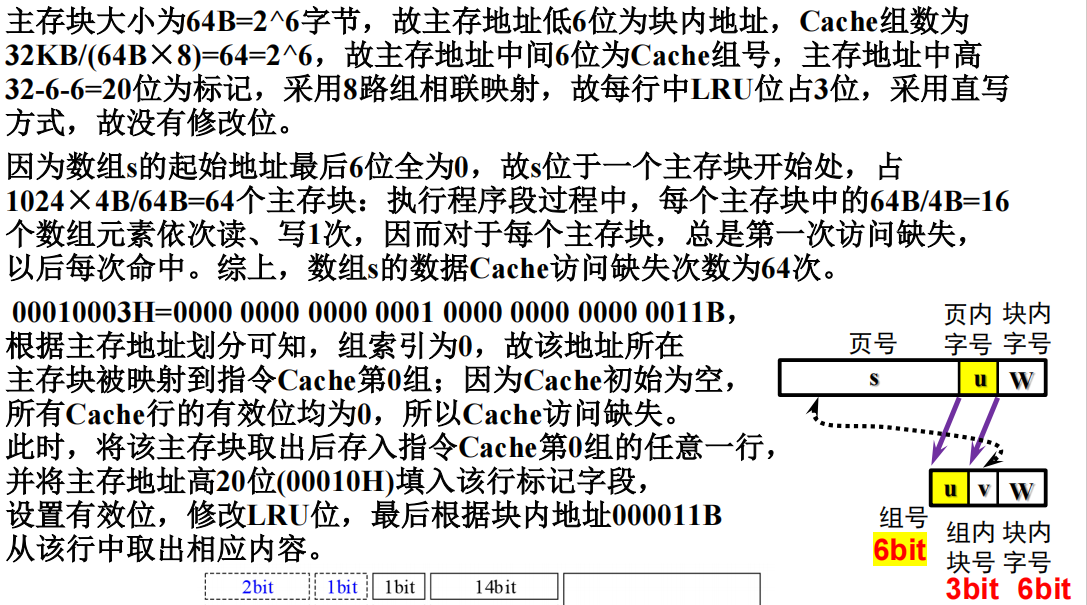
**异常处理过程**处理器接受异常请求;进入异常处理;执行异常处理程序;异常返回**异常状态**：非激活状态;激活状态;退出状态;激活并挂起状态**NVIC寄存器** 管理异常类型16~255的外部异常/中断**异常优先级**固定的最高优先级-3,-2,-1;256个可编程优先级;数值越小，优先级越高**优先级分组**：分组优先级和子优先级分组优先级高可以抢占处理,子优先级只会在两个相同抢占优先级的中断同时产生的时候起作用

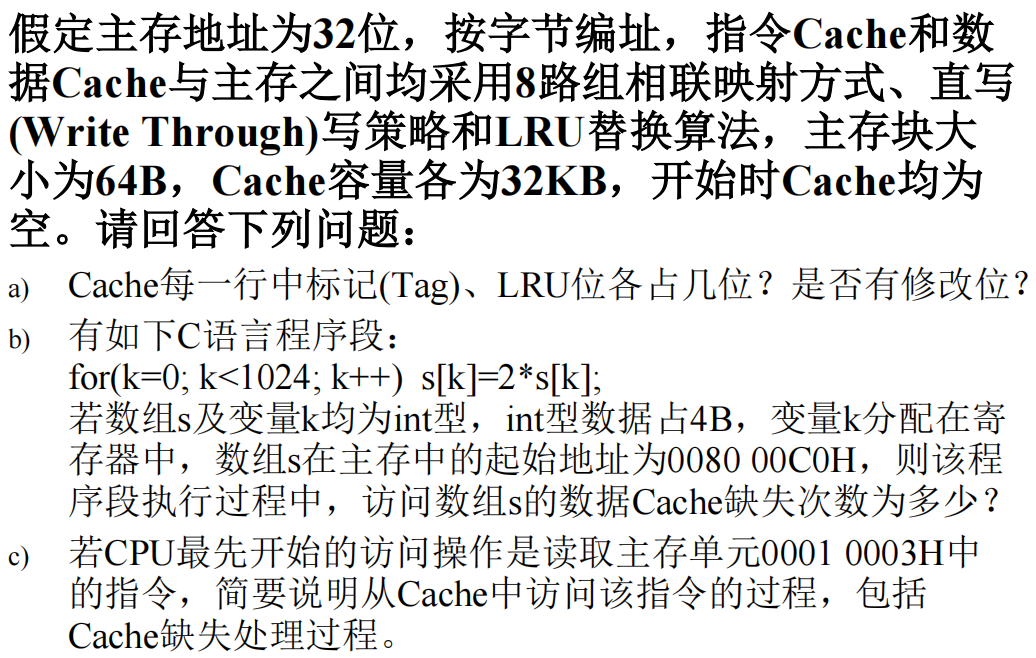
最小硬件系统：**电源、时钟、复位[系统复位、电源、备份区]、调试、[微处理器]**MCU最小系统：MCU、晶振电路、复位电路

GPIO初始化GPIO\_Mode\_OUT;//普通输出模式 GPIO\_Speed\_100MHz;//100MHzGPIO\_OType\_PP;//推挽输出GPIO\_PuPd\_UP;//上拉

GPIO\_ResetBits[0]**GPIO\_SetBits[1]**RCC\_AHB1PeriphClockCmd(RCC\_AHB1Periph\_GPIOG, ENABLE); //使能GPIOG引脚的外设时钟TIM3 TIM\_ITConfig(TIM3,TIM\_IT\_Update,ENABLE); //允许定时器3更新中断

RCC\_APB1PeriphClockCmd(RCC\_APB1Periph\_TIM3,ENABLE); ///使能TIM3时钟.TIM\_Period自动重装载值TIM\_Prescale定时器分频TIM\_CounterMode\_Up;//向上计数模式





**10.三种层次的并行性**：**指令级并行[**时间并行, 即指令流水线、空间并行, 即多发射[**指令分发单元需要在一个流水线周期之内向多条流水线发射多条指令]**, 或超标量[**多条流水线，通过空间并行方式提高处理能力]**；**数据级并行[**单指令流多数据流[SIMD] 的向量结构vs标量处理器**SISD]**；任务级并行[多核处理器[**同构多核和异构多核]**、多线程处理器[进程：作业调度和资源管理的基本单位vs**线程：能独立执行的代码最基本单位**。每个线程并不是独自拥有所需的全部资源，ALU、FPU、高速缓存和总线接口等仍然是两个线程共享，多任务可提升，单任务不升反降]]

**11.外存的接口标准:**

**微机常用存储接口**SATA**[**串行传输；差动信号,连接主板和大容量存储设备]SAS[串行技术,连接外设,向下兼容SATA,SATA系统并不兼容SAS ]

**嵌入式设备常用存储接口[**含控制器和存储单元**]**SD,eMMC,UFS

**12.存储器性能指标**

\*设地址线位数为n，数据线位数为m，则容量为：2^n×m对容量为M×N比特的SRAM芯片，其地址线数目=㏒2M；数据线数目=N。

\*存取时间称存储器访问时间Ta，是指从启动一次存储器操作到完成该操作所经历的时间。如,从一次读操作命令发出到该操作完成，将数据读入数据缓冲寄存器为止所经历的时间。

\*存取周期Tm是指连续启动两次独立的存储器操作所需间隔的最小时间。通常,存取周期略大于存取时间

\*数据传送速率，指单位时间内能够传送的信息量。若系统的总线宽度为W，则BM=W/TM （b/s）

**位扩展**[**1M×1位->1M×8位]**每个芯片数据线分别连接数据总线D7~D0的不同位，以形成8位数据；各芯片的地址线A19~A0与CPU地址总线对应地址线并联；读写控制线R/W#与CPU读写控制线分别并联连接，CPU的片选控制线CS#与各芯片的CS#并联

**字扩展**[256K×8->1M×8位][先位后字]每个芯片的各位数据线分别与数据总线D7~D0位并联；各芯片低位地址线A17~A0与CPU地址总线对应地址线并联；高位地址线A19、A18通过2线-4线译码器分别产生不同的译码输出信号控制每个存储器芯片的片选端CS#；各芯片的读写控制线R/W#与CPU读写控制线分别并联连接

**Cache**一项用来协调CPU与主存速度差异的技术;**原理:**根据程序访问的时空局部性，把经常访问的代码和数据保存到Cache中，把不常访问的代码和数据保存到大容量的相对低速DRAM中，降低CPU访问DRAM的概率。根据时间,空间局部性：将最近被访问的信息项及邻近信息装入到Cache中