实验报告是实验课的总结和成果展示，请认真完成。报告采用纸质版形式，在每次实验课时交上一个实验的报告。第一次实验和第五次实验不写报告，第二、三、四次实验写报告。实验报告要求如下：

一、写清楚姓名、学号、实验题目等一般信息。

二、实验内容：用一段文字和完整的语句对实验题目的要求给予简单、清楚的描述。

三、设计分析：对实验题目进行分析，提出自己的编程思路。

四、Verilog源代码：个人设计的经过仿真和硬件验证的Verilog源代码作为附录放在实验报告的最后，并标注代码的功能。设计Verilog程序时要求模块名带有个人标识，如exp1\_zs.v表示张三同学的代码，exp1\_ww.v表示王五同学代码。

五、仿真结果记录：给出主要模块的仿真结果记录（如无特定要求，可自己选择仿真的模块），要求仿真图上的字符清楚、可辨，有些模块做仿真比较困难，如分频系数较大的分频器，可以提供简化的仿真结果。

六、中间结果记录：给出综合之后的RTL结构图。如果电路图太大，可以缩小，尽量给出完整的电路图。给出全编译之后资源占用的信息。

七、FPGA验证结果记录：说明设计在FPGA实验箱上的管脚锁定情况，并给出设计在FPGA实验箱上的验证结果。静态的结果可提供照片，动态的结果可用文字描述。

八、实验总结：对实验的体会、建议、遇到的问题以及解决方法等。

九、设计报告严禁抄袭。