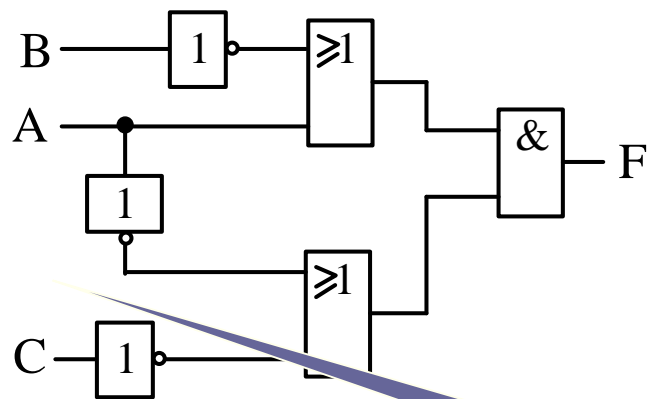


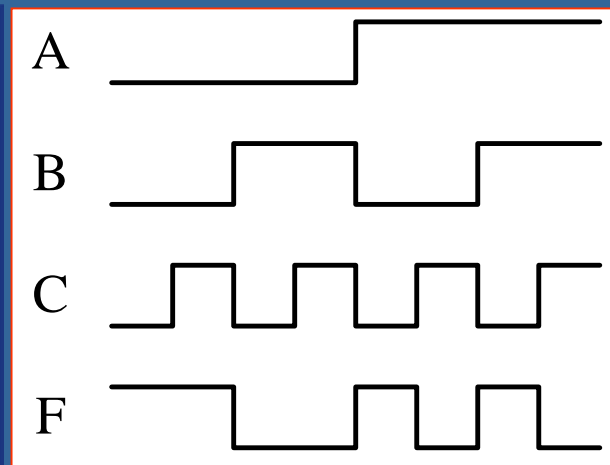
第3章 组合逻辑电路设计

组合逻辑电路

电路任意时刻的稳态输出仅仅取决于该时刻的输入状态，与过去的历史状态无关。



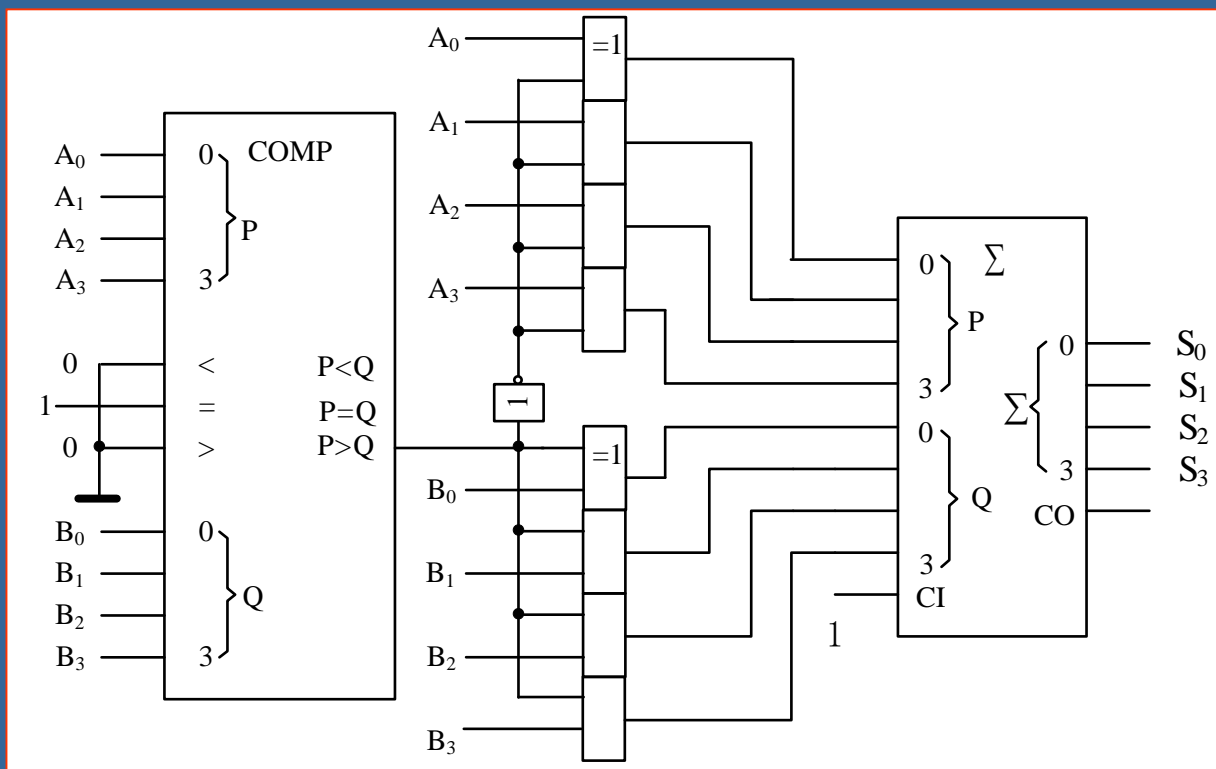
A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0



$$F = (A + \bar{B})(\bar{A} + \bar{C})$$

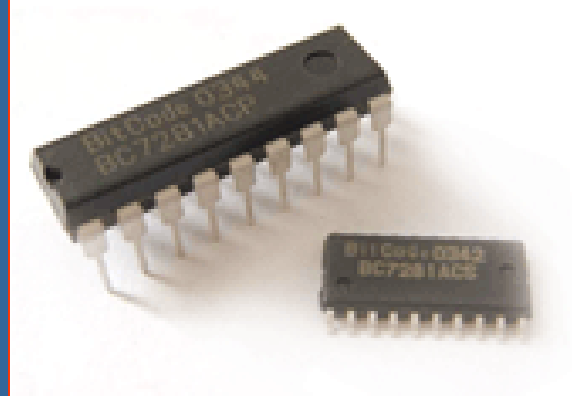
思考：如果A端没有信号加入，或者说是断开了，输出F=？

本章介绍数字集成电路的电气特性，常用的组合逻辑模块（4位并行加法器、数值比较器、译码器与数据选择器），进而讨论基于组合逻辑模块的组合逻辑电路的设计方法。



数字集成器件

数字集成电路：



定义：数字集成电路是将元器件和连线集成于同一半导体芯片上而制成的数字逻辑电路或系统。

特点：体积小、可靠性高、速度快、价格便宜。

用途：用来产生、放大和处理各种数字信号。

使用：需接电源、输入和输出。

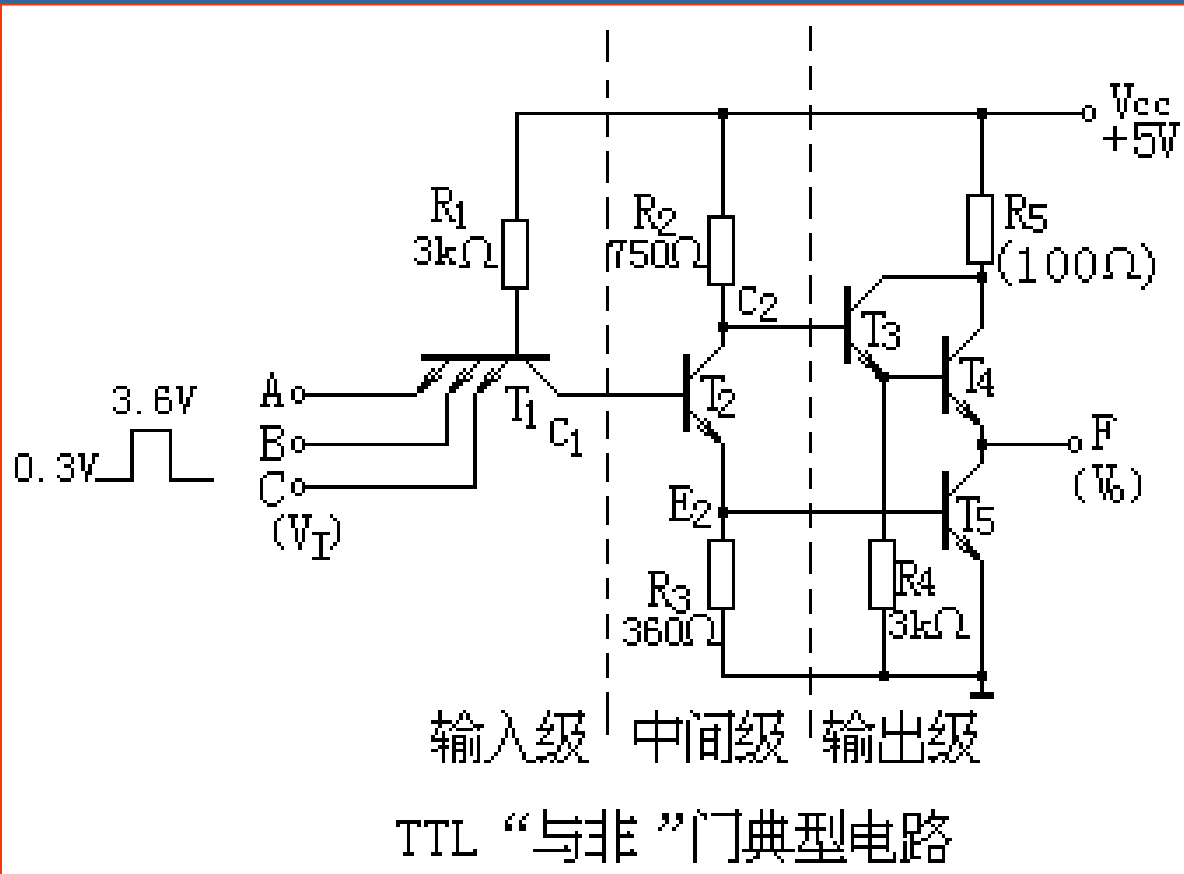
数字集成电路分类:

一、根据数字集成电路中包含的门电路或元器件数量分:

序号	类型	中文含义	内含器件规模
1	SSI	小规模集成电路	门电路在10个以内, 或元器件数不超过10个
2	MSI	中规模集成电路	门电路在10~100个, 或元器件数在100~1000个
3	LSI	大规模集成电路	门电路在100个以上, 或元器件数在1,000~10,000个
4	VLSI	超大规模集成电路	门电路在1万个以上, 或元器件数在100,000~1,000,000
5	ULSI	特大规模集成电路	门电路在10万个以上, 或元器件数在1,000,000~10,000,000

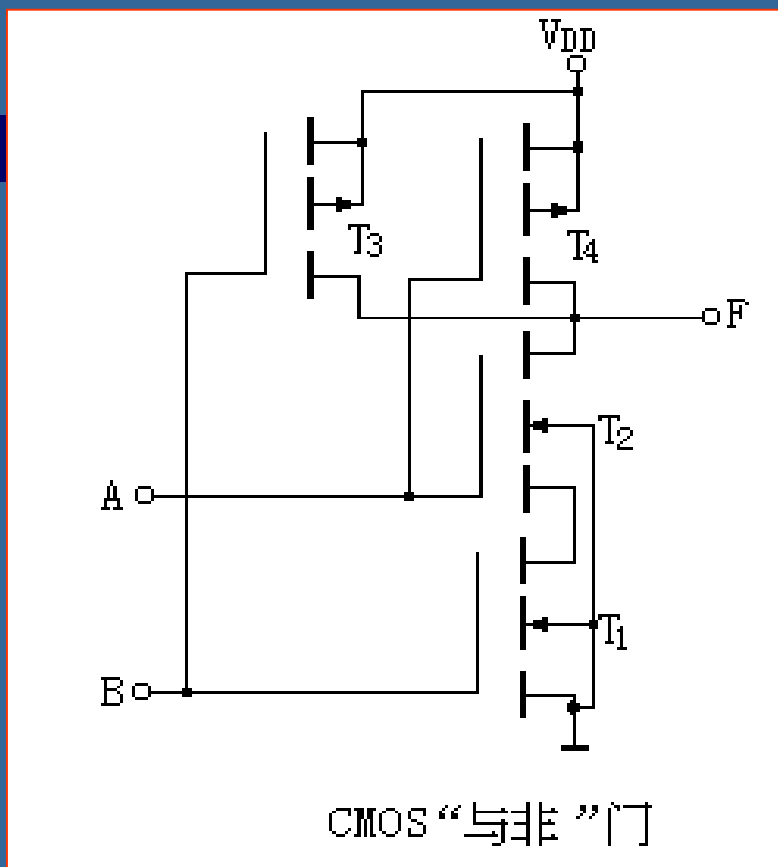
二、根据数字集成电路所用的材料工艺来分：

1. TTL (Transistor-Transistor Logic, 晶体管-晶体管逻辑) 数字集成电路。



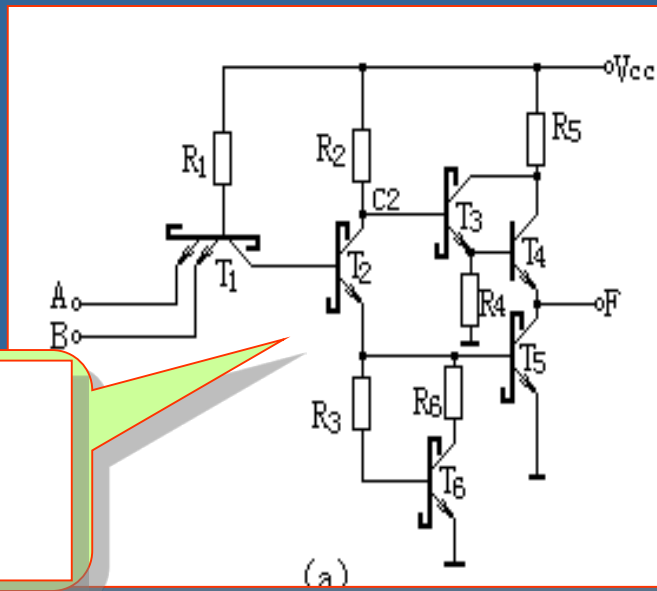
特点：速度快，但功耗大。

2. CMOS (Complementary Metal-Oxide-Semiconductor Transistor, 互补型金属氧化物半导体金属-氧化物-半导体逻辑) 数字集成电路。



特点：集成度高、功耗低但速度慢。

(54——军用，74——民用)



CMOS系列（中国：CC54/74）

（54——军用，74 ——民用）

●74/54系列

HC（高速）、AHC（高级高速）、AC（高级）、LV（低压）等

●4000系列

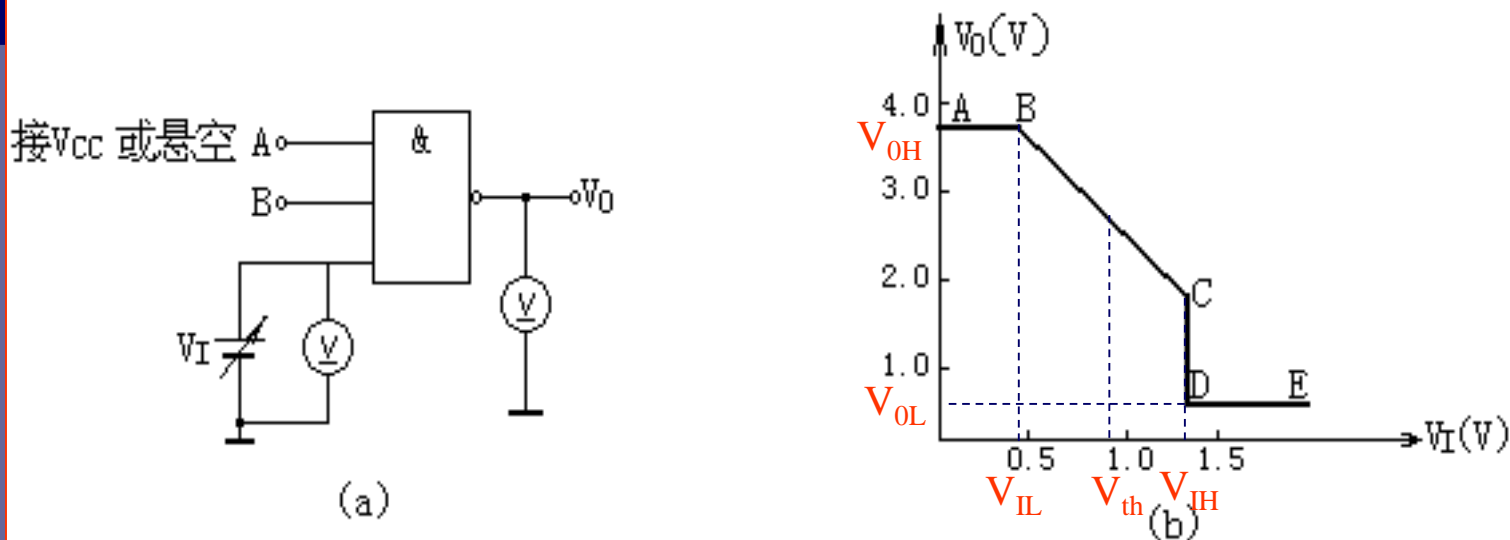
美国半导体公司产品

思考：为什么实际的输入、输出电压值定义不同？

数字集成电路的主要电气指标

1. 输入/输出电压

TTL“与非”门输入电压 V_I 与输出电压 V_O 之间的关系曲线，即 $V_O = f(V_I)$



典型TTL“与非”门电压传输特性

(a) 传输特性测试电路 (b) 电压传输特性曲线

TTL标称值： $V_H=3.6V$ ， $V_L=0.1V$

阈值电压： $V_{th}=1.4V$

实际输出极限值： $V_{OH}=2.4V$ ， $V_{OL}=0.4V$

输入极限值： $V_{IH}=2.0V$ ，开门电平 (V_{on})

$V_{IL}=0.8V$ ，关门电平 (V_{off})

● 输入输出电压（续）

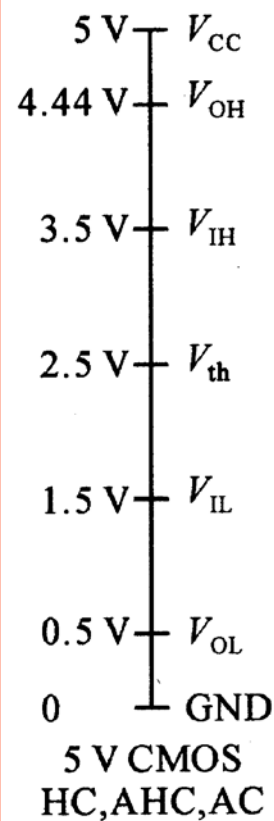
CMOS标称值： $V_H = V_{DD}$, $V_L = 0V$ （一般 $V_{DD} = 5V$ ）

输出极限值： $V_{OH} = 4.44V$, $V_{OL} = 0.5V$

输入极限值： $V_{IH} = 3.5V$, 开门电平 (V_{on})

$V_{IL} = 1.5V$, 关门电平 (V_{off})

阈值电压： $V_{th} = 2.5V$



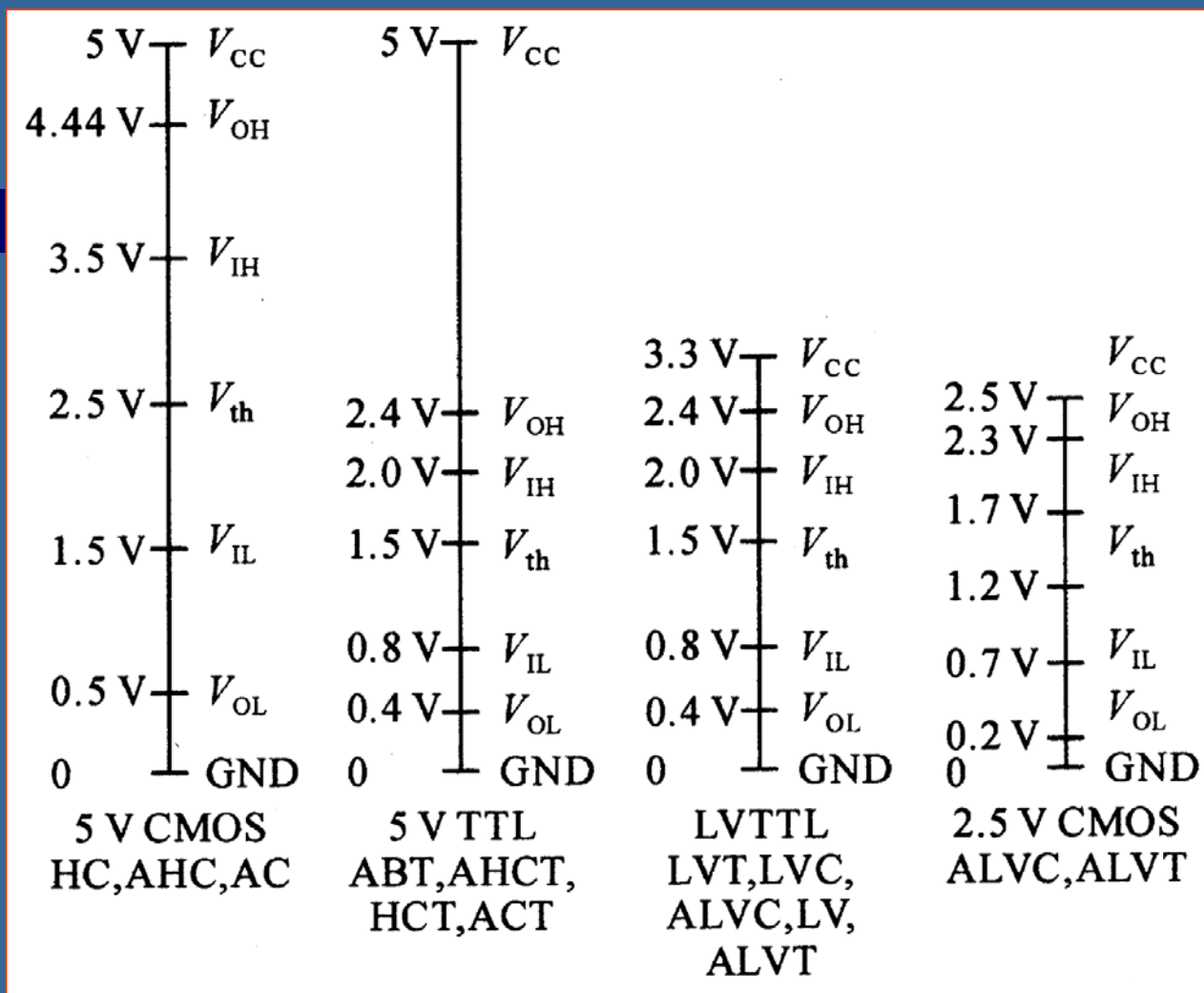
2. 噪声容限（抗干扰容限）

$$V_{NH} = V_{OH} - V_{IH} \quad \text{高电平时的抗干扰容限}$$

$$V_{NL} = V_{IL} - V_{OL} \quad \text{低电平时的抗干扰容限}$$

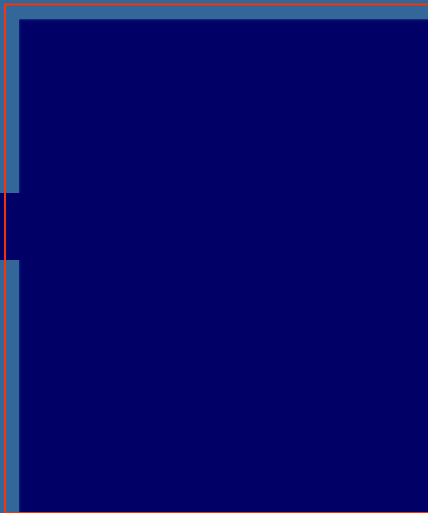
- 前一级输出低电平比后一级的输入低电平低，才能保证后一级是可靠的低电平输入，故取 $V_{IL} > V_{OL}$
- 前一级输出高电平比后一级的输入高电平高，才能保证后一级是可靠的高电平输入，故取 $V_{OH} > V_{IH}$

● 抗干扰容限（续）

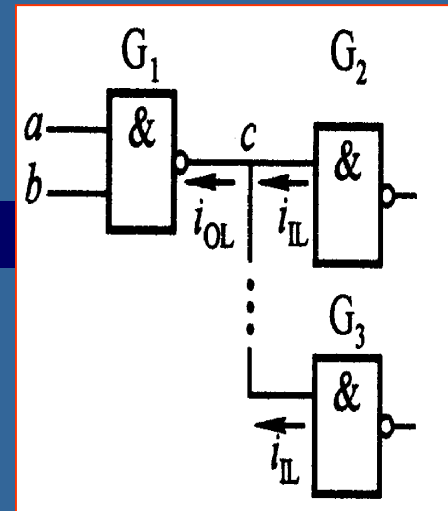


集成电路的电平参数表

3. 输入/输出电流



高电平 拉电流



低电平 灌电流

TTL典型值: $I_{OH}=0.4\text{mA}$, $I_{OL}=8\text{mA}$
 $I_{IH}=20\text{ }\mu\text{A}$, $I_{IL}=0.4\text{mA}$

$$\frac{I_{OL}}{I_{IL}} < \frac{I_{OH}}{I_{IH}}$$

定义: $\frac{I_{OL}}{I_{IL}} \triangleq N_0$ 扇出系数

例：某集成电路具有如下电气特性： $V_{OL}=0.4V$ ， $V_{OH}=2.4V$ ， $V_{IL}=0.8V$ ， $V_{IH}=1.8V$ ， $I_{IL}=1.2mA$ ， $I_{IH}=100\mu A$ ， $I_{OL}=10mA$ ， $I_{OH}=800\mu A$ ，试问该电路的扇出系数为多少？并分别计算 V_{NH} 及 V_{NL} 。

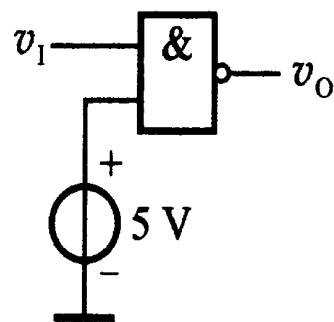
解：

$$\text{扇出系数} = \text{Min} (10mA/1.2mA, 800\mu A/100\mu A) = 8$$

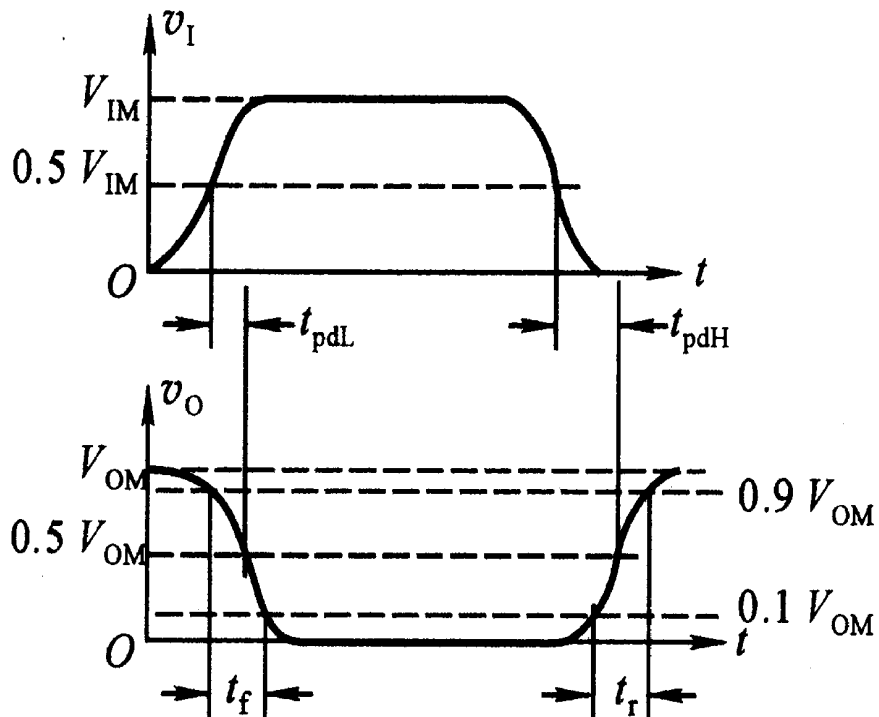
$$V_{NH} = V_{OH} - V_{IH} = 2.4V - 1.8V = 0.6V$$

$$V_{NL} = V_{IL} - V_{OL} = 0.8V - 0.4V = 0.4V$$

4. 平均传输延迟时间 t_{pd}



(a)



(b)

$$t_{pd} = \frac{t_{pdL} + t_{pdH}}{2}$$

74LS00:

$t_{pdL}=10\text{ns}$,

$t_{pdH}=9\text{ns}$,

$t_{pd}=9.5\text{ns}$ 。

74ACT00:

$t_{pd}=3\text{ns}$

5. 功耗

四 2 输入与非门的平均延迟时间和功耗参数

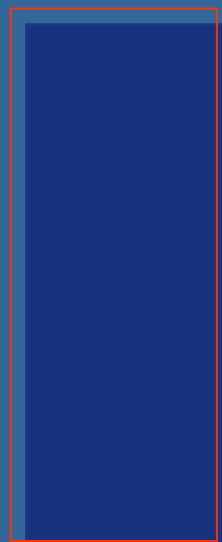
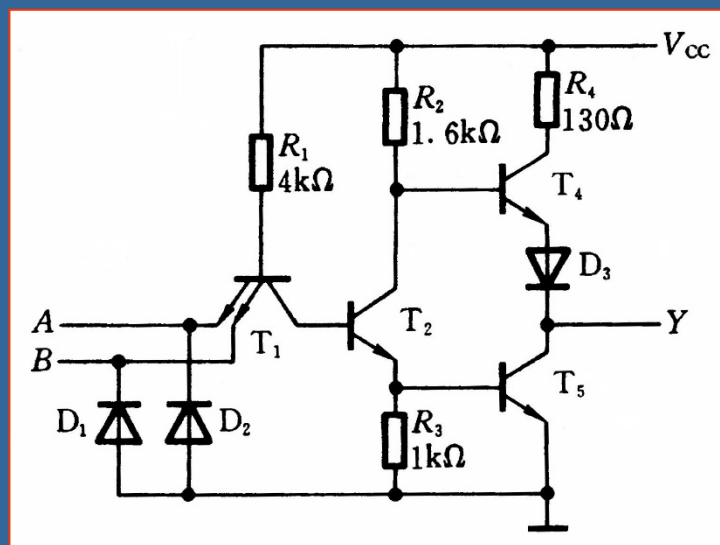
型号	平均延迟时间 t_{pd}	功耗/门	型号	平均延迟时间 t_{pd}	功耗/门
7400	10ns	10mW	CD4001	90ns	0.3 μ W/kHz
74LS00	10ns	2mW	74C00	30ns	3 μ W/kHz
74S00	3ns	19mW	74HC00	10ns	0.5 μ W/kHz
74ALS00	4ns	1mW	74AC00	3ns	0.8 μ W/kHz
74F00	3ns	4mW	74ACT00	3ns	0.8 μ W/kHz
74AS00	1.5ns	10mW	74BCT00	3ns	1 mW

TTL > CMOS

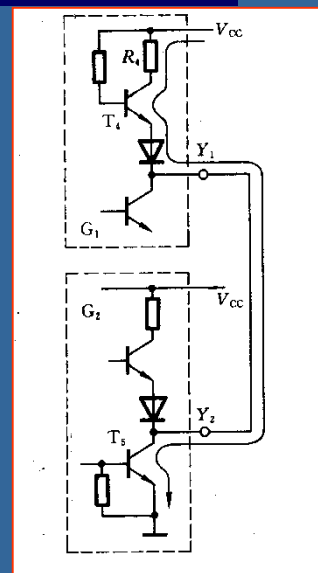
逻辑电路的输出结构

（即集成电路芯片的输出电路结构，有三种类型）

1. 推拉式结构



等效模型

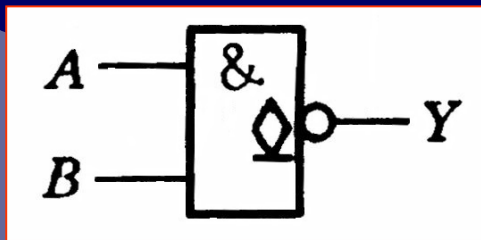


推拉式输出
并联情况

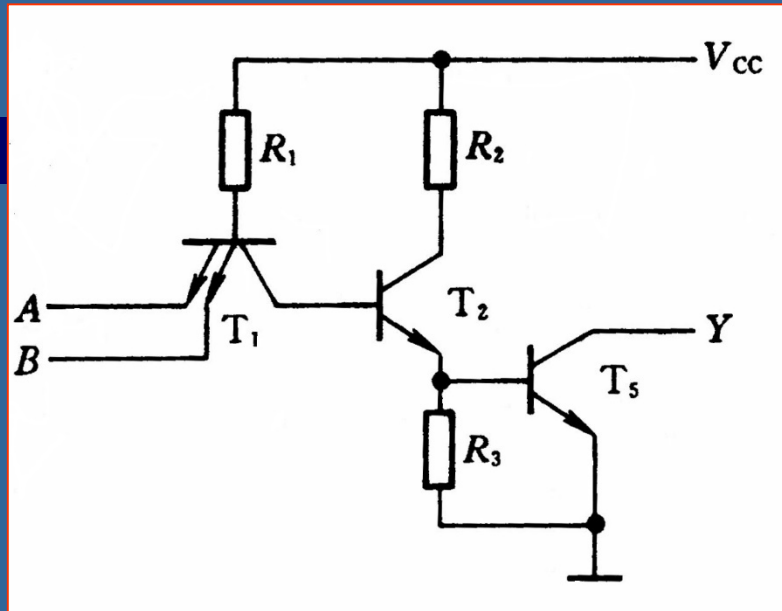
优点：输出电阻低

缺点：输出不能并联

2. 开路输出结构 (Open Collector Gate, OC门)



逻辑符号

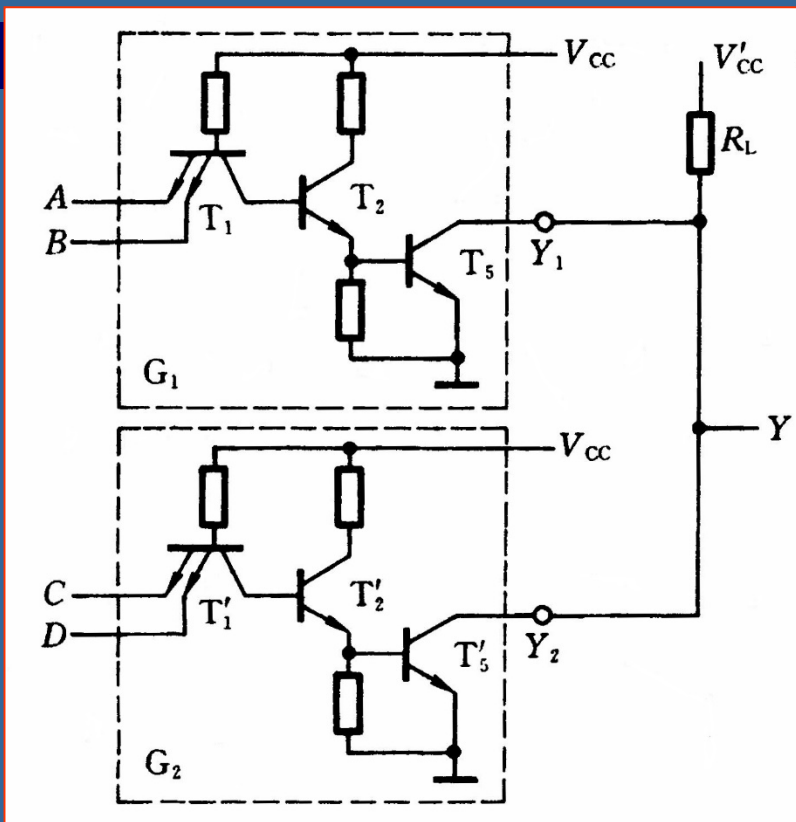


等效模型

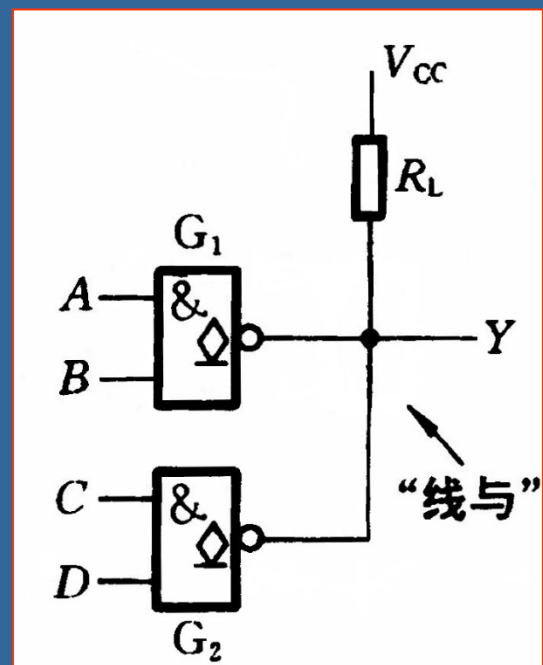
集电极开路与非门

逻辑电路的输出结构

● 开路输出结构（续）

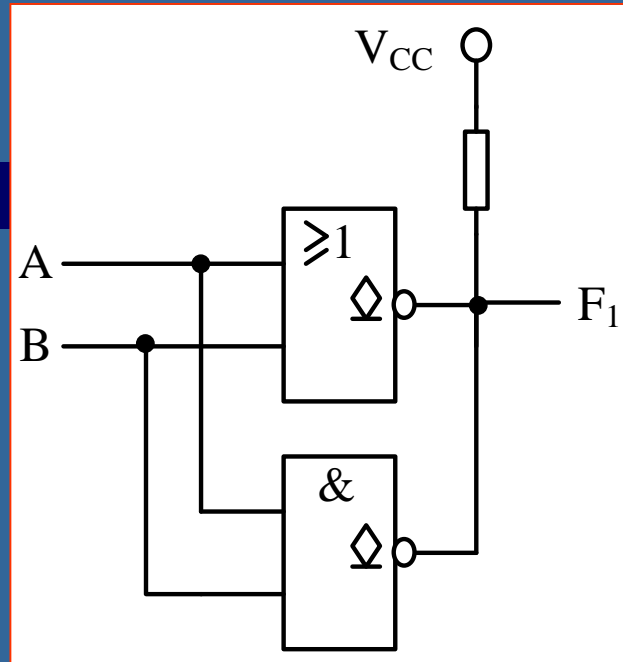


OC门输出的并联接法



逻辑图

例：写出 F_1 逻辑表达式。



$$F_1 = \overline{(A + B)} \cdot \overline{AB} = \overline{A} \cdot \overline{B}$$

3. 三态输出结构 (Three-State Output, TS门)

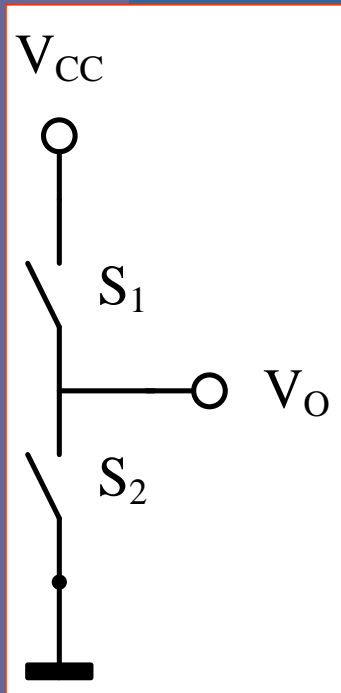
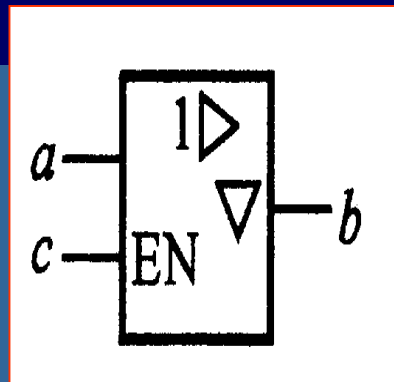
真值表

c	a	b
0	0	Z
0	1	Z
1	0	0
1	1	1

功能表

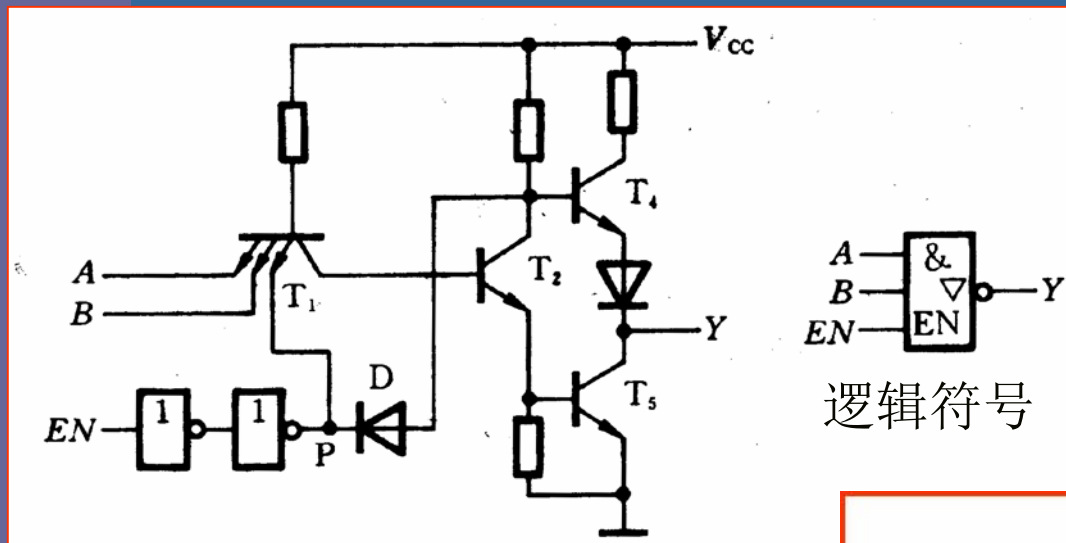
c	a	b
0	\times	Z
1	0	0
1	1	1

逻辑符号

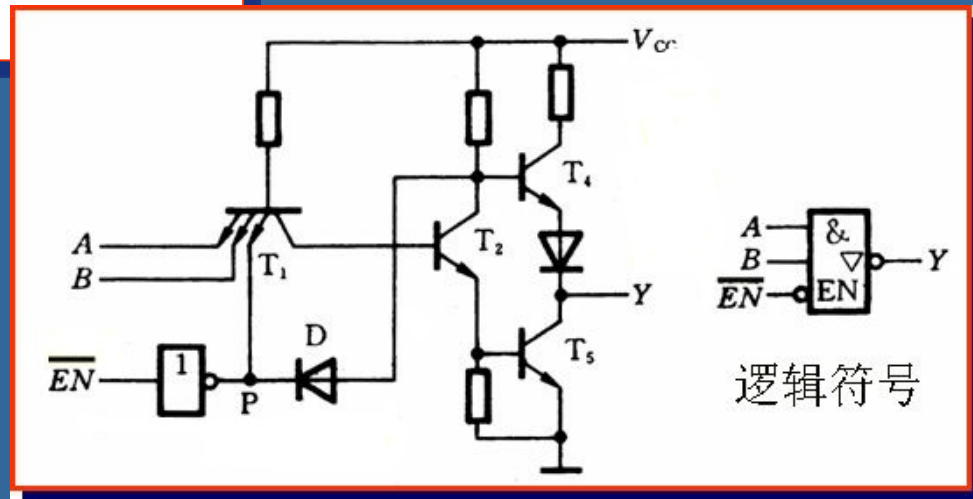


逻辑电路的输出结构

三态输出结构（续）

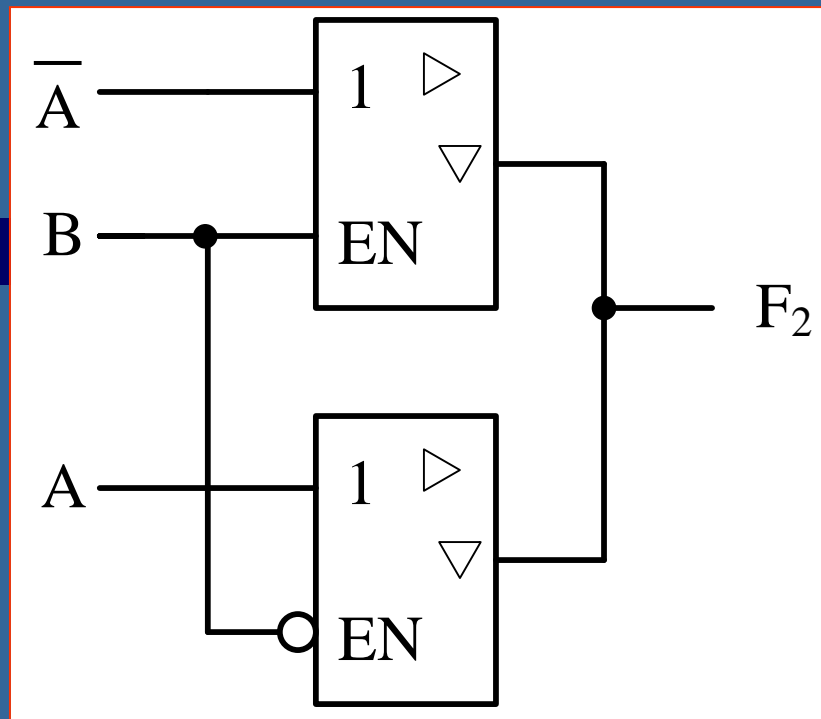


三态输出与非门（高电平有效）



三态输出与非门（低电平有效）

例：写出 F_2 逻辑表达式。

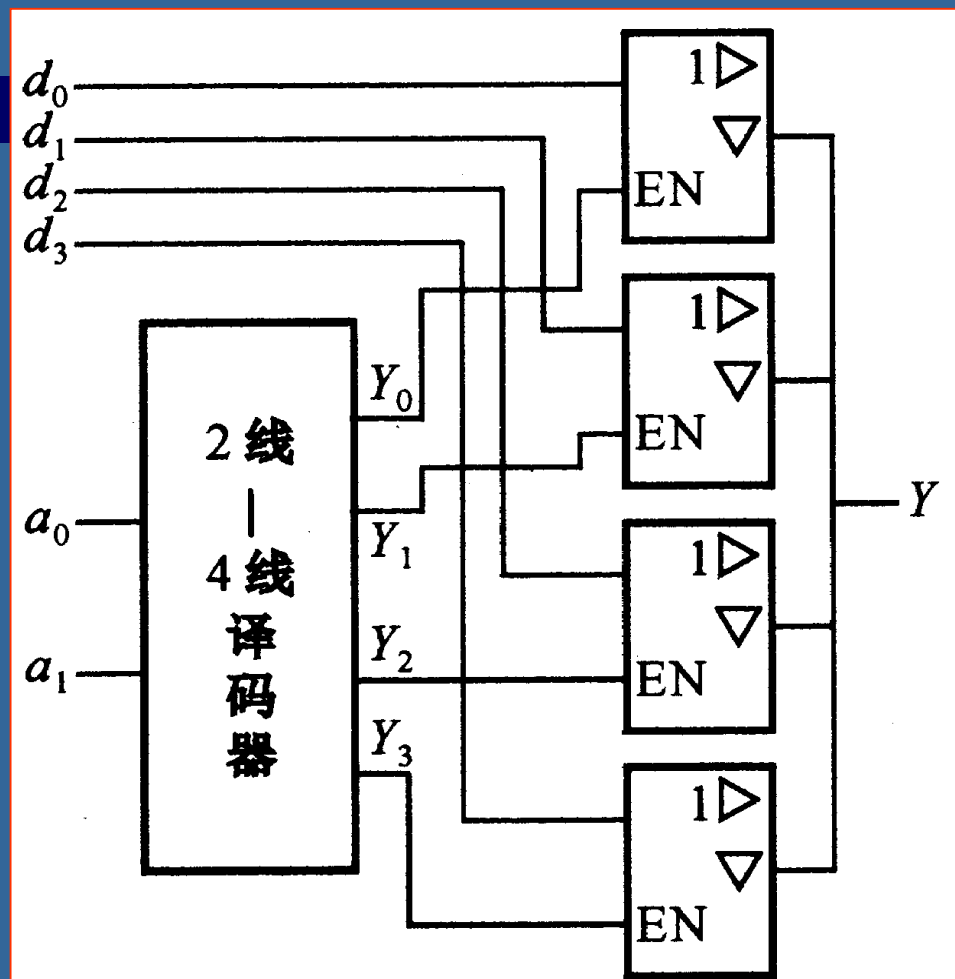
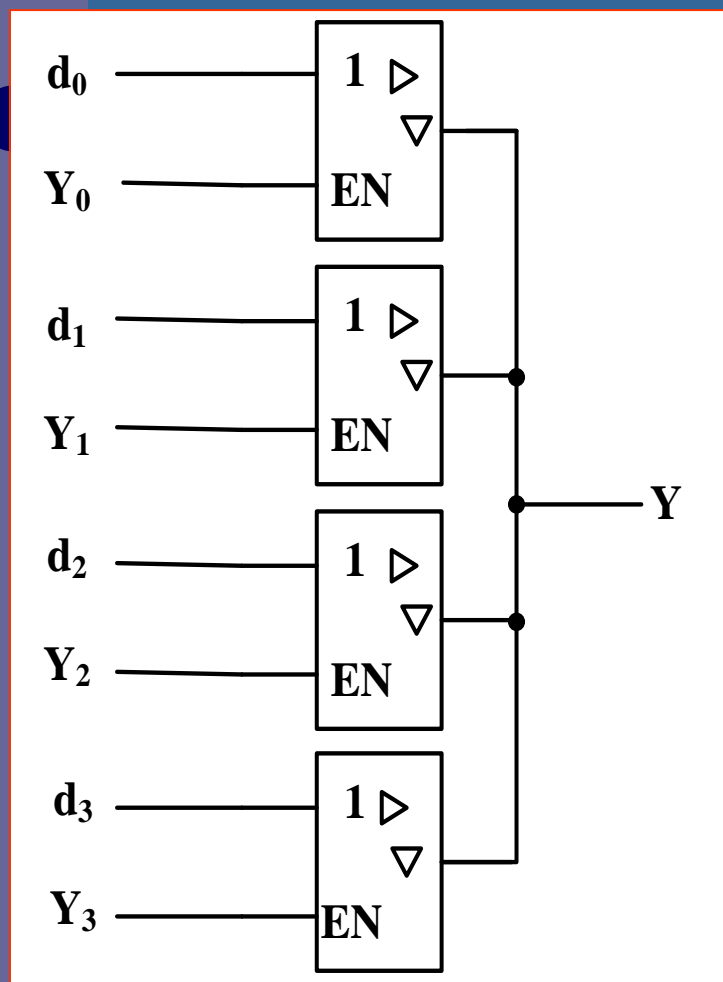


（当 $B=0$ 时， $F_2=A$ ；而当 $B=1$ 时， $F_2=\bar{A}$ ）

$$F_2 = A \oplus B$$

逻辑电路的输出结构

应用举例1——数据选择器



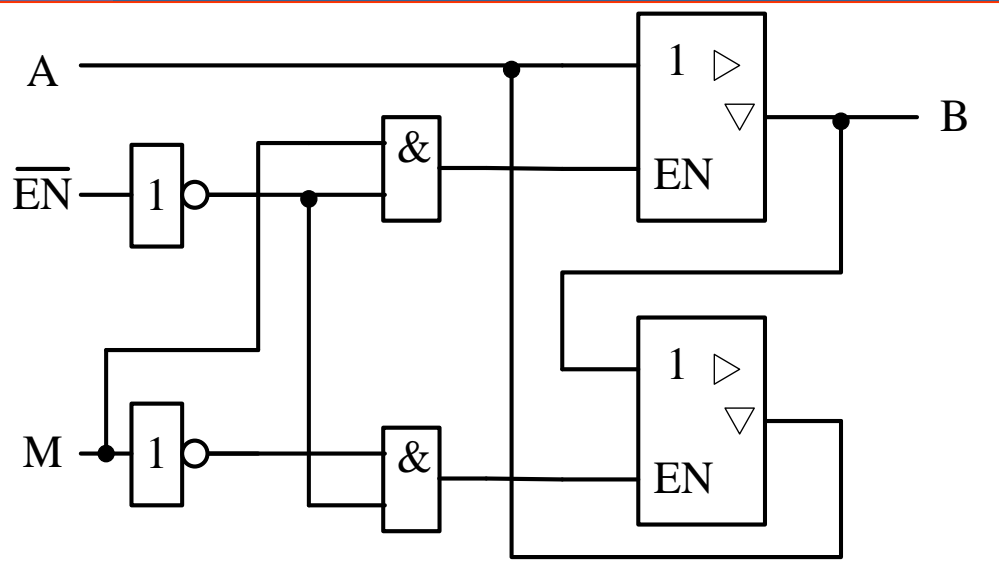
逻辑电路的输出结构

应用举例2 ——双向总线收发器

什么是总线?

多个功能部件共享的信息传输线称为总线。采用总线结构便于部件和设备的扩充，使用统一的总线标准，不同设备间互连将更容易实现。

总线分为内部总线、系统总线和外部总线。内部总线指芯片内部连接各元件的总线。系统总线指连接CPU、存储器和各种I/O模块等主要部件的总线。外部总线则是微机 and 外部设备之间的总线。



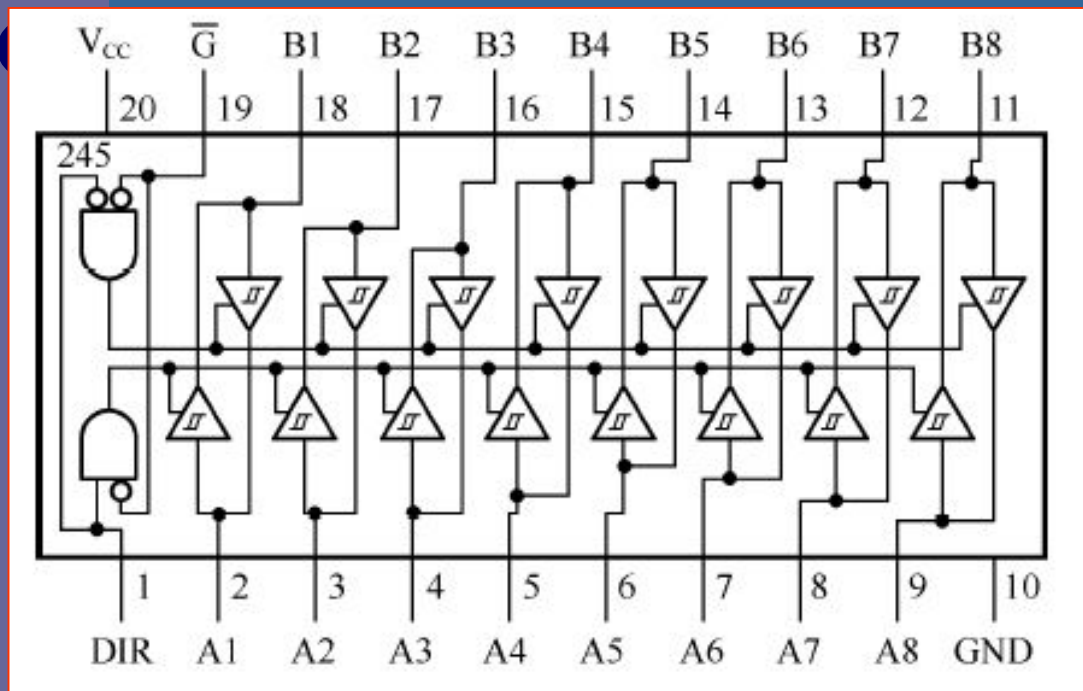
双向总线收发器功能表

\overline{EN}	M	功能
H	×	高阻（隔离）
L	H	$A \rightarrow B$
L	L	$B \rightarrow A$

数字集成器件 74LS245

——八双向总线收发器（三态输出）

接线图



功能表

使能 \overline{G}	方向 控制 DIR	操作
L	L	B 数据到 A 总线
L	H	A 数据到 B 总线
H	X	隔离

<http://www.datasheet5.com/partsearch?q=74LS245>

正、负逻辑极性

电平表及真值表

(a)

a	b	c
L	L	H
L	H	H
H	L	H
H	H	L

(b)

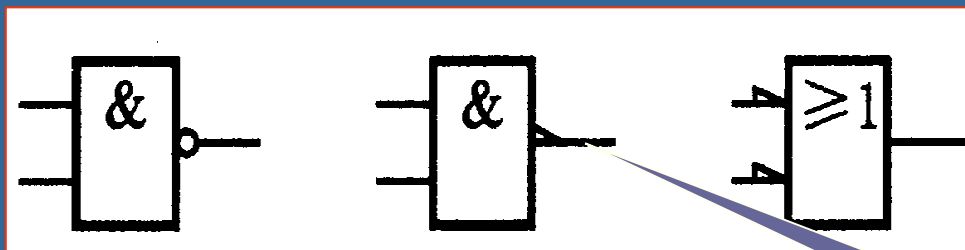
a	b	c
0	0	1
0	1	1
1	0	1
1	1	0

(c)

a	b	c
0	0	0
0	1	0
1	0	0
1	1	1

(d)

a	b	c
1	1	1
1	0	1
0	1	1
0	0	0

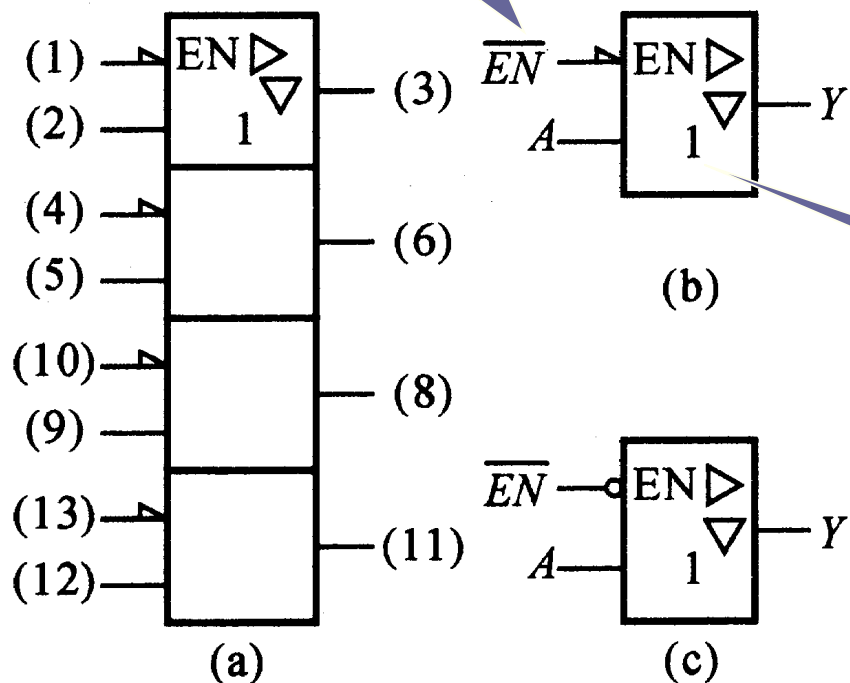


不同逻辑约定下的逻辑符号

负逻辑
约定

逻辑符号

上面的非号并不表示反变量，而是表示该信号低电平有效

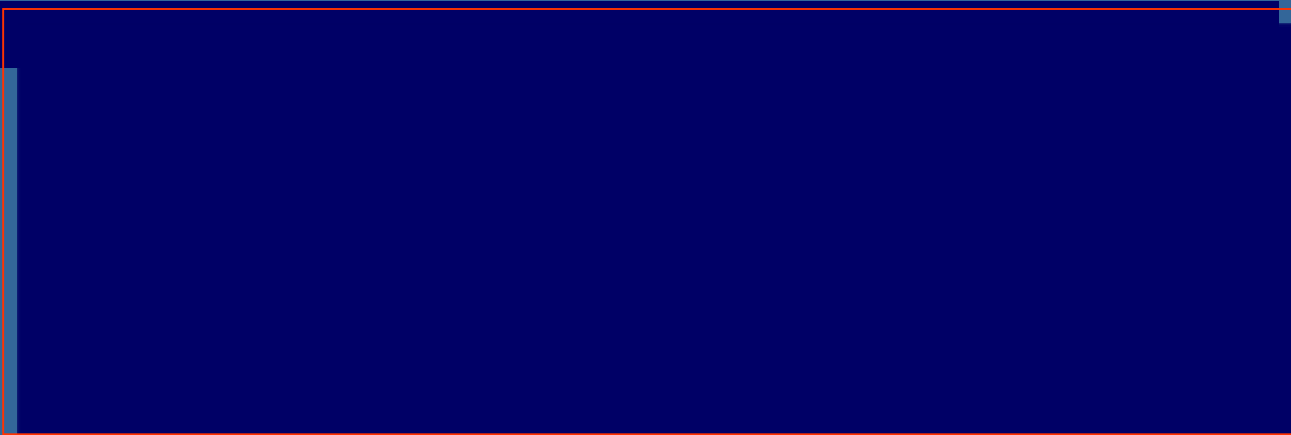


传输门

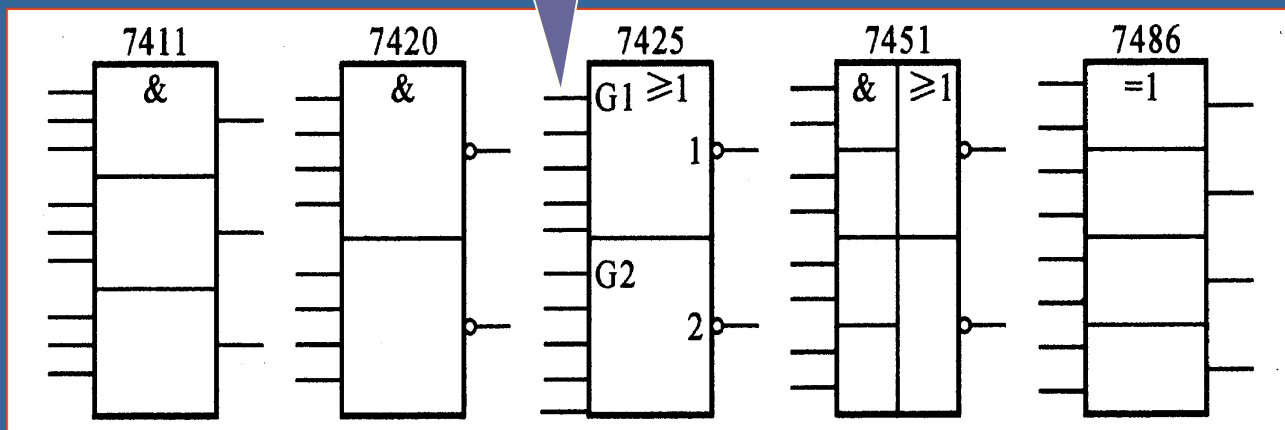
74125逻辑符号

逻辑符号

几种芯片的逻辑符号



选通端



部分门电路及其传输延迟时间

型 号	名 称	t_{pd}/ns	型 号	名 称	t_{pd}/ns
74S00	四 2 输入与非门	3	74LS27	三 3 输入或非门	10
7400	四 2 输入与非门	10	74S30	8 输入与非门	5
74S02	四 2 输入或非门(OC)	3.5	74S32	四 2 输入或门	4
74S03	四 2 输入与非门(OC)	5	74S51	双 2 路 2-2 输入与或非门	3.5
74LS04	六反相器	10	7454	4 路 2-2-2-2 输入与或非门	10.5
74S05	六反相器(OC)	5	74LS55	2 路 4-4 输入与或非门	12
74S08	四 2 输入与门	5	74S64	4 路 4-2-3-2 输入与或非门	3.5
74S10	三 3 输入与非门	3	74S86	四 2 输入异或门	7
74S11	三 3 输入与门	5	74LS125	四总线缓冲器(3S)	8
74LS12	三 3 输入与非门(OC)	16	74LS126	四总线缓冲器(3S)	9
74LS20	双 4 输入与非门	3	74S135	四异或/异或非门	10
74S22	双 4 输入与非门(OC)	5	74LS244	八缓冲器/线驱动器/线接收器(3S, 两组控制)	12
7425	双 4 输入或非门(有选通)	11	74LS245	八双向总线发送器/接收器(3S)	8