

第7章 可编程逻辑器件及其应用



组合电路

$$z(u, v, w, x, y) = \overline{y} + \overline{u} \cdot \overline{v} \cdot \overline{w} \cdot y + \overline{u} \cdot \overline{w} \cdot x + v \cdot w \cdot y$$

时序电路

$$D = AQ^n + BQ^n + AB$$

$$Z = A \oplus B \oplus Q^n = A\overline{B}\overline{Q}^n + \overline{A}B\overline{Q}^n + \overline{A}\overline{B}Q^n + ABQ^n$$

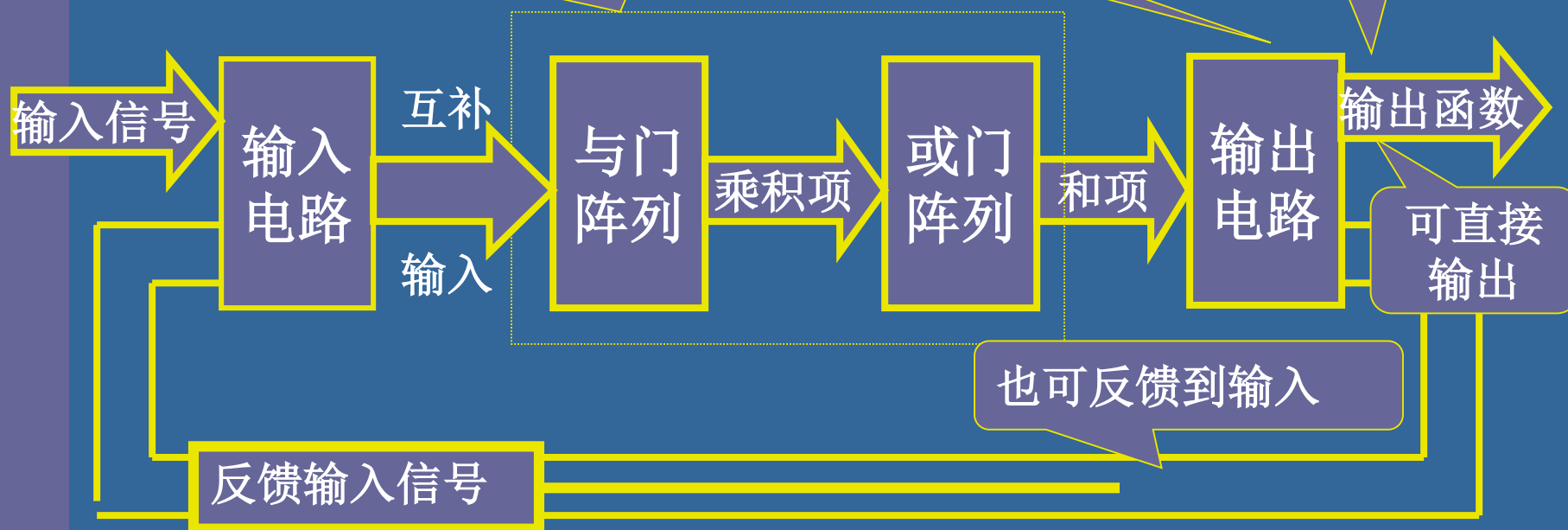
$$Q^{n+1} = AQ^n + BQ^n + AB$$

PLD基本组成框图

- 可由或阵列直接输出，构成组合；
- 通过寄存器输出，构成时序方式输出。

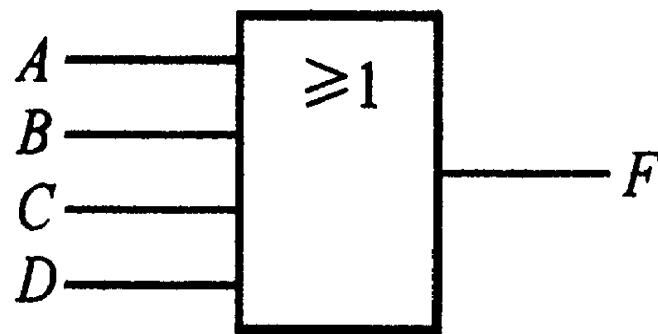
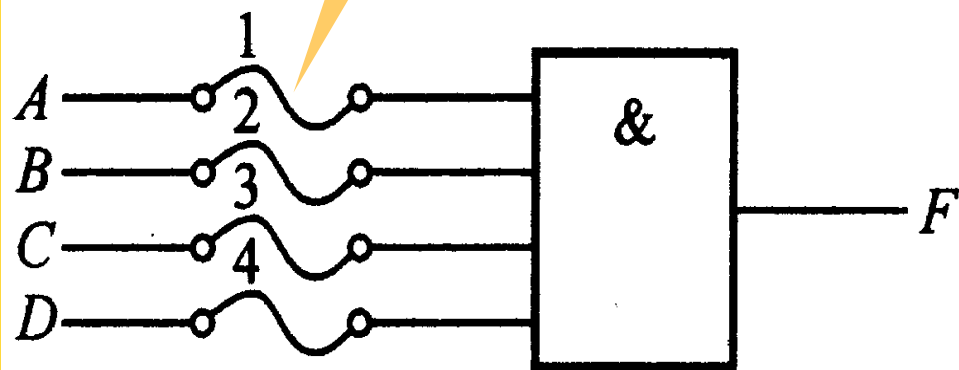
输出既可以是低电平有效，又可以是高电平有效。

PLD主体

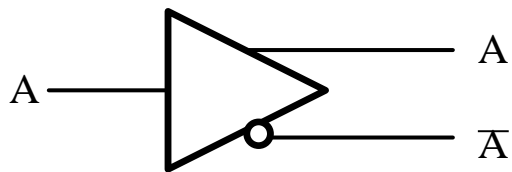


基本门可编程和不可编程示意图

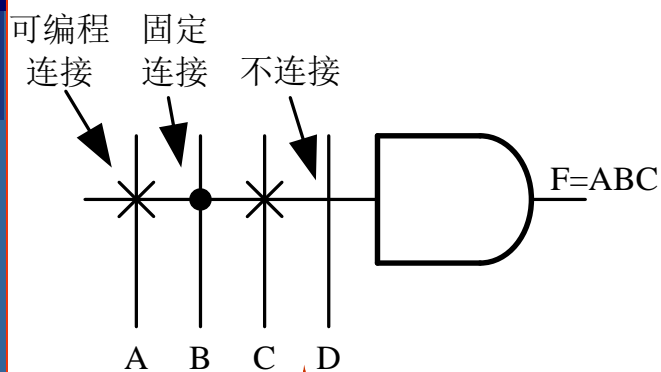
熔丝



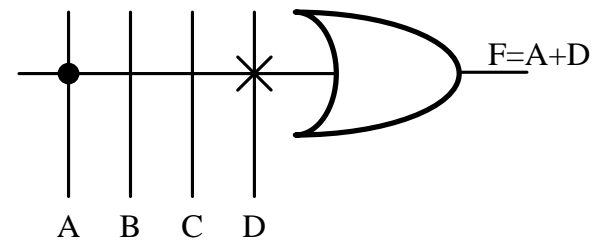
PLD内部电路的表示方法



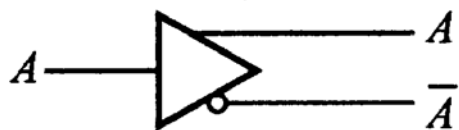
输入缓冲器



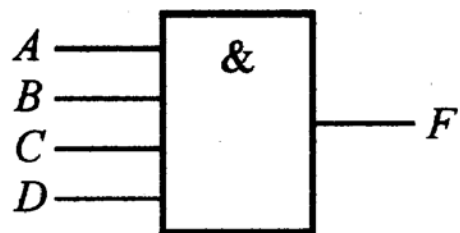
与门



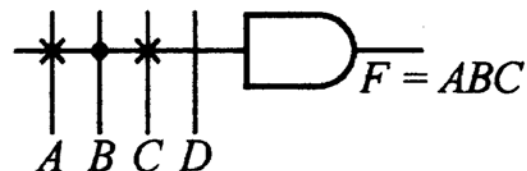
或门



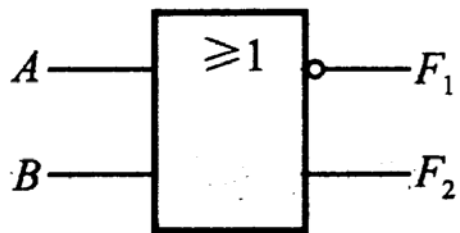
(a) PLD 输入缓冲器



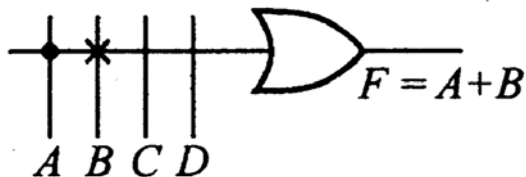
(b) 与门标准逻辑符号



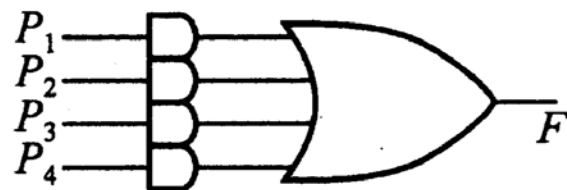
(c) 与门在 PLD 中的表示方法



(d) 或门标准逻辑符号

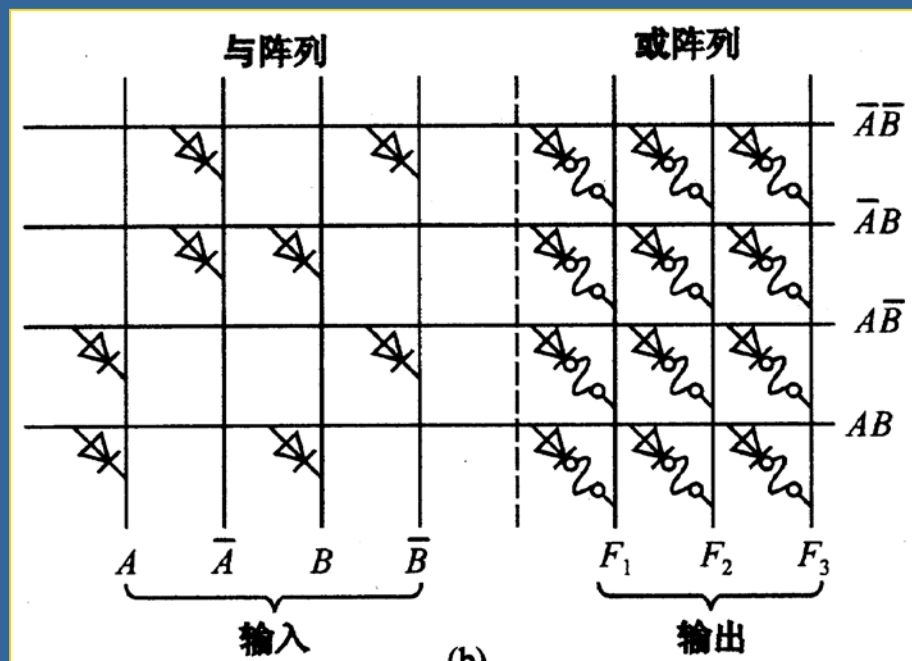
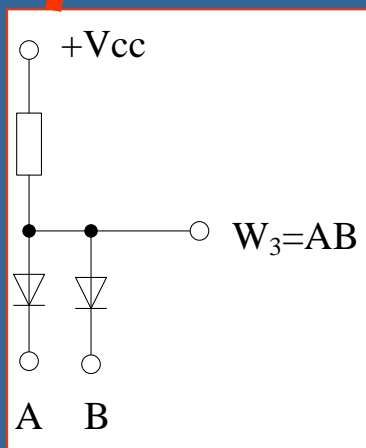
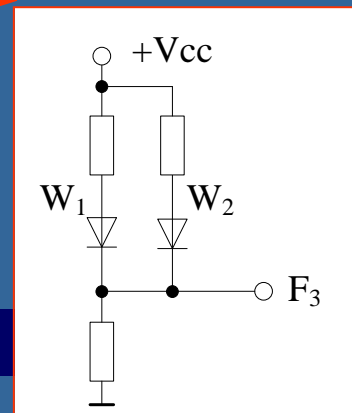
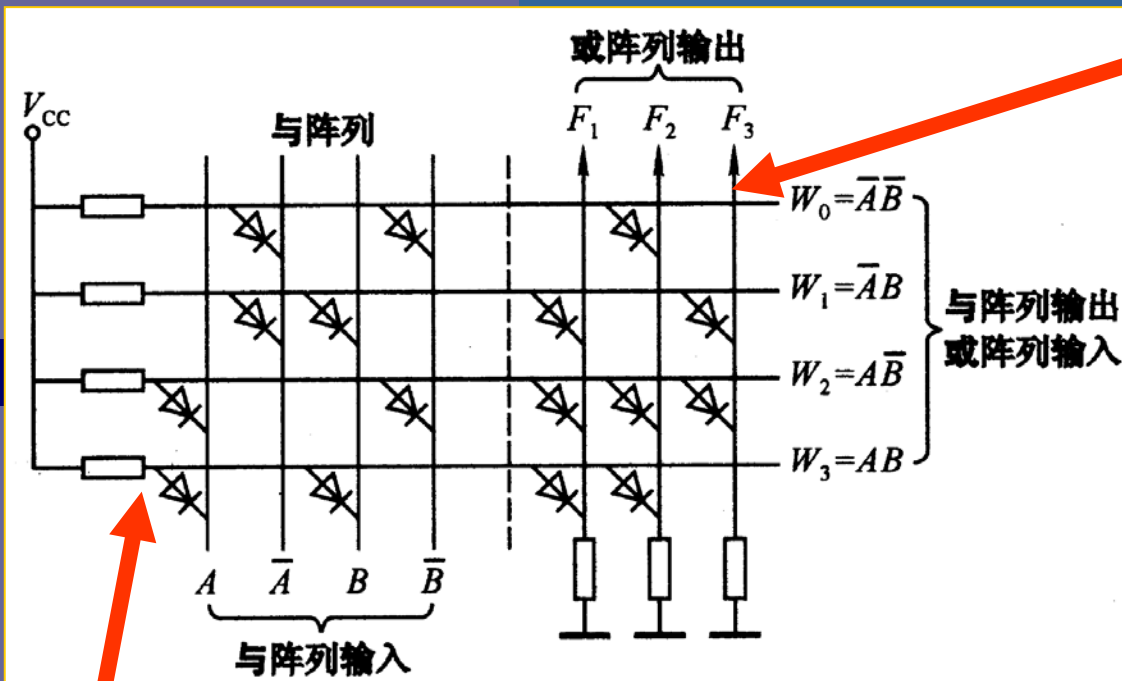


(e) 或门在 PLD 中的表示方法

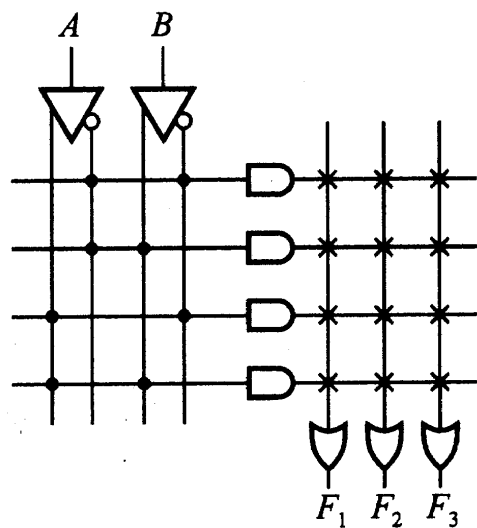
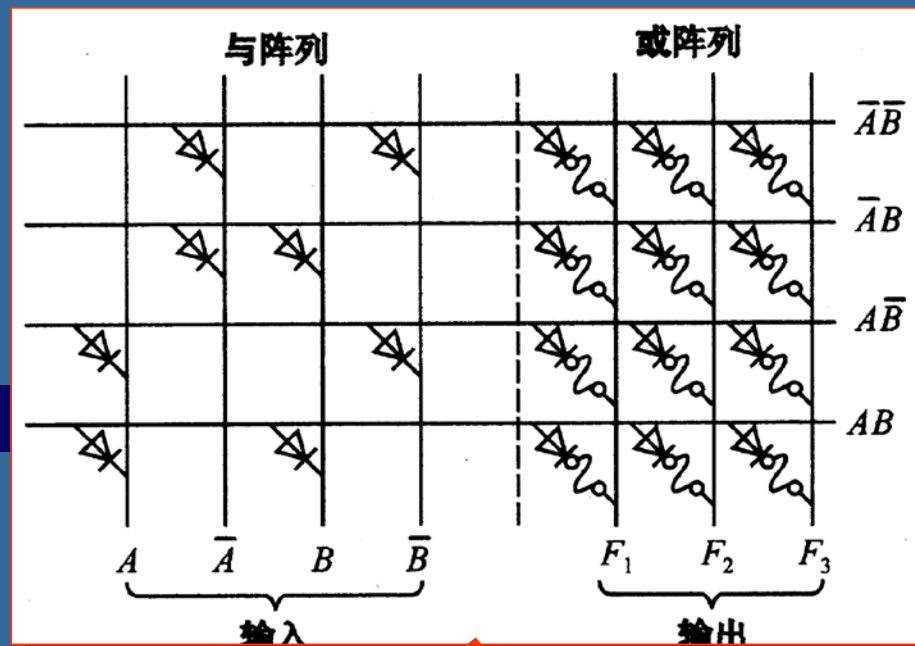


(f) 4 个乘积项的或门

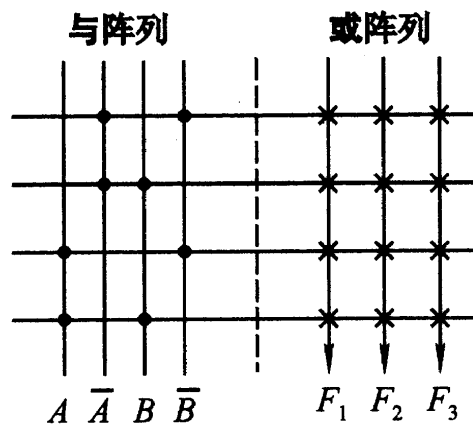
二极管构成的门阵列结构



阵列图

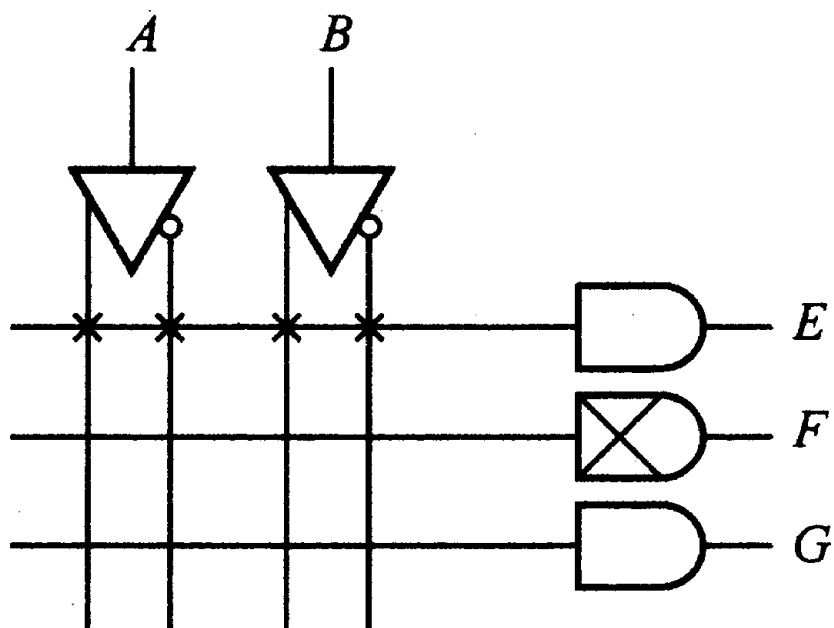


(a)



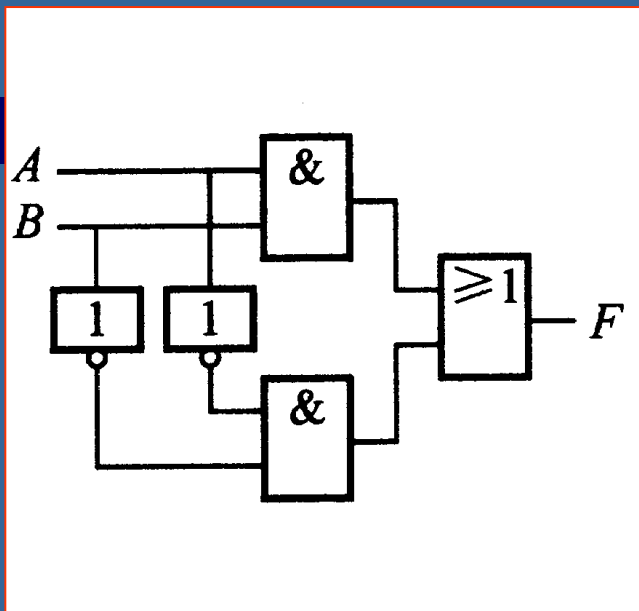
(b)

与门的三种简化表示法

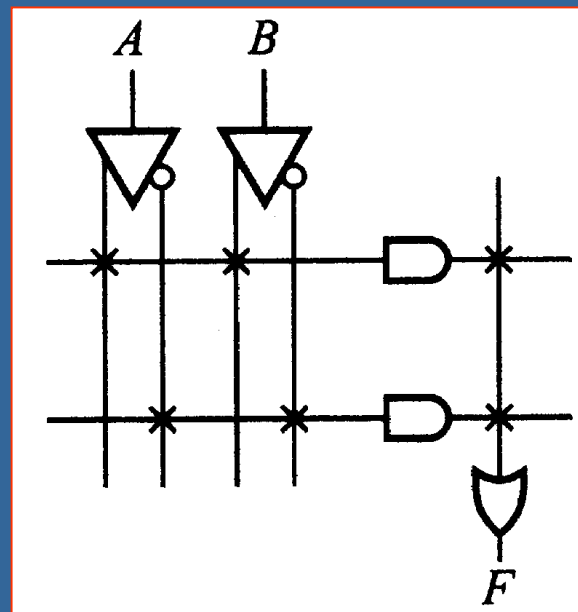


A	B	E	F	G
0	0	0	0	1
0	1	0	0	1
1	0	0	0	1
1	1	0	0	1

逻辑电路图和阵列图



$$F = AB + \bar{A}\bar{B}$$

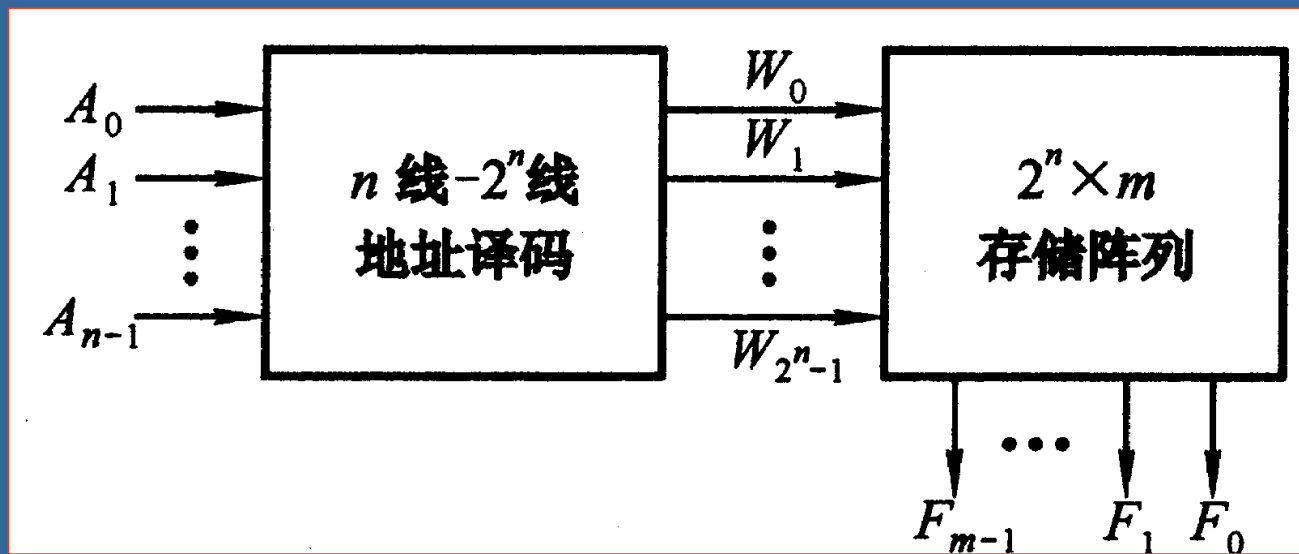
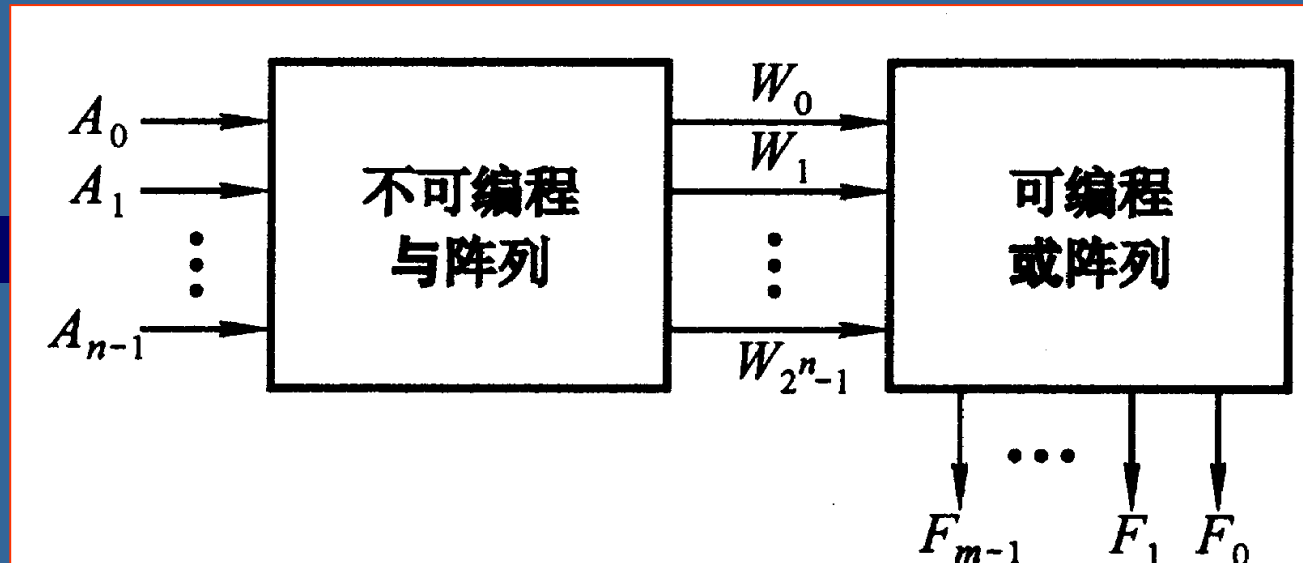


简单可编程逻辑器件SPLD

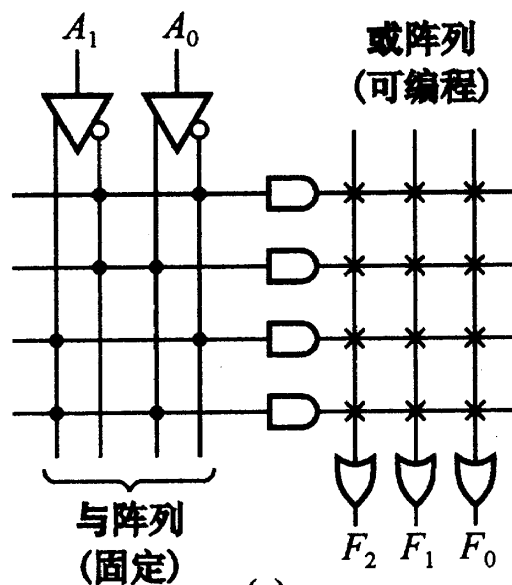
类型	与阵列	或阵列	输出方式	编程方式
PROM	固定	可编程	TS、OC	熔丝
PLA	可编程	可编程	H、L、TS、OC、寄存器	熔丝
PAL	可编程	固定	H、L、TS、I/O、寄存器	熔丝
GAL	可编程	固定	可编程	电可擦除

可编程只读存储器 PROM (Programmable Read Only Memory)

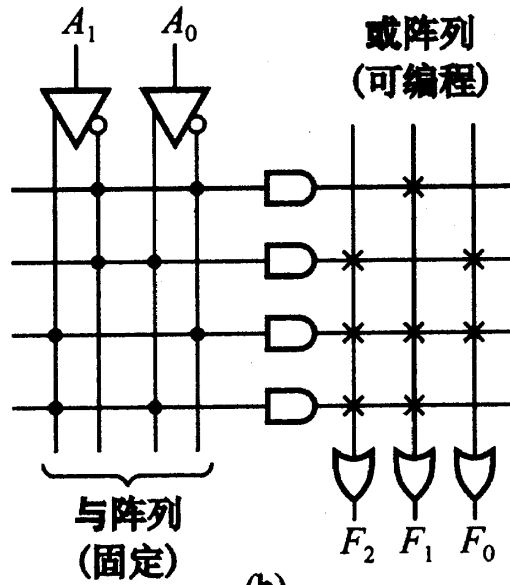
基本结构



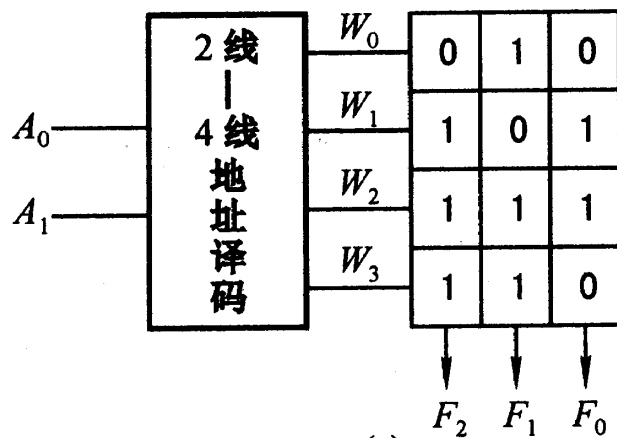
4×3ROM编程前后阵列图和作为存储器的示意图



(a)



(b)

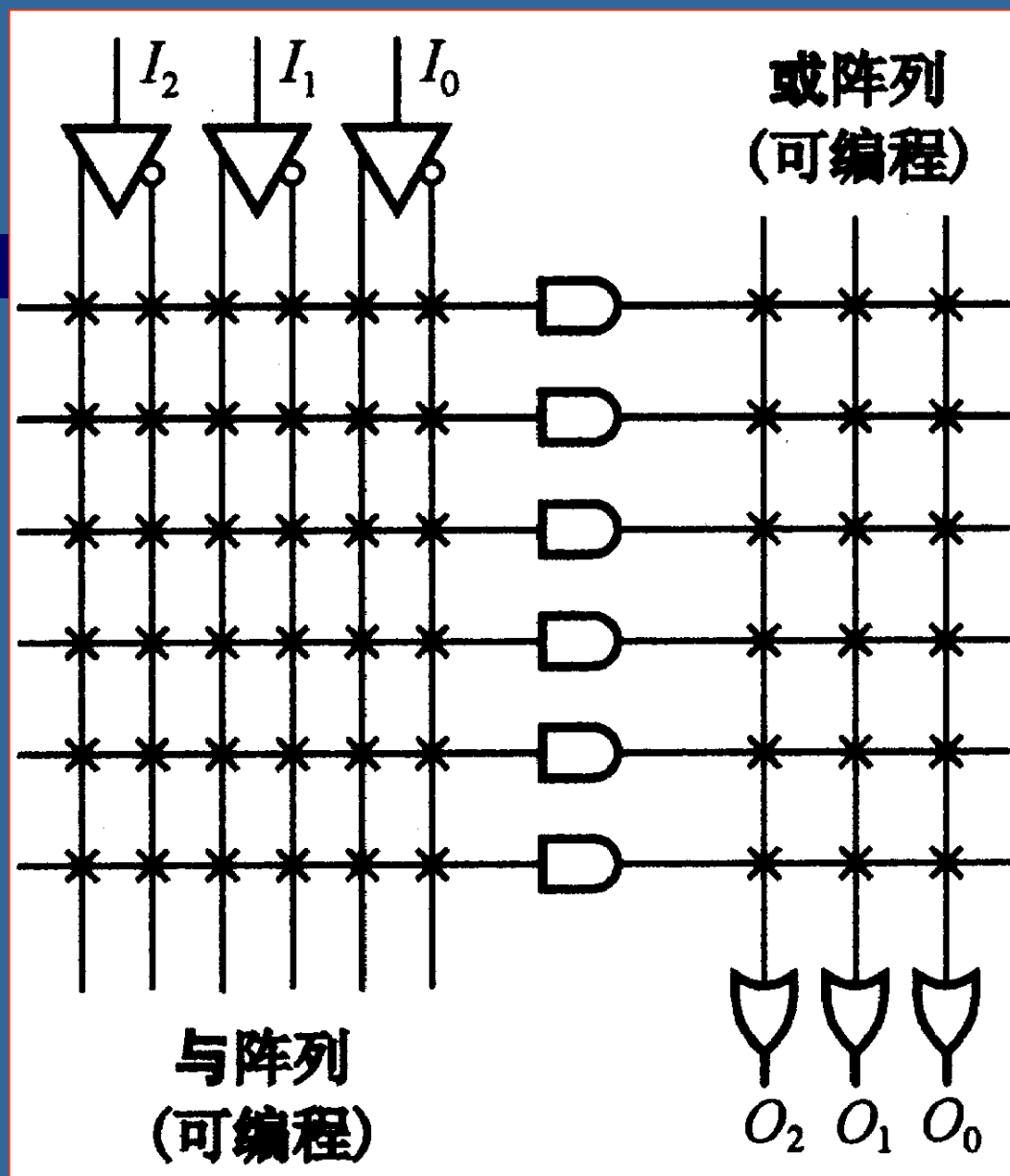


(c)

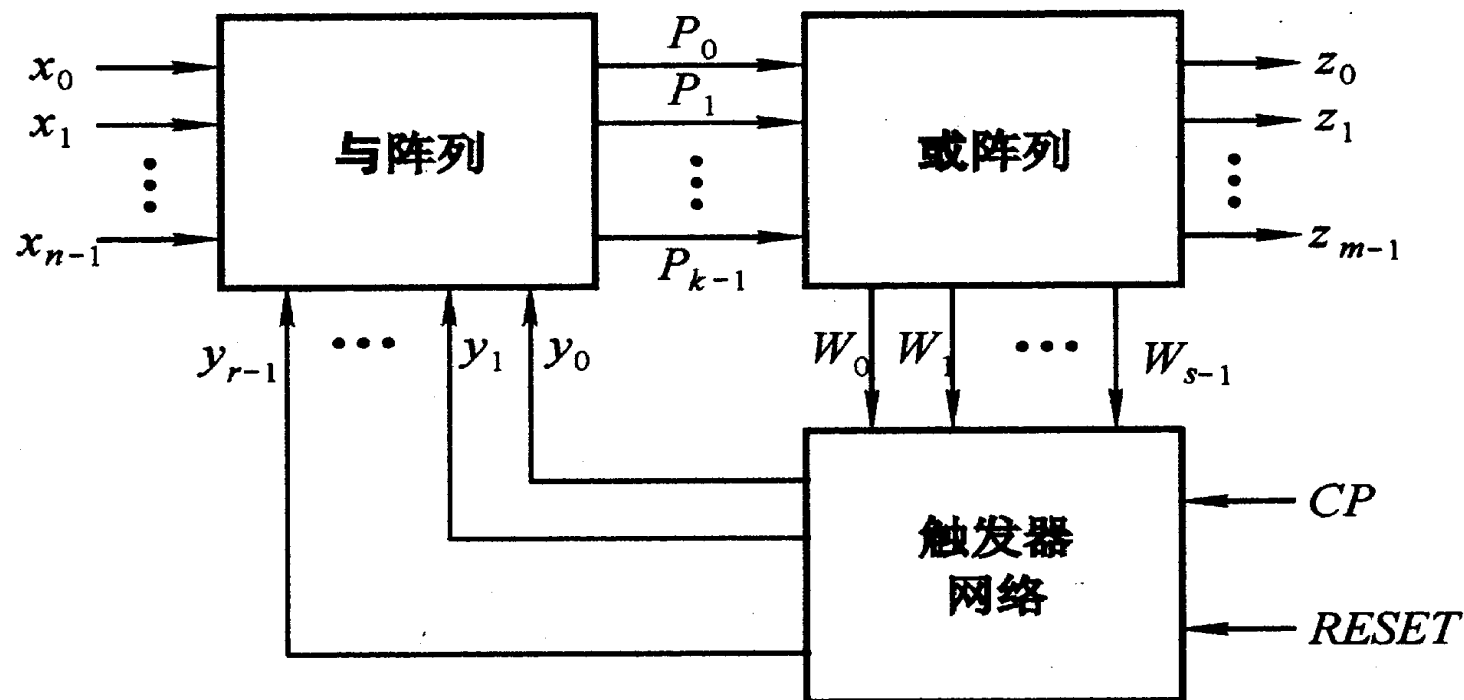
A_1	A_0	F_2	F_1	F_0
0	0	0	1	0
0	1	1	0	1
1	0	1	1	1
1	1	1	1	0

可编程逻辑阵PLA (Programmable Logic Array)

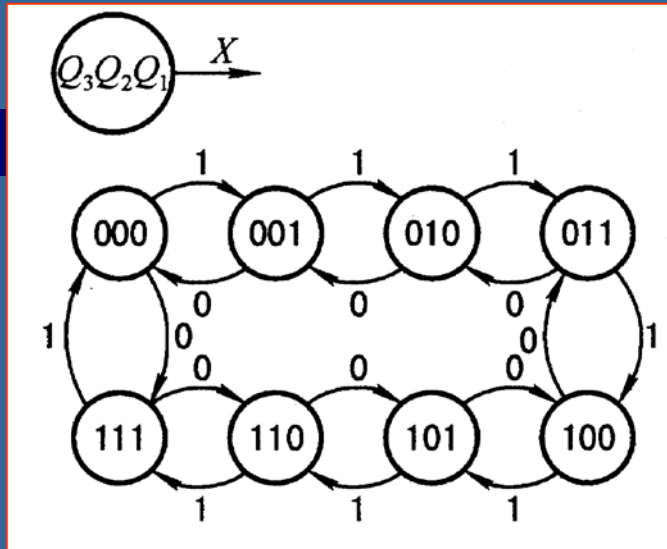
与、或阵列均可编程



时序PLA基本结构



例 模8加 / 减计数器状态图和PLA阵列图



$$J_3 = K_3 = \bar{Q}_2 \bar{Q}_1 \bar{X} + Q_2 Q_1 X$$

$$J_2 = K_2 = \bar{Q}_1 \bar{X} + Q_1 X$$

$$J_1 = K_1 = 1$$

