

# 数字电路与逻辑设计

# 作业题册

(学生用)



## 说明:

1. 本作业题均选自本课程所用教材《数字设计引论(第二版)》一书,习题编号也与原书一致,不清楚的地方请查阅原教材;
2. 习题解答请直接写在每道题下方的空白处,如书写不下,可续写在该题反面的纸张上;
3. 上交作业时,请一定要在每页的页眉处填写上答题日期及学号和姓名,以便老师记录同学作业完成情况。

南京航空航天大学

二〇一八年八月

**1.1** 转换下列十进制数为等值的二进制数:

(1) 51;            (3) 204;            (7)  $102/8$ ;            (9) 0.375;            (12)  $2^8 - 1$ 。

**1.2** 转换下列十进制数为 6 位的二进制数:

(1) 0.1;            (5) 0.82;            (7)  $0.125 \times 5$ ;            (10)  $0.1/32$ 。

**1.4** 转换下列二进制数为等值的十进制数:

(1) **1001**;            (6) **0.10101**;            (9) **1000.0011**。

**1.5** 转换题 1.4 中各二进制数为十六进制数。

**1.6** 转换题 1.4 中各二进制数为八进制数。

**1.7** 转换下列十六进制数为二进制数：

- (1) F0;            (4) ABCF;            (6) 0.712;            (12) E.0E。

**1.16** 完成下列二进制数的加法，并转换成十进制数进行检查。

- (1) **1001.1+1011.01;**  
(4) **10111.011+10111.011+10111.01+10111.011。**

**1.17** 完成下列二进制数的减法，并转换成十进制数进行检查。

- (1) **1101-1000;**  
(6) **1101.1-1010.01**

**1.23** 将下列自然二进制数转换成格雷码：

- (1) 11110;        (4) 1011001。

**1.24** 将下列格雷码转换成自然二进制数：

- (1) **11110;**        (3) **1011001。**

**1.29** 试写出下列十进制数的二进制原码、补码、反码（码长为8）。

(1) +51;      (2) -102;      (3) +105;      (4) -38。

**1.32** 已知  $N=110110010111$ ，分别写出在下列情况下表示的十进制数：

- (1) 无符号的二进制数；
- (2) 带符号的二进制数原码；
- (3) 带符号的二进制数反码；
- (4) 带符号的二进制数补码。

**1.34** 试以反码和补码完成下列运算（请列竖式运算式），并转换成十进制数验证之，其中各二进制数均为无符号的自然二进制数：

- (1)  $1011-110$ ;
- (2)  $110-0.11$ ;
- (5)  $0.11-110$ 。

**1.41** 试用二进制补码完成下列运算，并判别是否有溢出（码长为 5 位，符号位除外）:

- (1)  $15+16$ ;
- (2)  $21+17$ ;
- (3)  $-19-6$ ;
- (4)  $-8-26$ 。

**1.46** 将下列 8421 BCD 码转换成二进制数。

- (1) **1000 0110**;
- (2) **0111 1001 0001**;
- (4) **1001 0001.0101**。

**1.47** 将下列各数转换成 8421 BCD 码:

- (1) **(11011101)<sub>2</sub>** ;
- (2) **(763)<sub>10</sub>**;
- (4) **(312FF)<sub>16</sub>** ;
- (5) **(10010011)<sub>2421 BCD</sub>**;
- (6) **(11000011)<sub>余3码</sub>**。

**1.48** 试用 8421BCD 码完成下列十进制数的运算：

(1)  $58+27$ ;

(3)  $432-379$ 。

**2.2** 试用真值表证明下列等式成立:

$$(1) AB + \overline{A}C + BC = (A + C)(\overline{A} + B);$$

$$(3) A + B = A \oplus B \oplus AB。$$

**2.4** 试用布尔代数的基本公式和规则化简下列各式:

$$(1) F = \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C + A \overline{B} \overline{C} + A \overline{B} C;$$

$$(3) F = (AB + C + D)(\overline{C} + D)(\overline{C} + D + C)。$$

**2.5** 试用布尔代数的基本公式和规则化简下列函数:

$$(1) F = \overline{X[Y + \overline{Z}(Q + \overline{R})]};$$

$$(3) F = (X + Y)Z + \overline{X} \overline{Y} W + ZW。$$

2.6 用摩根定律对下列表达式求反，并化简：

$$(1) Z = A(B + C)(\overline{C} + \overline{D});$$

$$(6) Z = X + Y (Z + Q\overline{R})。$$

2.7 写出下列各式的对偶式：

$$(1) Z = \underline{\underline{A(B + \overline{C}) + \overline{AB}(C + \overline{D}) + A\overline{B}C + D}};$$

$$(3) Z = \overline{\overline{A} + B + C + D + E}。$$

2.8 用反演规则重做题 2.6。

$$(1) Z = A(B + C)(\overline{C} + \overline{D});$$

$$(6) Z = X + Y (Z + Q\overline{R})。$$



- 2.12** 举重比赛有 3 个裁判，一个是主裁判 A，另外两个是副裁判 B 和 C。运动员一次举重是否成功，由裁判员各自按动他面前的按钮决定，只有两个以上（其中必须有主裁判）判定为成功，表示“成功”的灯泡 L 才亮。试列出真值表和逻辑表达式。
- 2.16** 某监视器有红、黄、绿 3 只指示灯，用于指示 3 台设备的工作情况：当 3 台设备均正常时绿灯亮，其余灯灭；当有一台设备有故障时黄灯亮，其余灯灭；当 2 台设备发生故障时，红灯亮，其余灯灭；当 3 台设备都有故障时，红、黄均亮。试导出这监视器的真值表（应有三个输出列）和逻辑方程组，并对逻辑方程进行化简。

**2.17**  $X=X_2X_1X_0$  和  $Y=Y_2Y_1Y_0$  分别是某数据处理电路的输入和输出，且均为二进制数。当

$$0 \leq X \leq 3 \text{ 时, } Y=X;$$

$$4 \leq X \leq 6 \text{ 时, } Y=X+1;$$

$$X > 6 \text{ 时, } Y=X-1。$$

试列该电路的真值表，写出逻辑方程组并进行逻辑化简。

**2.26** 将下列函数展开为最小项之和：

$$(1) F(A, B, C, D) = AB + \overline{A} \overline{B} + CD;$$

$$(2) F(A, B, C) = \overline{\overline{A}(B + \overline{C})}。$$

2.27 将下列函数展开为最大项之积：

(1)  $F(A,B,C) = (A \oplus B) + \overline{A} \overline{C}$  ;

(2)  $F(A,B) = (A \oplus B)(A + B) + (A \oplus B)AB$  。

2.38 写出图 P2-1 中各电路的逻辑表达式。

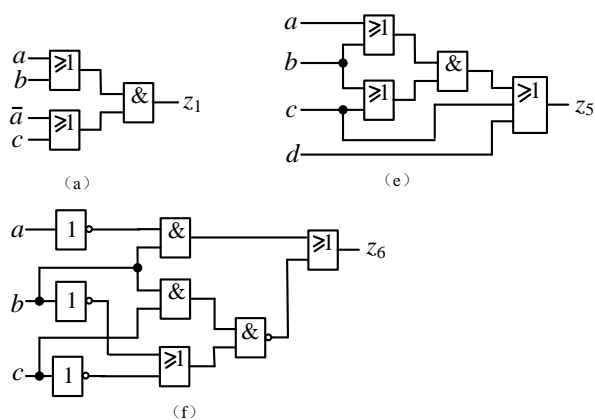
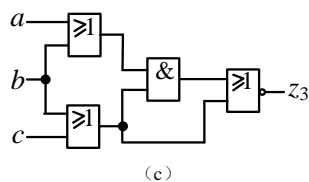


图 P2-1

(a)



**2.41** 试分析图 P2-4 所示电路的逻辑功能。

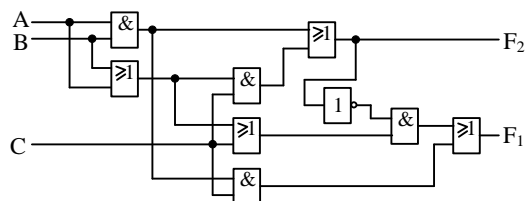


图 P2-4

**2.44** 试用卡诺图变换如下函数为最简的积之和表达式:

(2)  $F = \overline{A} \overline{B} \overline{C} + A \overline{B} \overline{C} + AC + B \overline{C}$ ;

(3)  $F(A, B, C, D) = \Sigma m(0, 3, 6, 7, 8, 11, 14, 15)$ ;

(11)  $F(A, B, C, D) = \Pi M(1, 6, 11, 12)$ 。

**2.45** 试用卡诺图法变换题 2.44 各函数为最简的和之积表达式。

**2.46** 试列出 1 位 8421BCD 码  $A_3 A_2 A_1 A_0$  到 2421BCD 码  $B_3 B_2 B_1 B_0$  转换器的真值表，并用卡诺图写出  $B_3$ 、 $B_2$ 、 $B_1$  和  $B_0$  的最简积之和表达式。

**2.48** 试用卡诺图化简下列函数为最简的积之和表达式及和之积表达式:

(1)  $F(A,B,C,D)=\Sigma m(2,9,10,12,13)+\Sigma d(1,5,14)$ ;

(5)  $F(A,B,C,D)=\Pi M(0,4,5,14,15) \cdot \Pi D(6,9,10,12,13)$ 。

**2.49** 化简下列各函数为最简的积之和表达式:

(1)  $F(A, B, C, D) = \Sigma m(0,2,7,13,15)$ , 且  $\overline{A}\overline{B}\overline{C} + \overline{A}B\overline{D} + \overline{A}\overline{B}D = 0$ ;

(2)  $F(A,B,C,D) = A\overline{B}\overline{C} + A\overline{B}\overline{C} + \overline{A}\overline{B}C\overline{D} + A\overline{B}C\overline{D}$ , 且 A, B, C、D 不能同时为 1 或同时为 0;

(3)  $F(A,B,C,D) = \overline{A}\overline{B}\overline{C} + ABC + \overline{A}\overline{B}C\overline{D}$ , 且  $A \oplus B = 0$ 。

答题日期:

年 月 日

学号

姓名

---



3.1 参阅教材 P79 图 3-1-2 集成电路的电平参数表, 列出 AHC、TTL、AHCT、3.3V ALVT、2.5V ALVT 的  $V_{OH}$ 、 $V_{OL}$ 、 $V_{IH}$ 、 $V_{IL}$ , 计算它们的  $V_{NH}$  及  $V_{NL}$ , 并填写于下表中。

型号 电平	AHC	TTL	AHCT	3.3VALVT	2.5VALVT
$V_{OH}$ (V)					
$V_{OL}$ (V)					
$V_{IH}$ (V)					
$V_{IL}$ (V)					
$V_{NH}$ (V)					
$V_{NL}$ (V)					

3.2 某集成电路具有如下电气特性:

- ①  $V_{OL}=0.4V$ , 并可注入  $10mA$  电流;
- ②  $V_{OH}=2.4V$ , 并可流出  $800\mu A$  电流;
- ③  $V_{IL}=0.8V$ ,  $V_{IH}=1.8V$ ;
- ④  $I_{IL}=1.2mA$ ,  $I_{IH}=100\mu A$ 。

试问:

- (1) 该电路的扇出系数为多少?
- (2) 分别计算  $V_{NH}$  及  $V_{NL}$ 。

3.7 试画出图 P3-2 所示电路中各点在考虑门电路有延迟情况下的波形。各逻辑门平均传输延迟为  $10\text{ ns}$ , 输入信号 A 的周期为  $100\text{ ns}$ 。

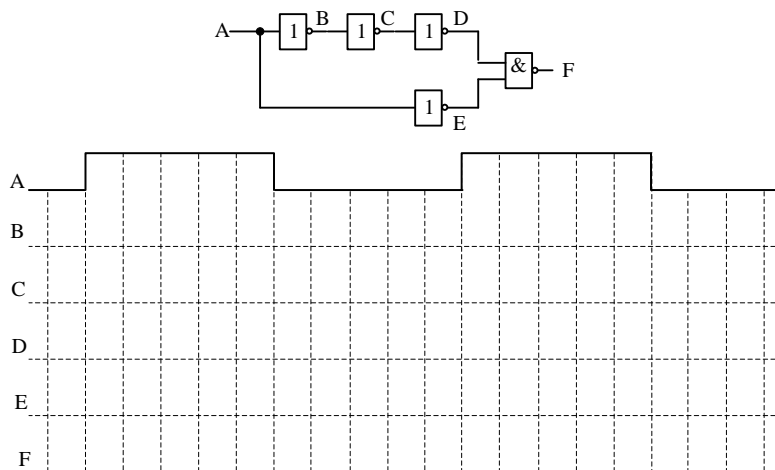


图 P3-2

3.8 写出图 P3-3 所示各电路的逻辑表达式。

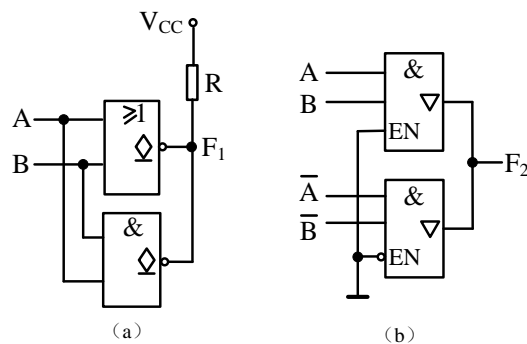


图 P3-3

3.14 任意一种逻辑门电路，例如与门、或门和异或门，在使用时经常有多余的输入端，通常处置这种多余输入端有以下几种方法，试说明它们各适用于何种逻辑器件。

- (1) 将多余输入端任其开路；
- (2) 将多余输入端通过一电阻接到电源或高电平；
- (3) 将多余输入端接地或接低电平；
- (4) 将多余的输入端和使用的输入端并联。

3.15 试画出下列各种门电路的逻辑符号。

- (1) 三 3 输入与非门；
- (2) 四 2 输入与非门 (OC)；
- (3) 4-3-2-2 与或非门；
- (4) 四 2 输入异或门 (OC)；

**3.18** 已知下列各 2 输入门的输入波形 A 及 B，如图 P3-8 所示，试画出各逻辑门的输出波形（不考虑器件传输延迟）。

- (1) 与非门；
- (2) 或非门；
- (3) 异或门；
- (4) 非门（3S，A 为使能信号，低电平有效）。

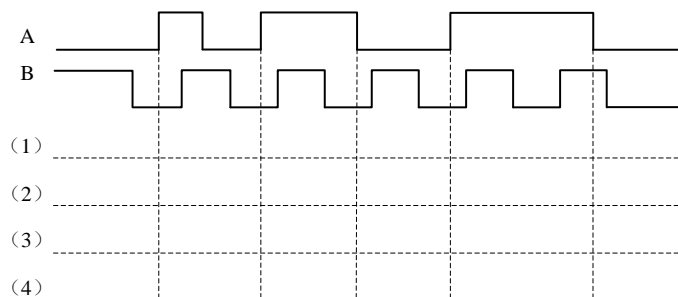


图 P3-8

**3.23** 试设计一个 1 位全减器， $X_i$ 、 $Y_i$  为本位的被减数和减数， $B_i$  为由低位来的借位输入； $D_i$  和  $B_{i+1}$  为本位之差和向高位的借位。列出真值表，写出逻辑方程，用与非门实现之，并用该全减器构成 4 位行波借位减法器（框图表示）。

**3.30** 试用 74283（4 位二进制加法器）再辅以适当门电路构成  $4 \times 2$  乘法器  $A \times B$ ，其中  $A = a_3 a_2 a_1 a_0$ ， $B = b_1 b_0$ 。

**3.35** 设用 7485（4 位并行比较器）构成 16 位无符号数的比较器。

**3.37** 试用 7485 再辅以适当门电路构成字符分选电路。当输入为字符 A、B、C、D、E、F、G 的 7 位 ASCII 码（ASCII 码请参见教材 P30 表 1-2-4）时，分选电路输出  $Z=0$ ，反之， $Z=1$ 。

**3.40** 用 1 片 3 线-8 线译码器 74138 和一些与门/与非门实现下列多输出函数:

$$\begin{cases} F_1 = AB + \bar{A}\bar{B}\bar{C} \\ F_2 = A + B + \bar{C} \\ F_3 = \bar{A}B + A\bar{B} \end{cases}$$

**3.44** 写出图 P3-11 所示电路的逻辑方程。

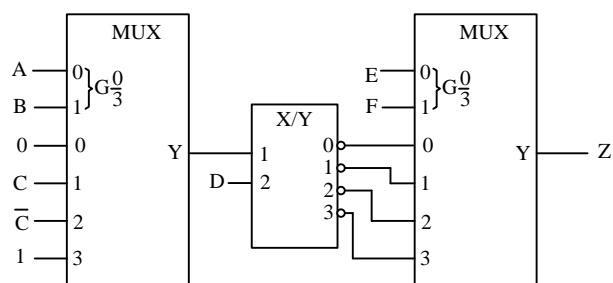


图 P3-11

**3.45** 试用 8 线-3 线优先编码器 74148 构成一个 16 线-4 线优先编码器。

**3.47** 试构成一个字符识别电路，它可以识别 A，B，C，D，E，F，G 7 个字符的 ASCII 码，并指出为何字符。

**3.48** 在计算机系统中, 中央处理器地址总线给出地址码并通过地址译码器对外部设备进行管理。图 P3-12 中的  $U_1$ 、 $U_2$  是受管理的两个设备, 当  $\overline{CS}_1$  (或  $\overline{CS}_2$ ) 为 0 时, 设备  $U_1$  (或  $U_2$ ) 占据数据总线, 试求图中设备  $U_1$  和  $U_2$  的地址分别为多少?

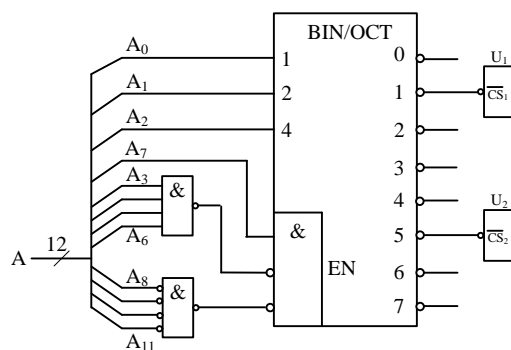


图 P3-12



**3.51** 用 4 选 1 MUX74153 实现下列函数:

(1)  $F(A,B,C) = \Sigma m(0,1,3,4,6,7)$ ;

(3)  $F(A,B,C,D) = \Sigma m(0,1,3,5,6,8,9,11 \sim 13)$  (注: 只允许用 74153 其中的 1 片)。

**3.65** A 和 B 是两个 4 位无符号二进制数，试设计一个大数减小数电路，当  $A > B$  时，输出  $A - B$ ，当  $A \leq B$  时，输出  $B - A$ 。

**3.71** 下列各函数相等，试找出其中无逻辑险象的函数式：

(1)  $F_1 = \overline{AC} + AB + \overline{BC}$

(2)  $F_2 = \overline{AC} + AB + \overline{BC} + \overline{AC}$

(3)  $F_3 = \overline{AC} + AB + \overline{BC} + BC$

(4)  $F_4 = \overline{AC} + AB + \overline{BC} + \overline{AB}$

(5)  $F_5 = \overline{AC} + AB + \overline{BC} + \overline{AC} + BC + \overline{AB}$

(6)  $F_6 = (A + \overline{B} + C)(\overline{A} + B + \overline{C})$

**3.72** 用无逻辑险象的两级与非门电路实现下列函数:

$$(2) F(A,B,C,D) = \Sigma m(0 \sim 3, 5, 8, 10, 12 \sim 14)$$

**3.74** 已知函数  $F(A,B,C,D) = \Sigma m(2, 6 \sim 9, 12 \sim 15)$ , 试判断当输入变量按自然二进制码的顺序变化时, 是否存在功能险象。若存在, 请用选通脉冲法消除之。并画出用与非门实现的逻辑电路图。

4.2 加于由与非门构成的 S-R 锁存器的信号如图 P4-1 所示，试画出  $Q$  及  $\bar{Q}$  端的波形图。

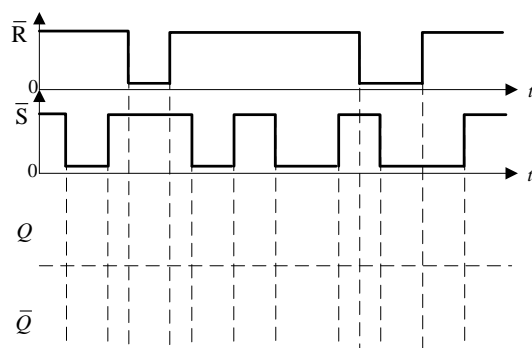


图 P4-1

4.3 设由与非门构成的时钟 R-S 锁存器（参见教材 P141 图 4-1-8 (a)）的初态为 0，当 R、S 和 CP 端加有图 P4-2 所示波形时，试画出  $Q$  端的波形。

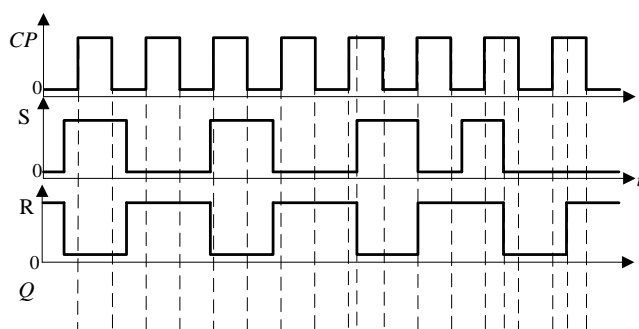


图 P4-2

4.5 边沿触发型 S-R 触发器构成的电路如图 P4-4 所示，画出  $Q$  的波形，并分析电路功能。

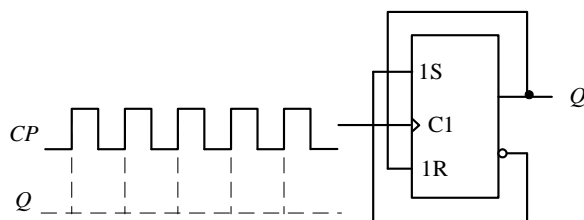


图 P4-4

4.6 设图 P4-5 中各触发器初始状态均为 0，试画出各触发器在  $CP$  作用下  $Q$  端的波形。

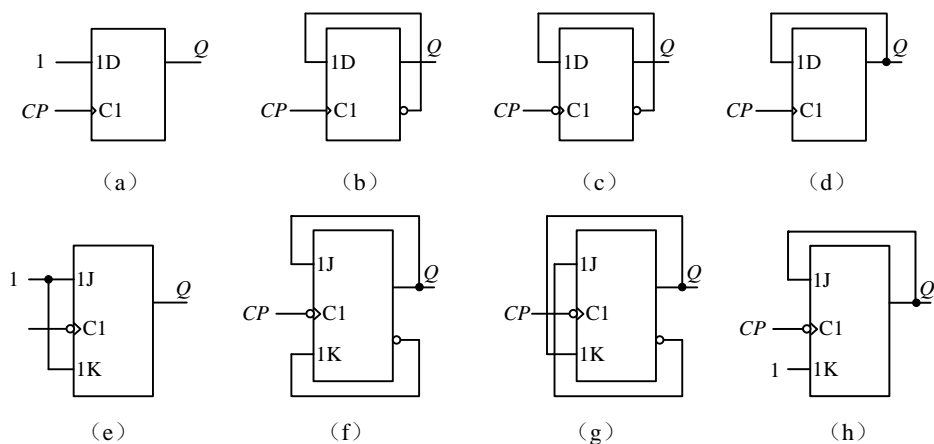
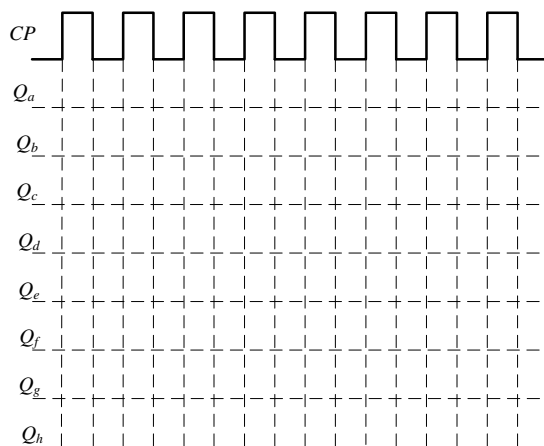


图 P4-5



4.10 画出图 P4-9 所示电路在图示输入信号作用下  $Q_1$  和  $Q_2$  的波形。

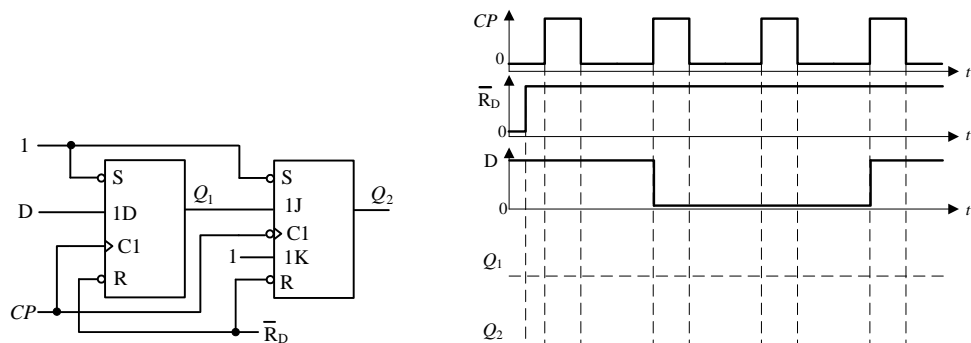


图 P4-9

4.11 试画出图 P4-10 所示电路中 B 端的波形，并比较 A 与 B 的波形，说明此电路的功能（设各触发器初态为 0）。

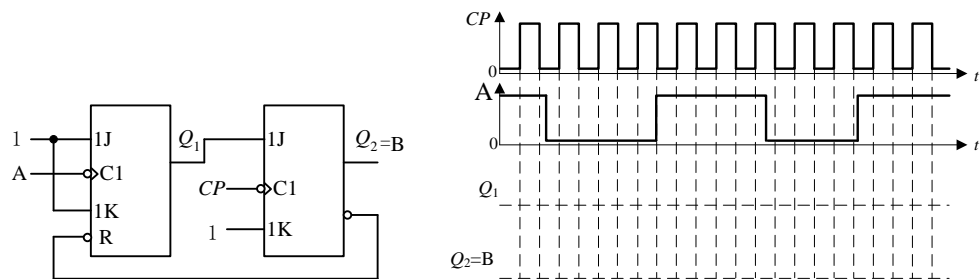


图 P4-10

4.12 试用 D 触发器设计一个异步二进制模 8 加/减计数器。当控制信号  $x=0$  时，计数器进行加法计数，反之做减法计数。

4.13 试用 J-K 触发器设计上题的模 8 加/减计数器。

4.14 试把表 P4-1 所示的状态表变换成状态图。

表 P4-1 题目 4.14 状态表

(a)			(b)					
		$x$						
			0	1				
PS					$x_1x_2$			$z$
A			B/0	C/0	00	01	11	10
B			D/0	C/0	$S_3$	$S_2$	$S_1$	$S_0$
C			F/0	G/0	$S_2$	$S_3$	$S_2$	$S_1$
D			E/1	E/0	$S_1$	$S_0$	$S_3$	$S_2$
E			E/0	E/0	$S_2$	$S_1$	$S_0$	$S_3$
F			F/0	F/1	$S_3$	$S_0$	$S_1$	$S_0$
G			F/1	F/0				

NS/z

4.16 已知状态图如图 P4-11 所示，试画出它的状态表。

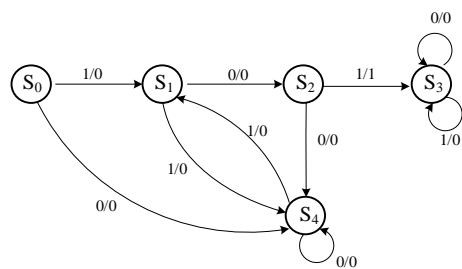


图 P4-11

4.19 试导出图 P4-13 所示电路的状态表及状态图。

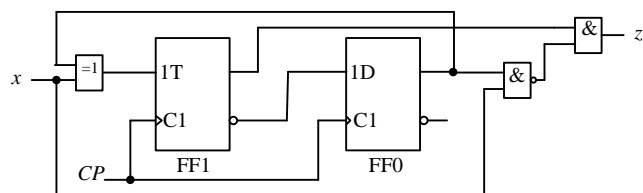


图 P4-13





4.38 试分析图 P4-31 所示电路的功能。

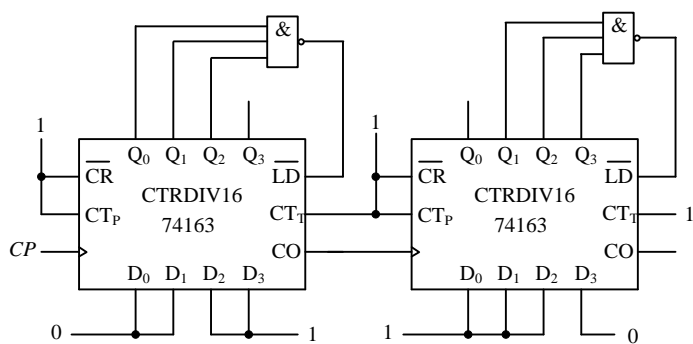


图 P4-31

- 4.39 图 P4-32 所示为由二—十进制编码器 74147 和同步十进制计数器 74162 组成的可控分频器。试说明输入信号 A、B、C、D、E、F、G、H、I 依次为低电平（且其他输入端为高电平）时，由  $f$  端输出的信号频率依次为多少？假设  $CP$  的重复频率为 10kHz。

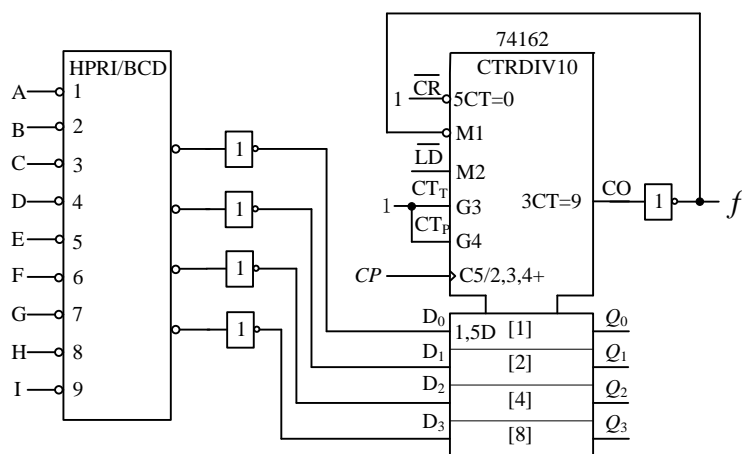
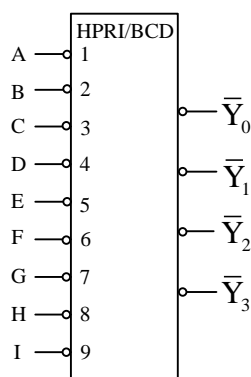


图 P4-32

注：74147 逻辑符号

74147 功能表



输 入										输 出			
I	H	G	F	E	D	C	B	A		$\bar{Y}_3$	$\bar{Y}_2$	$\bar{Y}_1$	$\bar{Y}_0$
1	1	1	1	1	1	1	1	1		1	1	1	1
0	x	x	x	x	x	x	x	x		0	1	1	1
1	0	x	x	x	x	x	x	x		1	0	0	0
1	1	0	x	x	x	x	x	x		1	0	0	1
1	1	1	0	x	x	x	x	x		1	0	1	0
1	1	1	1	0	x	x	x	x		1	0	1	1
1	1	1	1	1	0	x	x	x		1	1	0	0
1	1	1	1	1	1	0	x	x		1	1	0	1
1	1	1	1	1	1	1	0	x		1	1	1	0
1	1	1	1	1	1	1	1	0		1	1	1	0

**4.41** 用集成计数器 74163 并辅以少量门电路实现下列计数器:

- (1) 计数规律为 0, 1, 2, 3, 4, 9, 10, 11, 12, 13, 14, 15, 0, 1, ... 计数器;
- (2) 二进制模 60 计数器;
- (3) 8421BCD 码模 60 计数器。

4.43 试选用集成计数器及组合电路构成 010011000111 序列信号发生器。

4.46 电路如图 P4-36 所示，试画出其状态图。

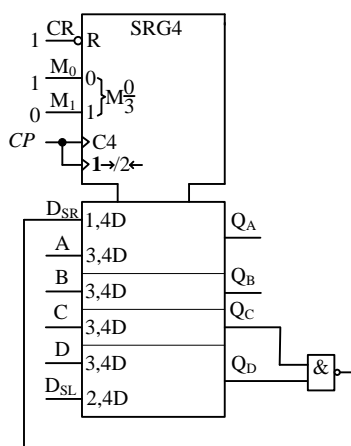


图 P4-36

**4.47** 现欲用 2114 构成  $2K \times 8$  的静态存储器，试画出其逻辑图。

- 5.1** 画出 1001 序列检测器的状态图。该同步时序电路有一根输入线  $x$ ，一根输出线  $z$ ，对应于序列 1001 的最后一个 1，输出  $z = 1$ 。如果  $z = 1$ ，则仅当收到的输入信号为 0 时，输出信号  $z$  才变为 0，否则保持为 1。序列可以重叠，例如：

$x$ : 0100111011001001

$z$ : 0000111000001001

- 5.5** 按下列两种情况，分别画出串行二进制数值比较器的状态图。若输入  $A > B$ ，则输出  $z_1 z_2 = 10$ ；若  $A < B$ ，则  $z_1 z_2 = 01$ ；若  $A = B$ ， $z_1 z_2 = 11$ 。

- (1) 输入二进制数的高位在前；
- (2) 输入二进制数的低位在前。

5.7 米里型电路具有一个输入端  $x$  和一个输出端  $z$ ，当且仅当输入序列中 1 的个数为 3 的倍数（如 0, 3, 6, ...）时，输出  $z=1$ 。试画出它的状态图。

5.11 用表格法化简表 P5-2 中的各状态表。

表 P5-2 题 5.11 状态表

$PS \backslash x$	0	1
A	B/0	C/0
B	D/0	G/0
C	F/0	E/0
D	A/1	B/0
E	C/0	D/0
F	F/0	G/0
G	B/0	F/0

(a)

$PS \backslash x$	0	1
A	A/0	C/0
B	D/1	A/0
C	F/0	F/0
D	E/1	B/0
E	G/1	G/0
F	C/0	C/0
G	B/1	H/0
H	H/0	C/0

(b)

$PS \backslash x_1 x_2$	00	01	11
A	D/1	C/0	E/1
B	D/0	E/0	C/1
C	A/0	E/0	B/1
D	A/1	B/0	E/1
E	A/1	C/0	B/1

(c)



**5.12** 状态分配及状态表如表 P5-3 所示。分别写出采用 D 触发器、J-K 触发器时的激励方程和输出方程，并画出逻辑图。

**表 P5-3 题 5.12 状态表**

		$x$	
		0	1
$PS$	00 A	B/0	D/0
	01 B	C/0	A/0
	10 C	D/0	B/0
	11 D	A/1	C/1

NS/z

**5.13** 按状态分配规则对表 P5-4 所示的状态表进行分配，画出编码状态表。

**表 P5-4 题 5.13 状态表**

$x$	0	1
$PS$		
A	B/0	D/0
B	C/0	A/0
C	D/0	A/0
D	B/1	C/1

NS/z

**5.14** 按上题的分配结果，用 D 触发器实现之。

**5.18** 试用 JK 触发器构成一个模 8 格雷码同步计数器（画出逻辑图）。

**5.20** 试设计一个计数器，按如下规律进行计数：

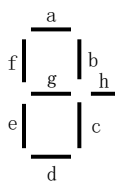
1, 4, 3, 5, 7, 6, 2, 1, ...

**7.1** 用 PROM 实现下列多输出函数：

$$\begin{cases} F_1 = \overline{A}BC + \overline{A}\overline{C} + \overline{B}C \\ F_2 = A + B + C \\ F_3 = \overline{A}B + \overline{A}\overline{B} + \overline{C} \\ F_4 = (A + B + C)(\overline{A} + \overline{B} + \overline{C}) + \overline{ABC} \end{cases}$$

**7.2** 用 PROM 设计一个全减器。输入为  $X_i$ （被减数）、 $Y_i$ （减数）和  $b_{i-1}$ （低位借位），输出为  $D_i$ （差）和  $b_i$ （本位向高位的借位）。

**7.4** 用 PROM 组成 8421BCD 码 ( $B_3B_2B_1B_0$ ) 到八段显示器的译码电路。该显示器字型如图 P7-1 所示。



**图 P7-1**

- 7.7** 试设计一灯光控制电路。应控制 A、B、C 3 个灯按图 P7-2 所示规律变化，时钟信号周期为 10s，试用 D 触发器和 PLA 实现此电路（图中，空心圆表示灯燃亮，画斜线的圆表示灯熄灭）（要求有自启动功能）。

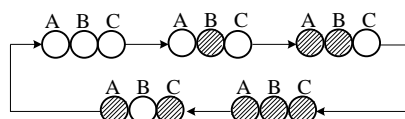


图 P7-2

- 7.16** 用 PLA 实现题 7.1 的多输出函数，画出相应的 PLA 图。

**7.19** 分析如图 P7-5 所示组合 PLA 和 D 触发器构成的逻辑电路，画出电路的状态表和状态图，并概述电路功能（电路初始状态  $Q_0Q_1Q_2=000$ ）。

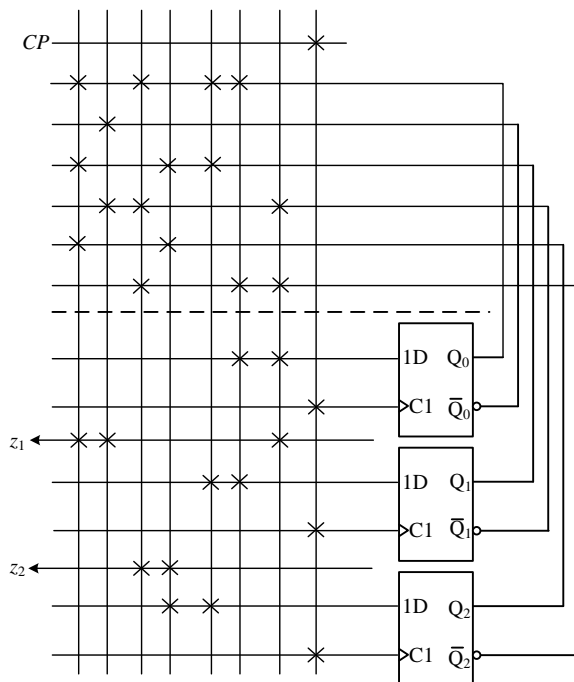


图 P7-5

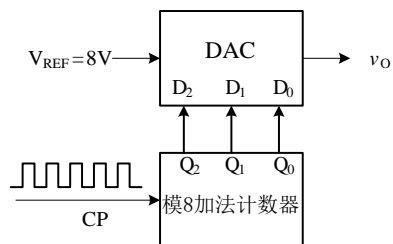
**7.25** 试用时序 PLA 设计一个 3 位循环码计数器。



(2) 当输入数字量  $D=1010100111$  时的输出模拟电压值。

(3) 当  $D=111111$  时, 输出电压  $v_o$  的值。

**9.21** 图 P9-8 中时钟信号 CP 的周期  $T_{CP}=1\text{ms}$ ， $V_{REF}=+8\text{V}$ ，画出 DAC 输出电压  $v_O$  的波形（画出两个波形重复周期）。



**9.25** 选择集成 DAC 芯片时，主要考虑因素是哪些？并试述理由。

**9.26** A/D 转换的基本过程有哪些？它们各完成什么功能？A/D 转换的一般表达式是什么？

**9.27** A/D 转换器中的量化误差是怎样产生的？是四舍五入量化方式和去零取整量化方式所产生的量化误差有何区别？

**9.29** 若要求 ADC 能够分辨 0.0025V 的电压变换，其满度输出所对应的输入电压为 9.9976V，问该 A/D 转换器至少应有多少位字长？

**9.34** 已知并行型 ADC， $v_A = 0 \sim 10V$ ， $V_{REF} = 10V$ ，采用四舍五入方式进行量化，输出数字量 D 的位数  $n=4$ ，求  $V_A=6.28V$  时，输出数字量 D 为多少？其量化误差  $\varepsilon$  为多少？

**9.37** 某 12 位二进制输出的逐次比较型 ADC，其最小转换时间为  $26\mu s$ 。求时钟频率的上限。

**9.44** 一个采用十进制显示的 4 位半双积分型 ADC，其最大计数容量为  $(20000)_{10}$ ，时钟频率为  $f_{CP}=5kHz$ ，试求：

- (1) 完成一次转换的最长时间；
- (2) 要求计数器值和被测电压一致，例如，当  $V_A=2V$  时，计数值为 19999，则基准电压  $V_{REF}$  应如何选择？
- (3) 如果扩充电压量程为 20V，2V，0.2V，则电路应增加什么措施？