

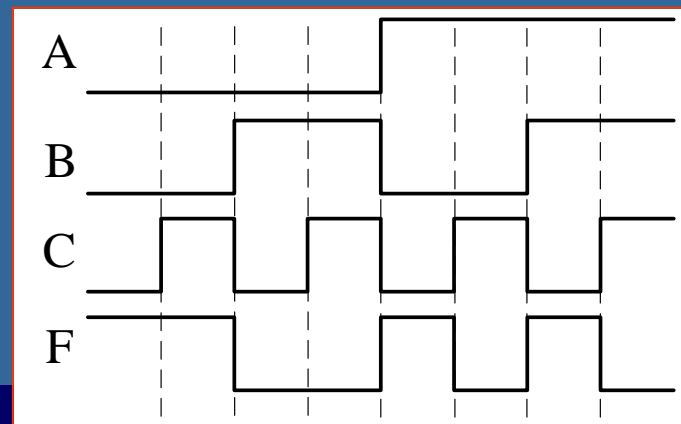
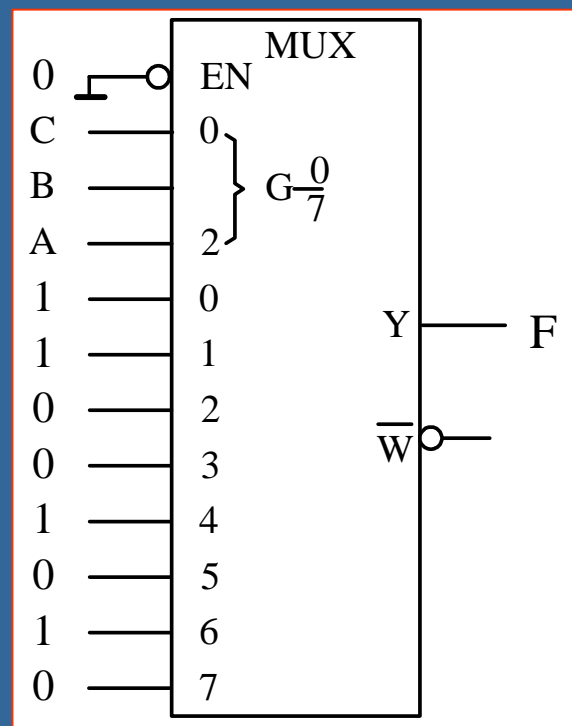
**例1** P132 习题3.50 电路的输出F与输入A, B, C的关系如图下所示, 试用一片8选1 MUX74151实现之。

**解:**

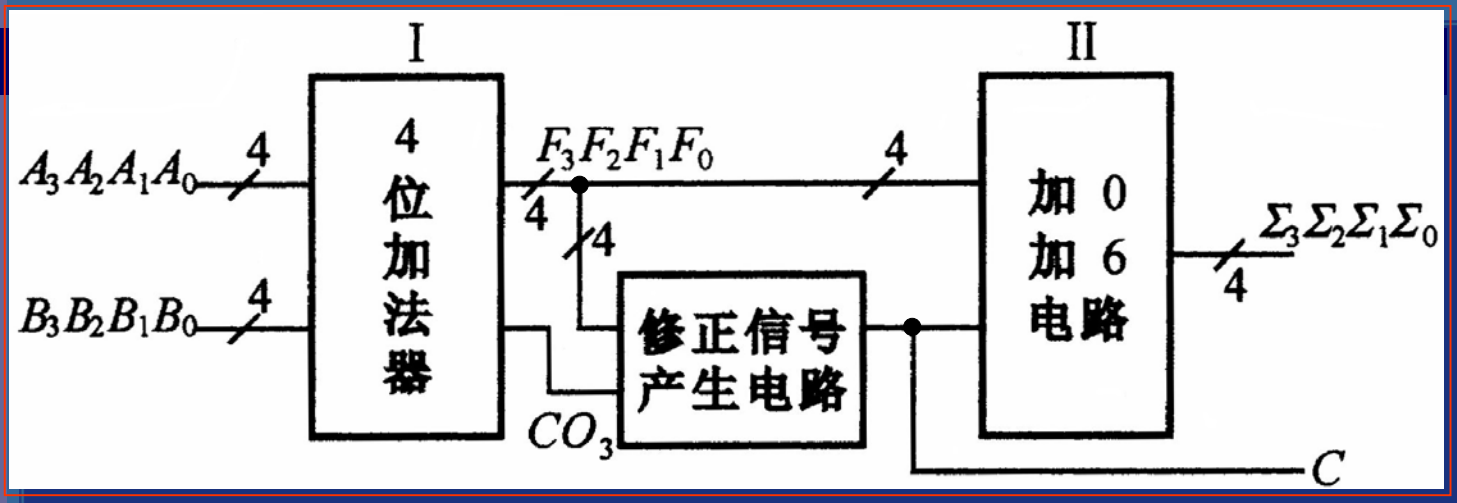
列出真值表

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

逻辑图



例2 试用2片加法器7483和1片数据选择器74151设计一位8421BCD码加法器（不允许再用其它器件）。



$$C = CO_3 + F_3F_2 + F_3F_1$$

解:

$$C = CO_3 + F_3F_2 + F_3F_1$$

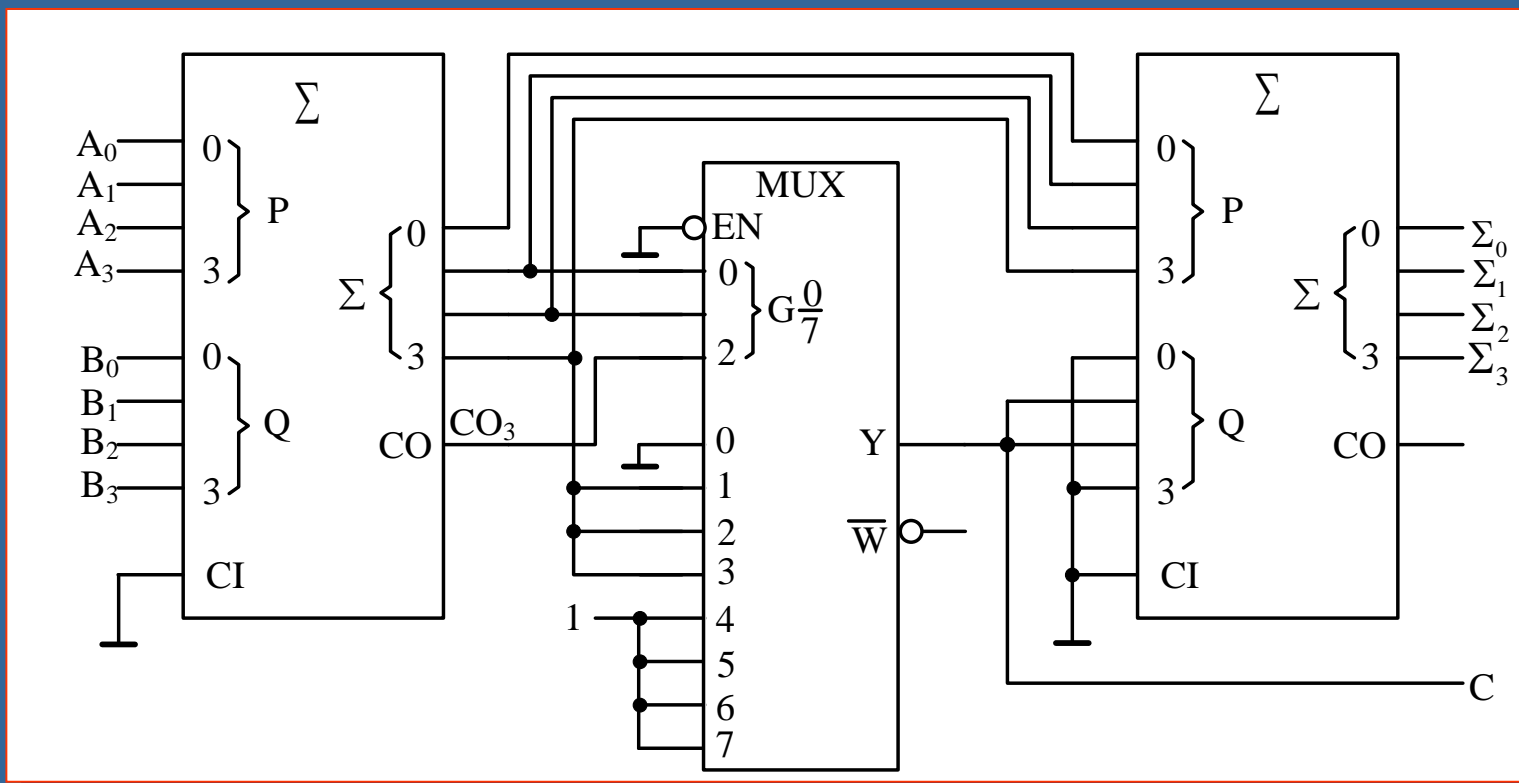
$F_2F_1$ $CO_3F_3$		00	01	11	10
		00	01	11	10
00	0	0	0	0	0
01	0	1	1	1	1
11	1	1	1	1	1
10	1	1	1	1	1

C

降维

		$F_2F_1$			
		00	01	11	10
$CO_3$	0	0	$F_3$	$F_3$	$F_3$
	1	1	1	1	1

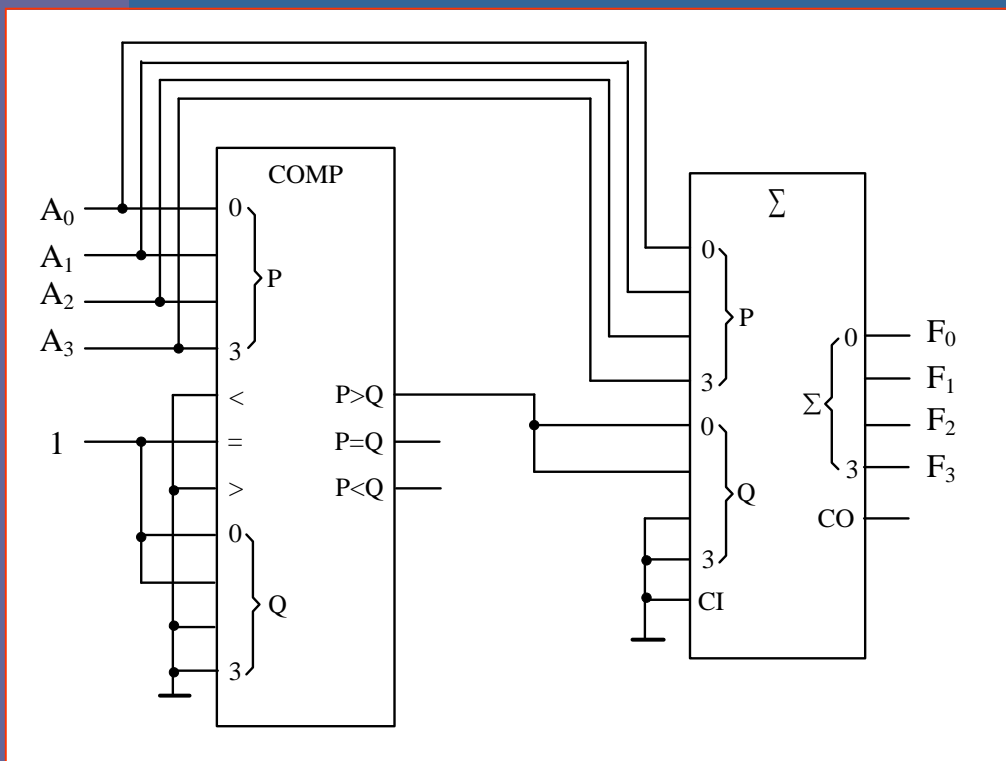
C



**例3** 分析由4位数值比较器7485和4位并行加法器7483组成的逻辑电路, 其中 $A_3A_2A_1A_0$ 为8421BCD码, 试写出输出 $F_3F_2F_1F_0$ 的逻辑表达式。

**解:**

**真值表**



$A_3$	$A_2$	$A_1$	$A_0$	$F_3$	$F_2$	$F_1$	$F_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

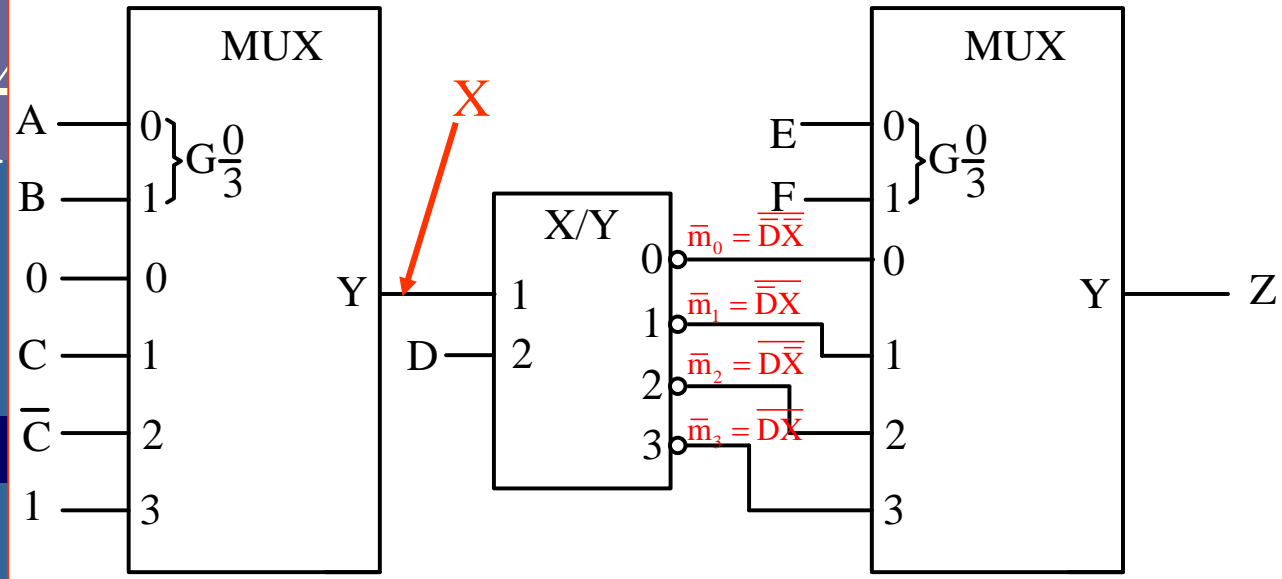
**逻辑表达式:**  $F_3(A_3A_2A_1A_0) = \Sigma m(5,6,7,8,9) + \Sigma d(10,11,12,13,14,15)$

$F_2(A_3A_2A_1A_0) = \Sigma m(4,9) + \Sigma d(10,11,12,13,14,15)$

$F_1(A_3A_2A_1A_0) = \Sigma m(2,3,4,7,8) + \Sigma d(10,11,12,13,14,15)$

$F_0(A_3A_2A_1A_0) = \Sigma m(1,3,4,6,8) + \Sigma d(10,11,12,13,14,15)$

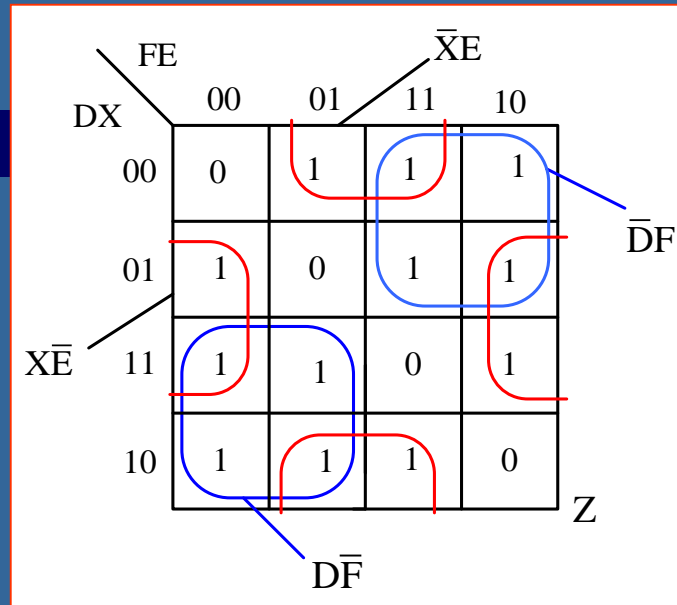
### 解:求逻辑方程:



$$\begin{aligned} X &= \overline{\overline{B}}\overline{\overline{A}} \cdot 0 + \overline{\overline{B}}\overline{\overline{A}} \cdot C + \overline{\overline{B}}\overline{\overline{A}} \cdot \overline{C} + \overline{\overline{B}}\overline{\overline{A}} \cdot 1 \\ &= AC + AB + B\overline{C} \\ &= AC + B\overline{C} \end{aligned}$$

$$\begin{aligned} Z &= (\overline{F}\overline{E}) \cdot (\overline{D}\overline{X}) + (\overline{F}\overline{E}) \cdot (\overline{D}\overline{X}) + (\overline{F}\overline{E}) \cdot (\overline{D}\overline{X}) + (\overline{F}\overline{E}) \cdot (\overline{D}\overline{X}) \\ &= (\overline{F}\overline{E}) \cdot (D+X) + (\overline{F}\overline{E}) \cdot (D+\overline{X}) + (\overline{F}\overline{E}) \cdot (\overline{D}+X) + (\overline{F}\overline{E}) \cdot (\overline{D}+\overline{X}) \\ &= \overline{F}\overline{E}D + \overline{F}\overline{E}X + \overline{F}\overline{E}D + \overline{F}\overline{E}\overline{X} + \overline{F}\overline{E}\overline{D} + \overline{F}\overline{E}X + \overline{F}\overline{E}\overline{D} + \overline{F}\overline{E}\overline{X} \end{aligned}$$

$$\begin{aligned}
 Z &= (\overline{F}\overline{E}) \cdot (\overline{D}\overline{X}) + (\overline{F}\overline{E}) \cdot (\overline{D}X) + (\overline{F}E) \cdot (\overline{D}\overline{X}) + (F\overline{E}) \cdot (\overline{D}\overline{X}) \\
 &= (\overline{F}\overline{E}) \cdot (D + X) + (\overline{F}\overline{E}) \cdot (D + \overline{X}) + (\overline{F}E) \cdot (\overline{D} + X) + (F\overline{E}) \cdot (\overline{D} + \overline{X}) \\
 &= \overline{F}\overline{E}D + \overline{F}\overline{E}X + \overline{F}E\overline{D} + \overline{F}E\overline{X} + F\overline{E}\overline{D} + F\overline{E}\overline{X} + FE\overline{D} + FE\overline{X}
 \end{aligned}$$



对Z用卡诺图进行化简，可得：

$$Z = F\overline{D} + \overline{F}D + E\overline{X} + \overline{E}X$$

再把X的等式代入并整理得：

$$Z = D\overline{F} + \overline{D}F + A\overline{C}\overline{E} + B\overline{C}\overline{E} + \overline{A}CE + \overline{B}CE$$

**例5** (P132习题3.60) 试分析如图所示的逻辑电路，说明输出 $Y_3Y_2Y_1Y_0$ 和输入 $B_3B_2B_1B_0$ 的逻辑关系。

**解：**

**逻辑表达式：**

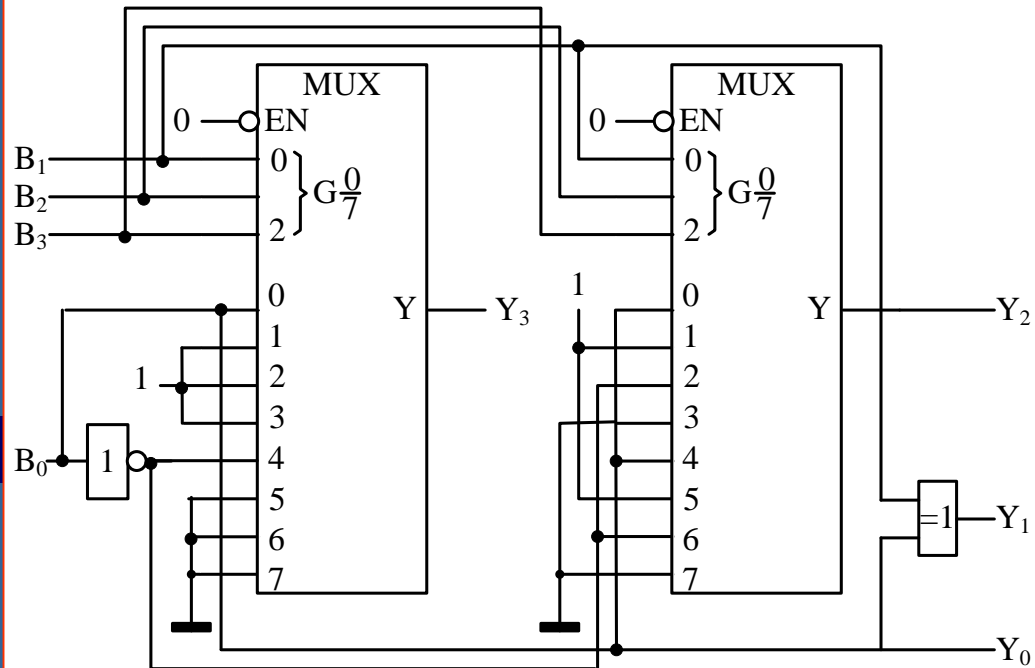
$$\begin{aligned}
 Y_3 &= (\bar{B}_3\bar{B}_2\bar{B}_1) \cdot B_0 + (\bar{B}_3\bar{B}_2B_1) \cdot 1 + (\bar{B}_3B_2\bar{B}_1) \cdot 1 + (\bar{B}_3B_2B_1) \cdot 1 + (B_3\bar{B}_2\bar{B}_1) \cdot \bar{B}_0 \\
 &= \bar{B}_3(\bar{B}_2\bar{B}_1B_0 + \bar{B}_2B_1 + B_2\bar{B}_1 + B_2B_1) + B_3(\bar{B}_2\bar{B}_1\bar{B}_0) \\
 &= \bar{B}_3[\bar{B}_2(\bar{B}_1B_0 + B_1) + B_2(\bar{B}_1 + B_1)] + B_3(\bar{B}_2 + B_1 + B_0) \\
 &= \bar{B}_3[\bar{B}_2(B_0 + B_1) + B_2] + B_3(\bar{B}_2 + B_1 + B_0) \\
 &= \bar{B}_3(B_0 + B_1 + B_2) + B_3(\bar{B}_2 + B_1 + B_0) \\
 &= B_3 \oplus (B_2 + B_1 + B_0)
 \end{aligned}$$

**同理可推出：**

$$Y_0 = B_0$$

$$Y_1 = B_1 \oplus B_0$$

$$Y_2 = \bar{B}_2\bar{B}_1B_0 + \bar{B}_2B_1 + B_2\bar{B}_1\bar{B}_0 = B_2 \oplus (B_1 + B_0)$$



根据逻辑表  
达式，得真值表：

B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	B <sub>0</sub>	Y <sub>3</sub>	Y <sub>2</sub>	Y <sub>1</sub>	Y <sub>0</sub>
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1
0	0	1	0	1	1	1	0
0	0	1	1	0	1	0	1
0	1	0	0	1	1	0	0
0	1	0	1	1	0	1	1
0	1	1	0	1	0	1	0
0	1	1	1	1	0	0	1
1	0	0	0	1	0	0	0
1	0	0	1	0	1	1	1
1	0	1	0	0	1	1	0
1	0	1	1	0	1	0	1
1	1	0	0	0	1	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	0	1	0
1	1	1	1	0	0	0	1

从真值表中可以看出，该逻辑电路的逻辑  
功能是：4位无符号补码变换器。



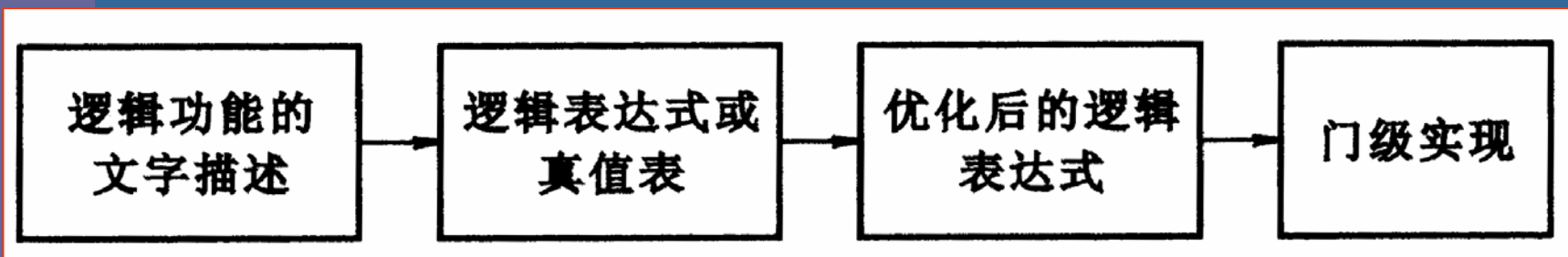
# 组合电路设计

电路分析：根据已知电路，导出逻辑功能。

电路设计：根据功能要求，画出逻辑电路。

## 设计方法一：

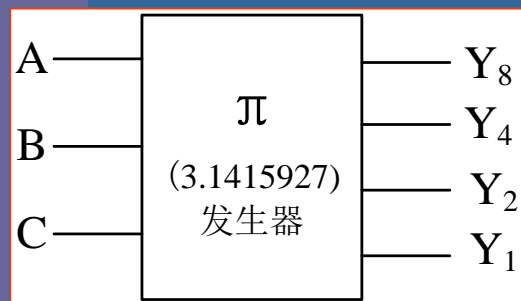
用SSI（门电路）实现（由真值表、逻辑方程到门电路）



# 用SSI设计组合电路

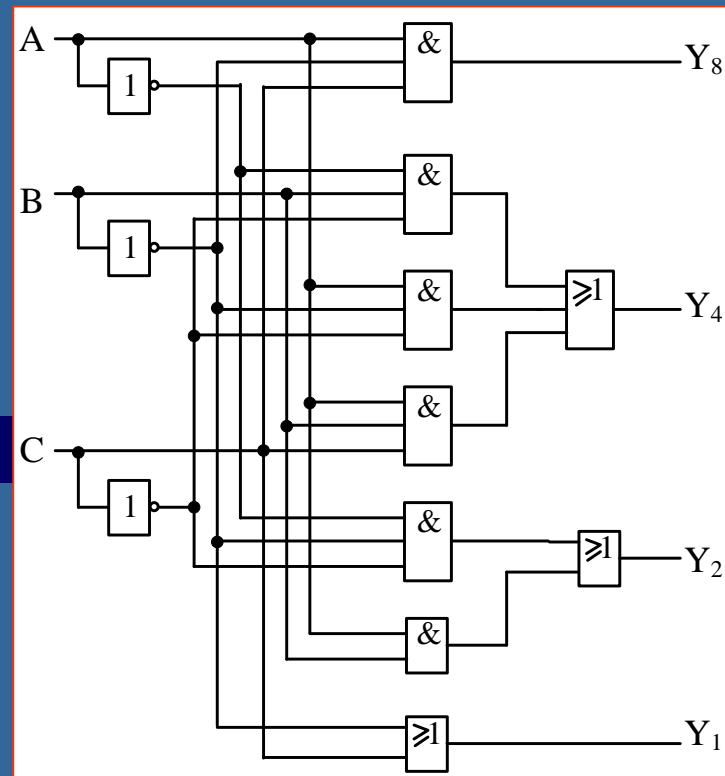
**例 1** 设计一个数  
 $\pi=3.1415927$  (8位) 的发生器。其输入为从000开始依次递增的3位二进制数, 其相应的输出依次为3、1、4、...等数的8421BCD码。

**解:**



A	B	C	Y <sub>8</sub>	Y <sub>4</sub>	Y <sub>2</sub>	Y <sub>1</sub>	$\pi$
0	0	0	0	0	1	1	3
0	0	1	0	0	0	1	1
0	1	0	0	1	0	0	4
0	1	1	0	0	0	1	1
1	0	0	0	1	0	1	5
1	0	1	1	0	0	1	9
1	1	0	0	0	1	0	2
1	1	1	0	1	1	1	7

逻辑图



$$Y_8 = A\bar{B}\bar{C}$$

$$Y_4 = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + ABC$$

$$Y_2 = \bar{A}\bar{B}\bar{C} + AB\bar{C} + ABC \\ = \bar{A}\bar{B}\bar{C} + AB$$

$$Y_1 = (A + \bar{B} + C)(\bar{A} + \bar{B} + C) \\ = \bar{B} + C$$

# 设计方法二：

## 用MSI设计组合电路

设计思想：

把设计对象：

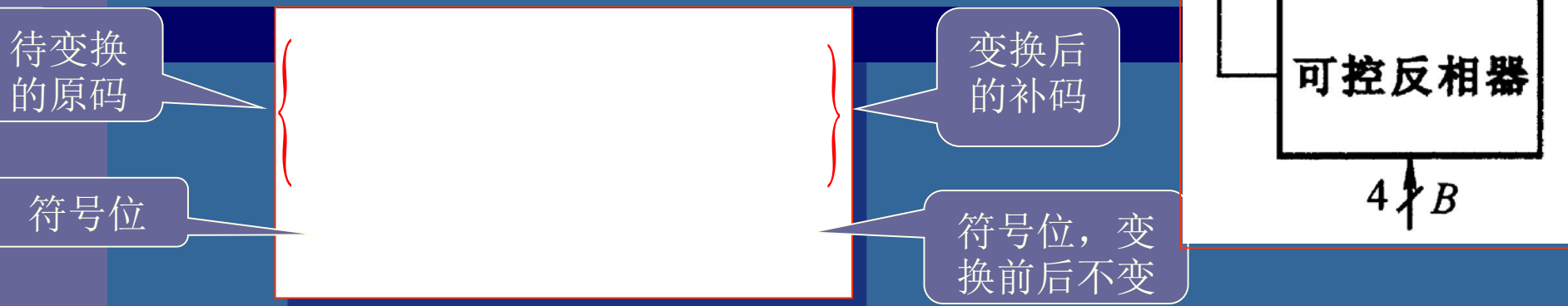
- ① 在逻辑上看成由许多子操作或子运算组成；
- ② 在结构上看成由许多模块或功能模块构成。

设计师的任务：

在保证实现预定逻辑功能的条件下，从不同的角度来分解待设计的对象。

# 功能分析和函数分解

例1 (P109 例3-4-1) 设计一个并行补码变换器

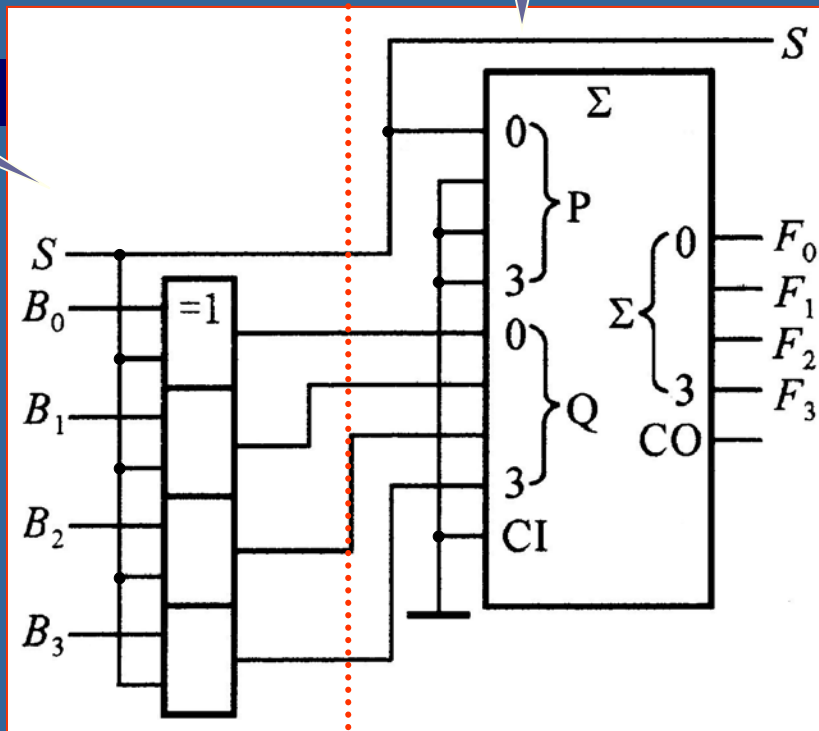


## 讨论：

- ① 变换原则： $S=1$ （负数）： $F_3F_2F_1F_0 = \bar{B}_3\bar{B}_2\bar{B}_1\bar{B}_0 + 1$   
 $S=0$ （正数）： $F_3F_2F_1F_0 = B_3B_2B_1B_0$
- ② 对于 $S=1$ ，其第一步要对原码求反，第二步再加1。
- ③ 是否要求反、加1，由符号位 $S$ 来确定。

S=1求反,  
S=0不变

S=1加1,  
S=0不加



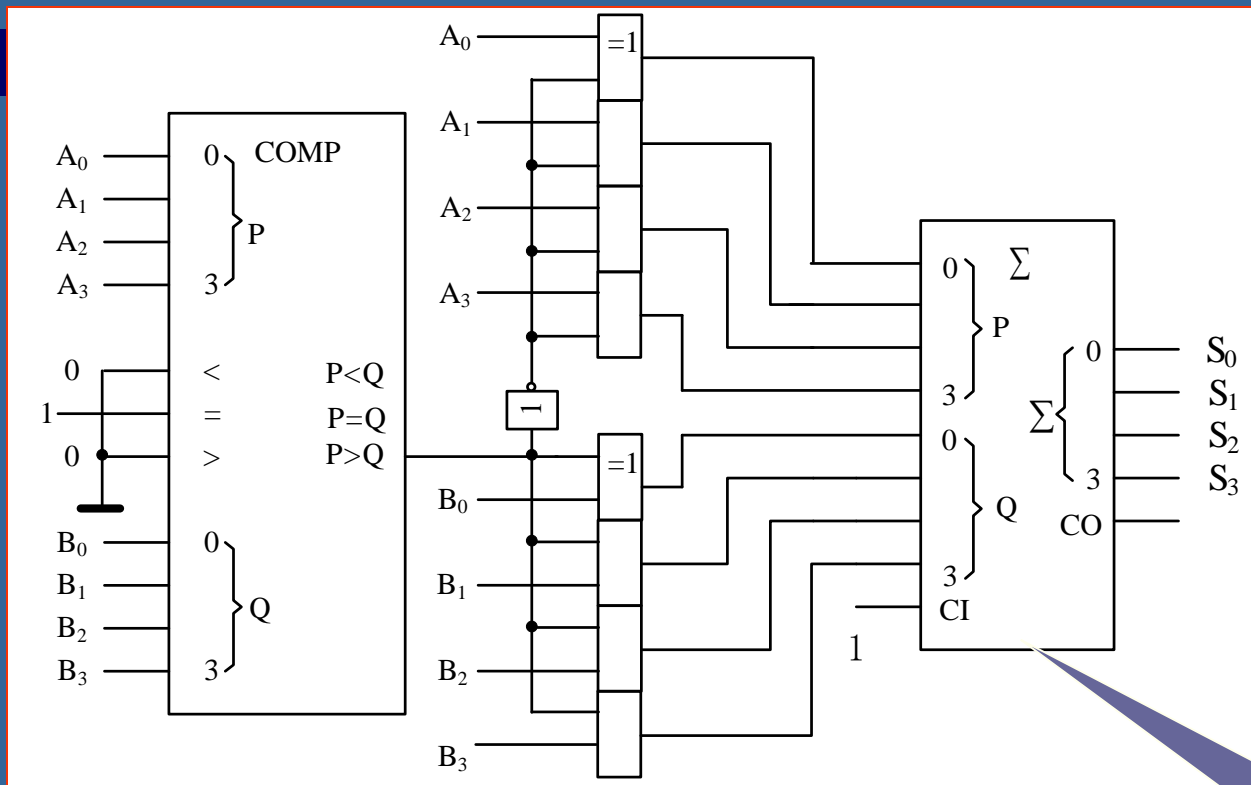
并行补码变换器

教材P110~118内容较难，不作要求。



**例2**（教材P133习题3.65） A和B是两个4位无符号二进制数，试设计一个大数减小数电路，当 $A > B$ 时，输出 $A - B$ ，当 $A \leq B$ 时，输出 $B - A$ 。

**解：**



思考题：如何  
A、B是8位，  
如何设计？

**例3** 试用一片双4选1数据选择器74253与适当门电路构成1位二进制全减器。

**要求：**（1）设 $x_i$ 和 $y_i$ 为本位的被减数和减数， $b_i$ 为低位来的借位输入， $d_i$ 和 $b_{i+1}$ 分别为本位之差和向高位的借位（ $i=0,1,2,3,\dots$ ），画出全减器的真值表；  
（2）画出逻辑图。

**解：** 全减器的真值表

$x_i$	$y_i$	$b_i$	$d_i$	$b_{i+1}$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

卡诺图

		$y_i b_i$			
		00	01	11	10
$x_i$	0	0	1	0	1
	1	1	0	0	1

$d_i$

		$y_i b_i$			
		00	01	11	10
$x_i$	0	0	1	1	1
	1	0	0	0	1

$b_{i+1}$

降维

		$y_i$	
		0	1
$x_i$	0	$b_i$	$\overline{b_i}$
	1	$\overline{b_i}$	$\overline{b_i}$

$d_i$

		$y_i$	
		0	1
$x_i$	0	$b_i$	1
	1	0	$\overline{b_i}$

$b_{i+1}$



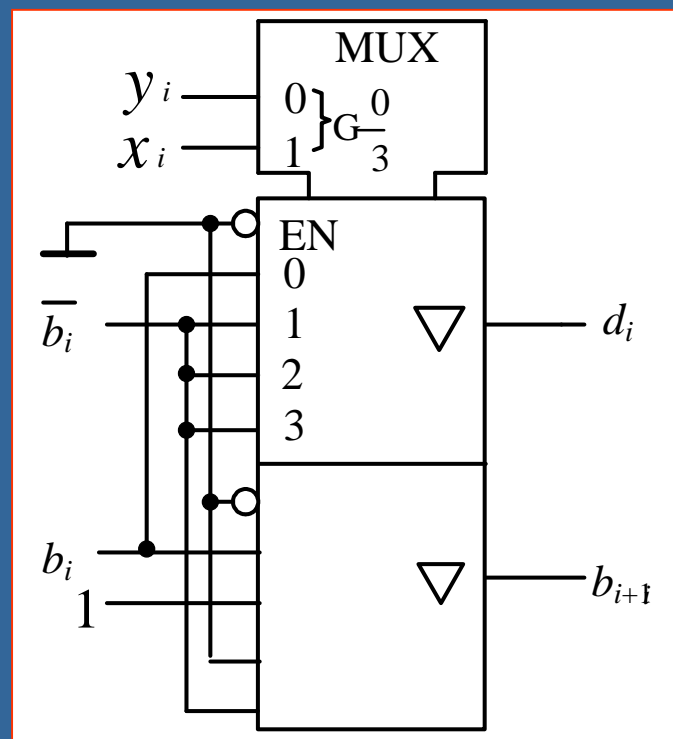
		$y_i$	
		0	1
$x_i$	0	$b_i$	$\overline{b_i}$
	1	$\overline{b_i}$	$\overline{b_i}$

$d_i$

		$y_i$	
		0	1
$x_i$	0	$b_i$	1
	1	0	$\overline{b_i}$

$b_{i+1}$

## 逻辑图

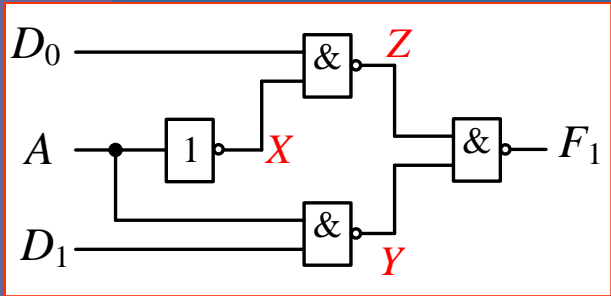


# 竞争与险象

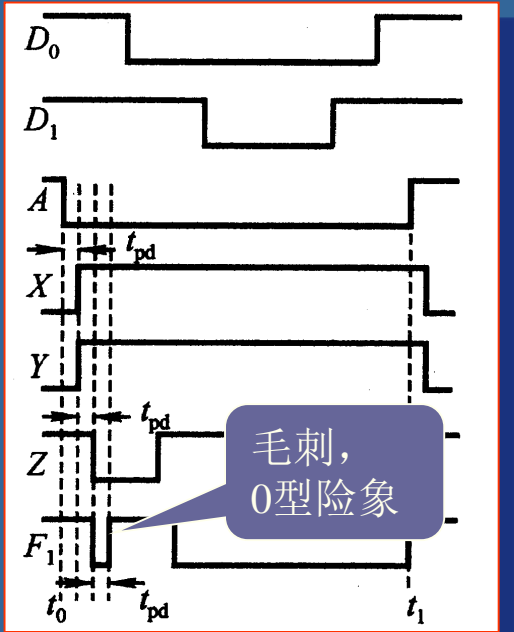
**险象：** 又称冒险，毛刺。是由于电路元件自身的信号传输延迟，输入信号有上升和下降时间或多个输入信号不能同时变化而使电路输出产生的瞬间错误。

**竞争：** 在组合电路中，当多个输入发生变化时，由于它们变化的快慢不同，传输到输出端必然有时差。或者，当某一个变量通过两条以上的路径到达输出端，由于每条路径上的延迟时间不同，到达输出端也有时差，这一现象称为竞争。习惯上称前者为**功能竞争**，后者为**逻辑竞争**。

## 例8

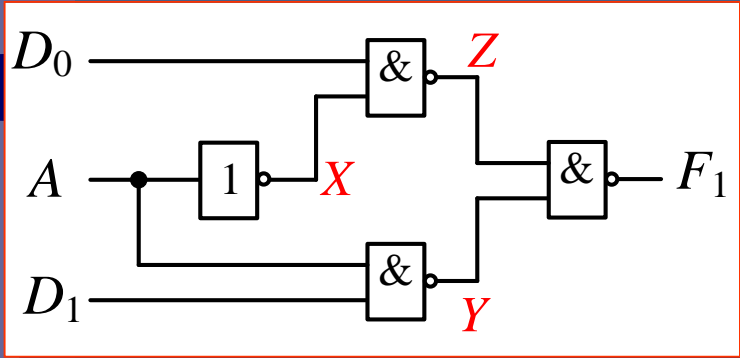


不考虑门电路的传输延迟



考虑门电路的传输延迟

# 逻辑险象的类型

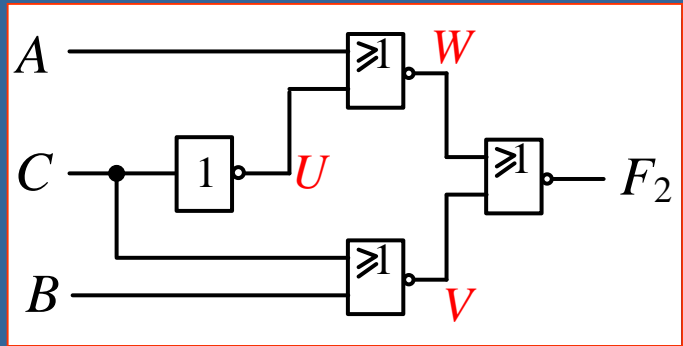


$$F_1 = D_1A + D_0\bar{A}$$

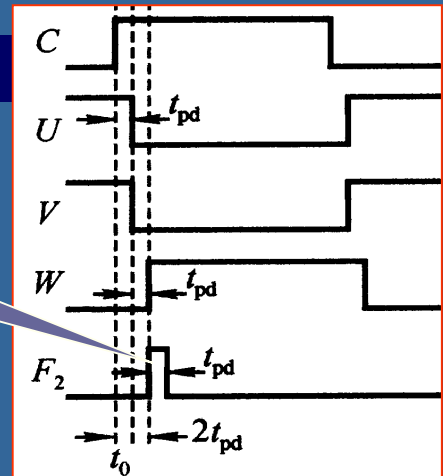
当 $D_1=D_0=1$ 时

$$F_1 = A + \bar{A}$$

当A从1变到0，由于 $\bar{A}$ 要延迟一个非门时间才从0变化到1。故 $F_1$ 有瞬间的0出现，称为0型险象。



(设 $A=B=0$ )



1型险象

$$F_2 = (A + \bar{C})(D + C)$$

当 $A=B=0$ 时

$$F_2 = C \cdot \bar{C}$$

当C从0变到1，由于 $\bar{C}$ 要延迟一个非门时间才从1变化到0。故 $F_1$ 有瞬间的1出现，称为1型险象。

# 逻辑险象的判别

法一：代数法

**例9** 试判别函数  $F = BC + \overline{A}B + \overline{B}\overline{C}$  是否会产生险象？

解：（1）变量A：无反变量，故无逻辑险象

（2）变量B与C

0型险象

A	C	F
0	0	$B + \overline{B}$
0	1	B
1	0	$\overline{B}$
1	1	B

A	B	F
0	0	$\overline{C}$
0	1	1
1	0	$\overline{C}$
1	1	C

- 临界竞争：产生险象的竞争。
- 非临界竞争：不产生险象的竞争。

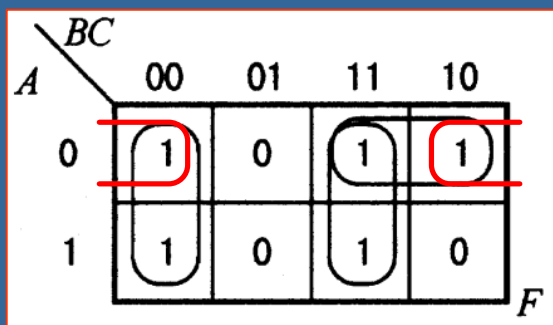
# 逻辑险象的判别

## 法二：卡诺图法

卡诺图法：若有两个卡诺圈相切，则其中必有一变量在一个卡诺圈以原变量出现，而在另一卡诺圈中以反变量出现，这时电路必然存在逻辑险象。而两个卡诺圈相互交链或相互错开，均不会产生险象。

### 例10

$$F = BC + \bar{A}B + \bar{B}\bar{C}$$

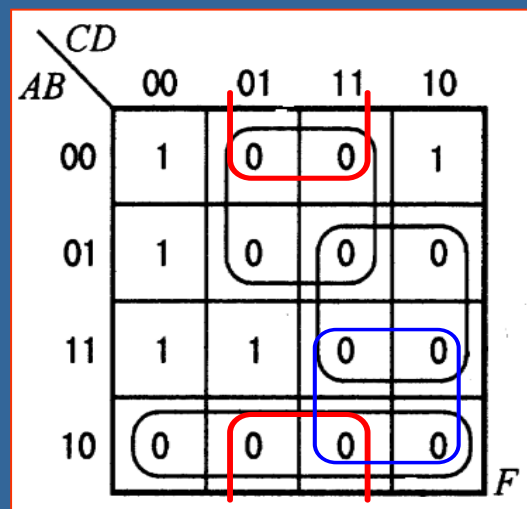


含“1”格的卡诺圈相切产生0型险象，通过增加冗余项消除。

$$F = BC + \bar{A}B + \bar{B}\bar{C} + \bar{A}\bar{C}$$

上式，当A=0，C=0时，F=1

$$F = (A + \bar{D})(\bar{B} + \bar{C})(\bar{A} + B)$$



含“0”格的卡诺圈相切产生1型险象，通过增加冗余项消除。

$$F = (A + \bar{D})(\bar{B} + \bar{C})(\bar{A} + B)(B + \bar{D})(\bar{A} + \bar{C})$$

上式，当A=1，C=1时，F=0