

## 第 7 章 存储 习 题 答 案

6. 某计算机中已配有 0000H~7FFFH 的 ROM 区域, 现在再用 8K×4 位的 RAM 芯片形成 32K×8 位的存储区域, CPU 地址总线为 A0-A15, 数据总线为 D0-D7, 控制信号为 R/W# (读/写)、MREQ# (访存)。要求说明地址译码方案, 并画出 ROM 芯片、RAM 芯片与 CPU 之间的连接图。假定上述其他条件不变, 只是 CPU 地址线改为 24 根, 地址范围 000000H~007FFFH 为 ROM 区, 剩下的所有地址空间都用 8K×4 位的 RAM 芯片配置, 则需要多少个这样的 RAM 芯片?

参考答案:

CPU 地址线共 16 位, 故存储器地址空间为 0000H~FFFFH, 其中, 8000H~FFFFH 为 RAM 区, 共  $2^{15}=32K$  个单元, 其空间大小为 32KB, 故需 8K×4 位的芯片数为  $32KB/8K \times 4 \text{ 位} = 4 \times 2 = 8$  片。

因为 ROM 区在 0000H~7FFFH, RAM 区在 8000H~FFFFH, 所以可通过最高位地址 A<sub>15</sub> 来区分, 当 A<sub>15</sub> 为 0 时选中 ROM 芯片; 为 1 时选中 RAM 芯片, 此时, 根据 A<sub>14</sub> 和 A<sub>13</sub> 进行译码, 得到 4 个译码信号, 分别用于 4 组字扩展芯片的片选信号。(图略, 可参照图 4.15)

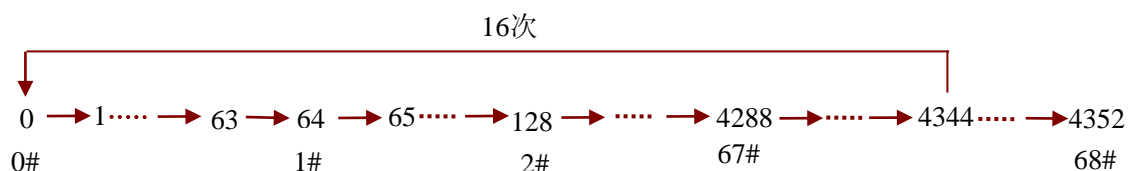
若 CPU 地址线为 24 位, ROM 区为 000000H~007FFFH, 则 ROM 区大小为 32KB, 总大小为 16MB= $2^{14}KB=512 \times 32KB$ , 所以 RAM 区大小为  $511 \times 32KB$ , 共需使用 RAM 芯片数为  $511 \times 32KB/8K \times 4 \text{ 位} = 511 \times 4 \times 2$  个芯片。

17. 假设某计算机的主存地址空间大小为 64MB, 采用字节编址方式。其 cache 数据区容量为 4KB, 采用 4 路组相联映射方式、LRU 替换和回写 (write back) 策略, 块大小为 64B。请问:

- (1) 主存地址字段如何划分? 要求说明每个字段的含义、位数和在主存地址中的位置。
- (2) 该 cache 的总容量有多少位?
- (3) 若 cache 初始为空, CPU 依次从 0 号地址单元顺序访问到 4344 号单元, 重复按此序列共访问 16 次。若 cache 命中时间为 1 个时钟周期, 缺失损失为 10 个时钟周期, 则 CPU 访存的平均时间为多少时钟周期?

参考答案:

- (1) cache 的划分为:  $4KB = 2^{12}B = 2^4 \text{ 组} \times 2^2 \text{ 行/组} \times 2^6 \text{ 字节/行}$ , 所以, cache 组号 (组索引) 占 4 位。主存地址划分为三个字段: 高 16 位为标志字段、中间 4 位为组号、最低 6 位为块内地址。即主存空间划分为:  $64MB = 2^{26}B = 2^{16} \text{ 组群} \times 2^4 \text{ 块/组群} \times 2^6 \text{ 字节/块}$
- (2) cache 共有 64 行, 每行中有 16 位标志、1 位有效位、1 位修改 (dirty) 位、2 位 LRU 位, 以及数据 64B。故总容量为  $64 \times (16+1+1+2+64 \times 8) = 34048$  位。
- (3) 因为每块为 64B, CPU 访问的单元范围为 0~4344, 共 4345 个单元,  $4345/64=67.89$ , 所以 CPU 访问的是主存前 68 块 (第 0~67 块), 也即 CPU 的访问过程是对前 68 块连续访问 16 次, 总访存次数为  $16 \times 4345 = 69520$ 。



cache 共有 16 组, 每组 4 行, 采用 LRU 算法的替换情况如下图所示:

|     | 第0行     | 第1行     | 第2行   | 第3行   |
|-----|---------|---------|-------|-------|
| 0组  | 0/64/48 | 16/0/64 | 32/16 | 48/32 |
| 1组  | 1/65/49 | 17/1/65 | 33/17 | 49/33 |
| 2组  | 2/66/50 | 18/2/66 | 34/18 | 50/34 |
| 3组  | 3/67/51 | 19/3/67 | 35/19 | 51/35 |
| 4组  | 4       | 20      | 36    | 52    |
| ... | ...     | ...     | ...   | ...   |
| ... | ...     | ...     | ...   | ...   |
| 15组 | 15      | 31      | 47    | 63    |

根据图中所示可知，第一次循环的每一块只有第一次未命中，其余都命中；以后 15 次循环中，有 20 块的第一字未命中，其余都命中。所以命中率  $p$  为  $(69520-68-15 \times 20)/69520 = 99.47\%$

平均访存时间为：Hit Time + (1-p) × Miss Penalty

$$= 1 + 10 \times (1-p) = 1 + 0.0053 \times 10 = 1.053 \text{ 个时钟周期}$$

23. 假定一个虚拟存储系统的虚拟地址为40位，物理地址为36位，页大小为16KB，按字节编址。若页表中有有效位、存储保护位、修改位、使用位，共占4位，磁盘地址不在页表中，则该存储系统中每个进程的页表大小为多少？如果按计算出来的实际大小构建页表，则会出现什么问题？

参考答案：

因为每页大小有 16KB，所以虚拟页数为  $2^{40}B/16KB=2^{(40-14)}=2^{26}$  页。

物理页面和虚拟页面大小相等，所以物理页号的位数为  $36-14=22$  位。

页表项位数为：有效位+保护位+修改位+使用位+物理页号位数=4+22=26 位。

为简化页表访问，每项大小取 32 位。因此，每个进程的页表大小为： $2^{26} \times 32b=256MB$ 。

如果按实际计算出的页表大小构建页表，则页表过大而导致页表无法一次装入内存。

24. 假定一个计算机系统有一个TLB和一个L1 data cache。该系统按字节编址，虚拟地址16位，物理地址12位；页大小为128B，TLB为四路组相联，共有16个页表项；L1 data cache采用直接映射方式，块大小为4B，共16行。在系统运行到某一时刻时，TLB、页表和L1 data cache中的部分内容（用十六进制表示）如下：

| 组号 | 标记 | 页框号 | 有效位 | 标记 | 页框号 | 有效位 | 标记 | 页框号 | 有效位 | 标记 | 页框号 | 有效位 |
|----|----|-----|-----|----|-----|-----|----|-----|-----|----|-----|-----|
| 0  | 03 | -   | 0   | 09 | 0D  | 1   | 00 | -   | 0   | 07 | 02  | 1   |
| 1  | 03 | 2D  | 1   | 02 | -   | 0   | 04 | -   | 0   | 0A | -   | 0   |
| 2  | 02 | -   | 0   | 08 | -   | 0   | 06 | -   | 0   | 03 | -   | 0   |
| 3  | 07 | -   | 0   | 63 | 0D  | 1   | 0A | 34  | 1   | 72 | -   | 0   |

(a) TLB（四路组相联）：四组、16个页表项

| 虚页号 | 页框号 | 有效位 | 行索引 | 标记 | 有效位 | 字节 3 | 字节 2 | 字节 1 | 字节 0 |
|-----|-----|-----|-----|----|-----|------|------|------|------|
| 00  | 08  | 1   | 0   | 19 | 1   | 12   | 56   | C9   | AC   |
| 01  | 03  | 1   | 1   | 15 | 0   | -    | -    | -    | -    |
| 02  | 14  | 1   | 2   | 1B | 1   | 03   | 45   | 12   | CD   |
| 03  | 02  | 1   | 3   | 36 | 0   | -    | -    | -    | -    |
| 04  | -   | 0   | 4   | 32 | 1   | 23   | 34   | C2   | 2A   |

|    |    |   |
|----|----|---|
| 05 | 16 | 1 |
| 06 | —  | 0 |
| 07 | 07 | 1 |
| 08 | 13 | 1 |
| 09 | 17 | 1 |
| 0A | 09 | 1 |
| 0B | —  | 0 |
| 0C | 19 | 1 |
| 0D | —  | 0 |
| 0E | 11 | 1 |
| 0F | 0D | 1 |

(b) 部分页表：(开始 16 项)

|   |    |   |    |    |    |    |
|---|----|---|----|----|----|----|
| 5 | 0D | 1 | 46 | 67 | 23 | 3D |
| 6 | —  | 0 | —  | —  | —  | —  |
| 7 | 16 | 1 | 12 | 54 | 65 | DC |
| 8 | 24 | 1 | 23 | 62 | 12 | 3A |
| 9 | 2D | 0 | —  | —  | —  | —  |
| A | 2D | 1 | 43 | 62 | 23 | C3 |
| B | —  | 0 | —  | —  | —  | —  |
| C | 12 | 1 | 76 | 83 | 21 | 35 |
| D | 16 | 1 | A3 | F4 | 23 | 11 |
| E | 33 | 1 | 2D | 4A | 45 | 55 |
| F | 14 | 0 | —  | —  | —  | —  |

(c) L1 data cache：直接映射，共 16 行，块大小为 4B

请回答下列问题：

- (1) 虚拟地址中哪几位表示虚拟页号？哪几位表示页内偏移量？虚拟页号中哪几位表示 TLB 标记？哪几位表示 TLB 索引？
- (2) 物理地址中哪几位表示物理页号？哪几位表示页内偏移量？
- (3) 主存（物理）地址如何划分成标记字段、行索引字段和块内地址字段？
- (4) CPU 从地址 067AH 中取出的值为多少？说明 CPU 读取地址 067AH 中内容的过程。

参考答案：

- (1) 16 位虚拟地址中低 7 位为页内偏移量，高 9 位为虚页号；虚页号中高 7 位为 TLB 标记，低 2 位为 TLB 组索引。
- (2) 12 位物理地址中低 7 位为页内偏移量，高 5 位为物理页号。
- (3) 12 位物理（主存）地址中，低 2 位为块内地址，中间 4 位为 cache 行索引，高 6 位为标记。
- (4) 地址 067AH=0000 0110 0111 1010B，所以，虚页号为 0000011 00B，映射到 TLB 的第 00 组，将 0000011B=03H 与 TLB 第 0 组的四个标记比较，虽然和其中一个相等，但对应的有效位为 0，其余都不等，所以 TLB 缺失，需要访问主存中的慢表。直接查看 0000011 00B =00CH 处的页表项，有效位为 1，取出物理页号 19H=11001B，和页内偏移 111 1010B 拼接成物理地址：11001 111 1010B。根据中间 4 位 1110 直接找到 cache 第 14 行(即：第 E 行)，有效位为 1，且标记为 33H=110011B，正好等于物理地址高 6 位，故命中。根据物理地址最低两位 10，取出字节 2 中的内容 4AH=01001010B。