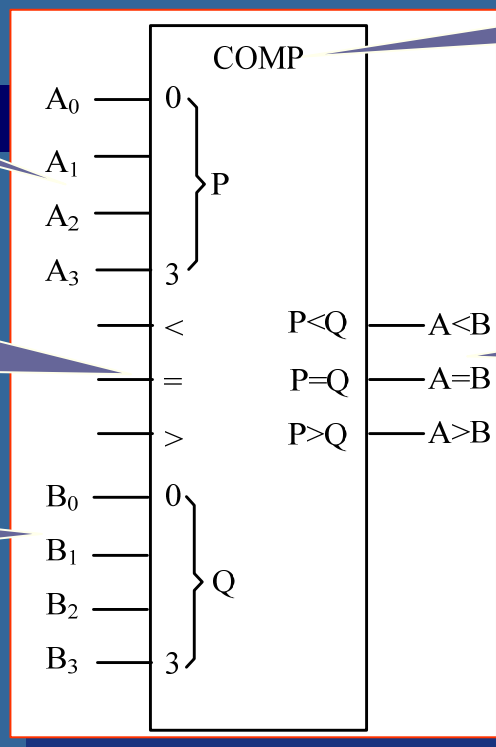


数值比较器

功能：能对两个相同位数的二进制数进行比较的器件。

逻辑符号



A: 四位二进制数输入 (3为高位)

级联输入端，用于扩展数值比较器的位数

B: 四位二进制数输入 (3为高位)

定性符

比较结果输出端

输入 A ($a_3a_2a_1a_0$) > B ($b_3b_2b_1b_0$): 输出 ($A > B$) = 1

A ($a_3a_2a_1a_0$) < B ($b_3b_2b_1b_0$):

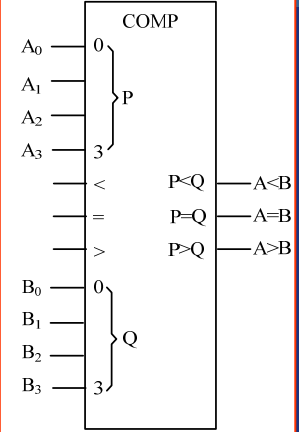
($A < B$) = 1

A ($a_3a_2a_1a_0$) = B ($b_3b_2b_1b_0$):

由级联输入决定

数值比较器

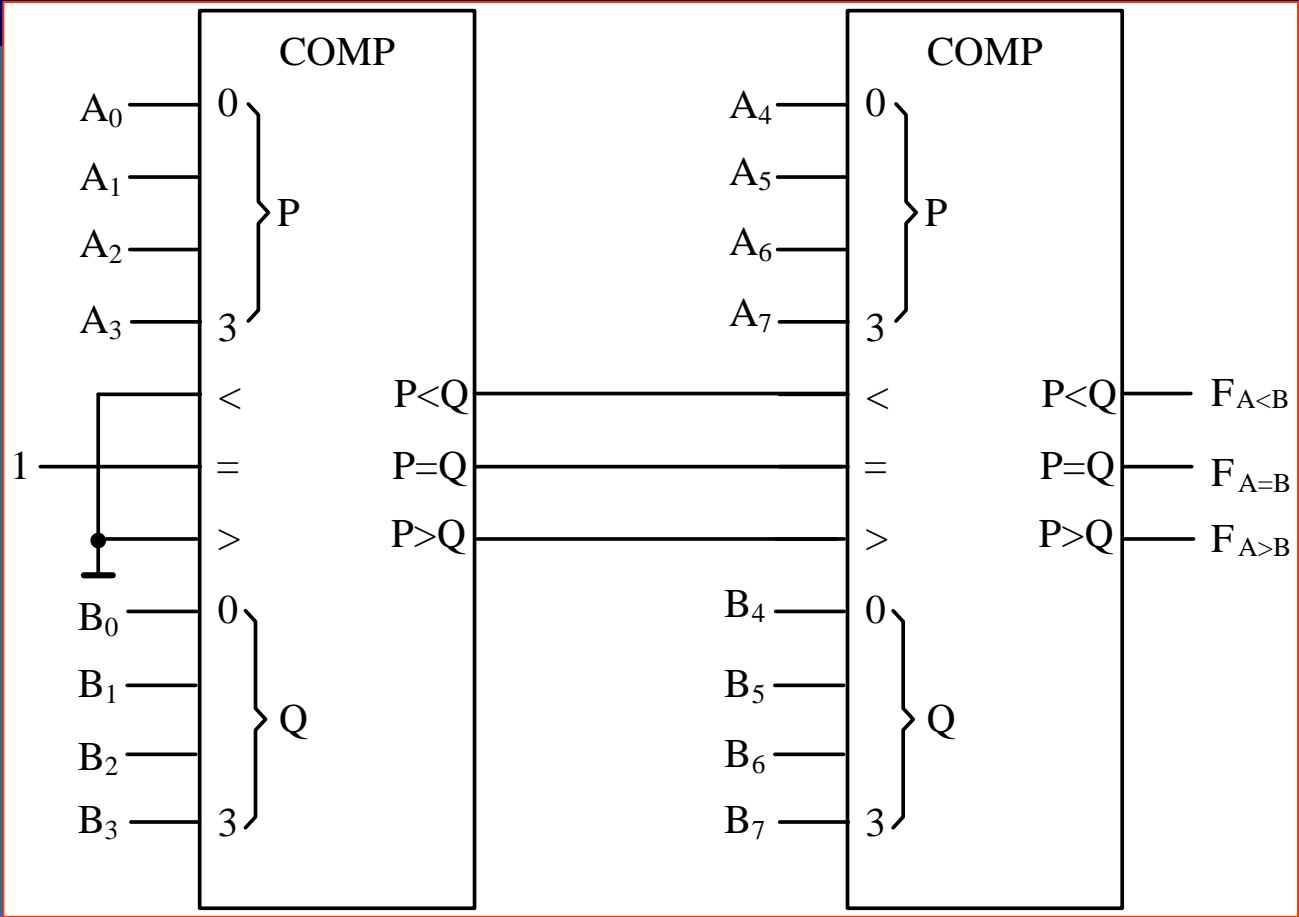
4位并行比较器的功能表



比较器输入				级联输入			输出		
A ₃ ,B ₃	A ₂ ,B ₂	A ₁ ,B ₁	A ₀ ,B ₀	>	<	=	A>B	A<B	A=B
A ₃ >B ₃	×	×	×	×	×	×	1	0	0
A ₃ <B ₃	×	×	×	×	×	×	0	1	0
A ₃ =B ₃	A ₂ >B ₂	×	×	×	×	×	1	0	0
A ₃ =B ₃	A ₂ <B ₂	×	×	×	×	×	0	1	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	×	×	×	×	1	0	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	×	×	×	×	0	1	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	×	×	×	1	0	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	×	×	×	0	1	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	1	0	0	1	0	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	0	1	0	0	1	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	0	0	1	0	0	1
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	×	×	1	0	0	1
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	1	1	0	0	0	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	0	0	0	1	1	0

数值比较器的级联

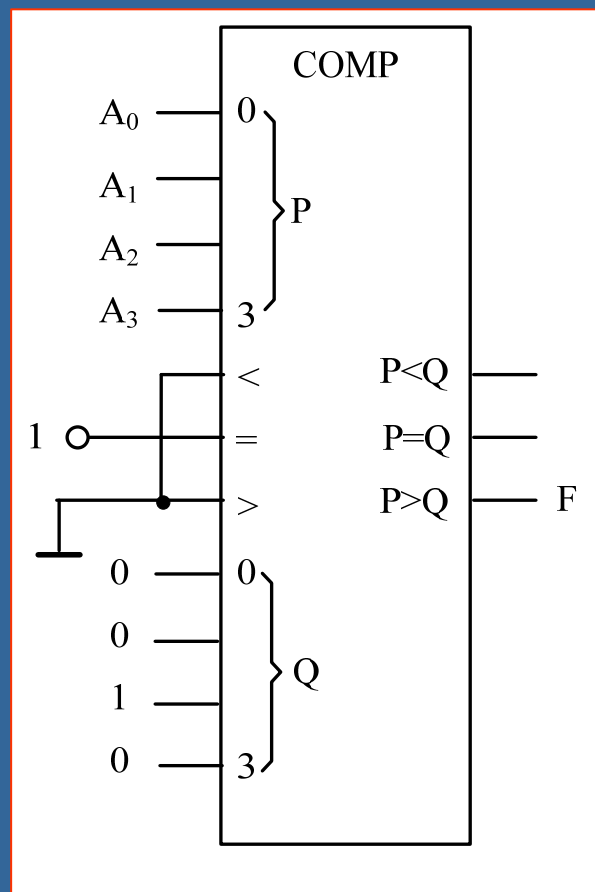
由4位数值比较器构成8位数值比较器



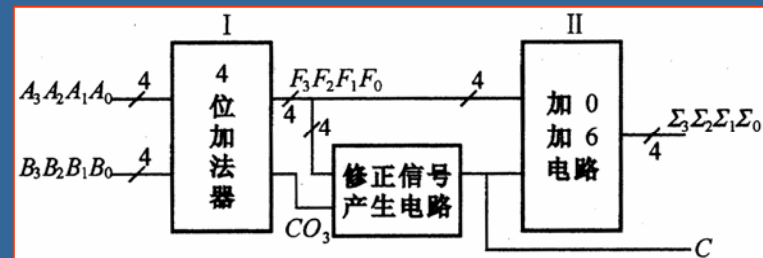
数值比较器的应用(1)

例 用7485实现8421BCD码的四舍五入电路。

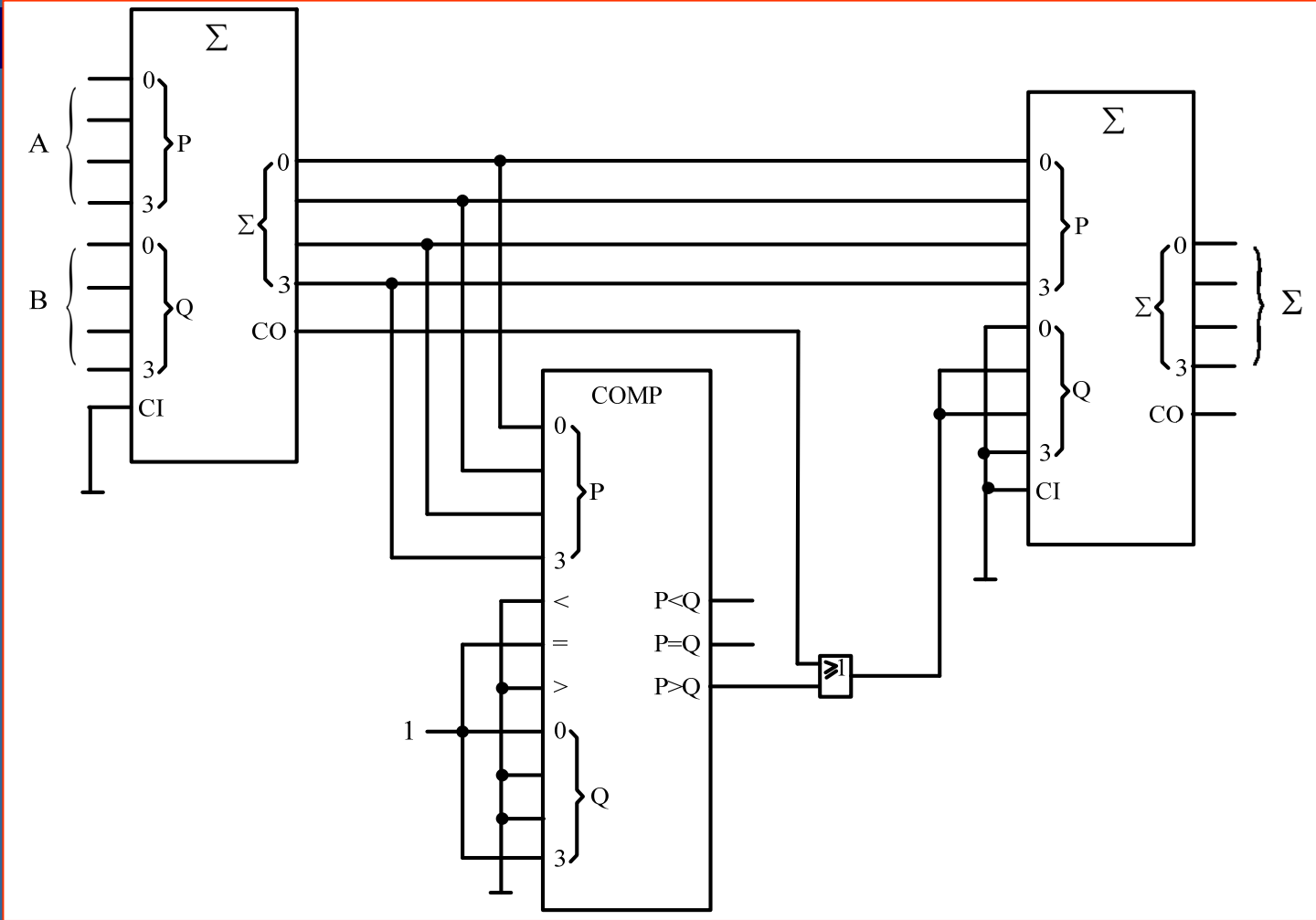
设输入的8421码为 $A_3A_2A_1A_0$ ，当输入小于5时输出**0**，输入大于等于5时输出**1**。因此通过四位比较器，将输入信号与4（0100）进行比较，就可以得到所需要的结果。



数值比较器的应用(2)



补充例：试用4位并行比较器7485实现1位8421BCD码加法器

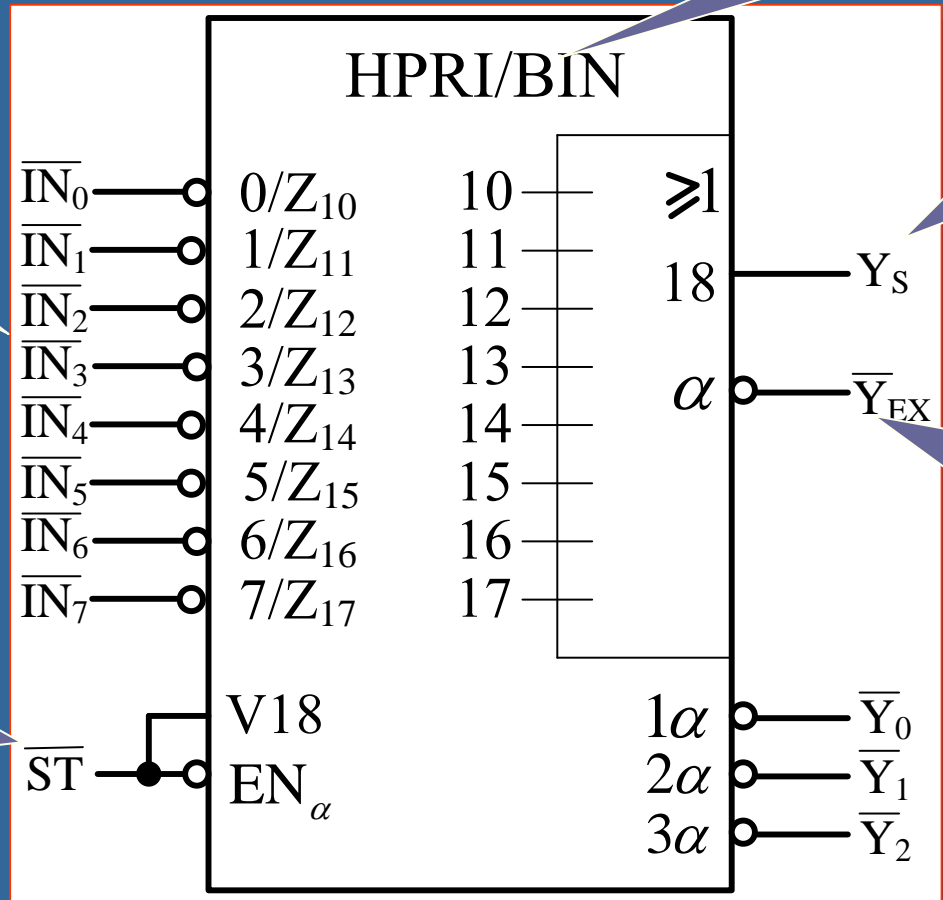


编码器

编码器定义：将特定的信息表示成二进制代码的过程称为编码。具有编码功能的逻辑电路称为编码器。

八输入优先编码器74LS148

逻辑符号



输入端，低电平有效。

输入控制端（使能输入），低电平有效。

定性符：表示高位优先编码/二进制输出

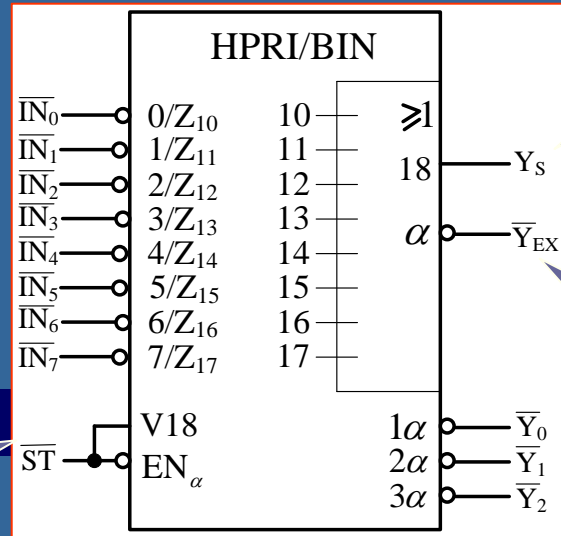
输出控制端（使能输出），用于多级扩展。

输出有效标志端，等于0时表示输出有效，同时用于多级扩展。

输出端，低电平有效

八输入优先编码器 74LS148功能表

使能输入端，低电平有效。



使能输出，用于多级扩展。

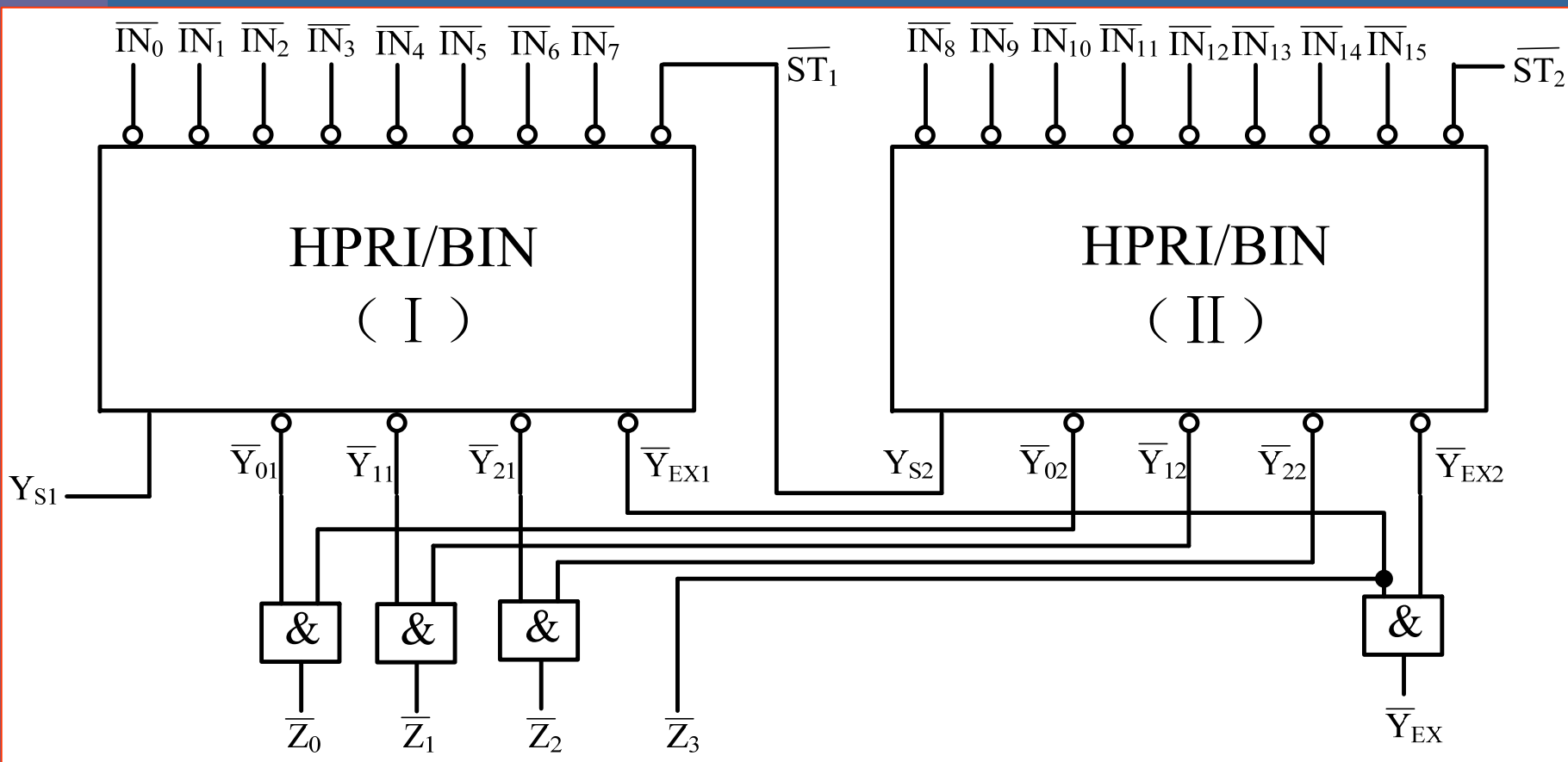
输出有效标志，等于0时表示输出有效，且用于扩展。

输 入									输 出				
\overline{ST}	\overline{IN}_7	\overline{IN}_6	\overline{IN}_5	\overline{IN}_4	\overline{IN}_3	\overline{IN}_2	\overline{IN}_1	\overline{IN}_0	\overline{Y}_2	\overline{Y}_1	\overline{Y}_0	\overline{Y}_{EX}	Y_S
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	×	×	×	×	×	×	×	0	0	0	0	1
0	1	0	×	×	×	×	×	×	0	0	1	0	1
0	1	1	0	×	×	×	×	×	0	1	0	0	1
0	1	1	1	0	×	×	×	×	0	1	1	0	1
0	1	1	1	1	0	×	×	×	1	0	0	0	1
0	1	1	1	1	1	0	×	×	1	0	1	0	1
0	1	1	1	1	1	1	0	×	1	1	0	0	1
0	1	1	1	1	1	1	1	0	1	1	1	0	1

编码器的扩展

8线-3线扩展为16线-4线优先编码器

输 入									输 出				
\overline{ST}	\overline{IN}_7	\overline{IN}_6	\overline{IN}_5	\overline{IN}_4	\overline{IN}_3	\overline{IN}_2	\overline{IN}_1	\overline{IN}_0	\overline{Y}_2	\overline{Y}_1	\overline{Y}_0	\overline{Y}_{EX}	Y_S
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	×	×	×	×	×	×	×	0	0	0	0	1
0	1	0	×	×	×	×	×	×	0	0	1	0	1
0	1	1	0	×	×	×	×	×	0	1	0	0	1
0	1	1	1	0	×	×	×	×	0	1	1	0	1
0	1	1	1	1	0	×	×	×	1	0	0	0	1
0	1	1	1	1	1	0	×	×	1	0	1	0	1
0	1	1	1	1	1	1	0	×	1	1	0	0	1
0	1	1	1	1	1	1	1	0	1	1	1	0	1

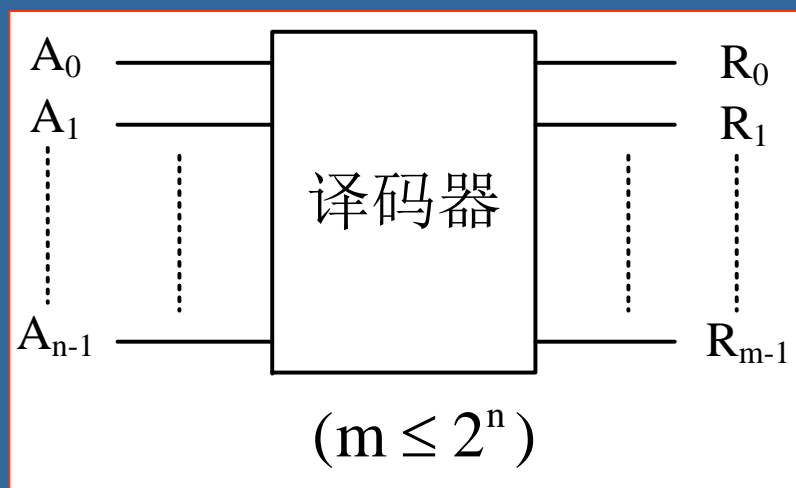


译码器

译码器定义：译码是编码的逆过程。它将具有特定含义的二进制代码转换成有效的信号。具有译码功能的逻辑电路称为译码器。

❑ **变量译码器：**将二进制代码“翻译”成控制信号去执行操作。

❑ **显示译码器：**把二进制代码（如BCD码）“翻译”成十进制数或字符并直接显示出来。



当 $m=2^n$ 完全译码
当 $m<2^n$ 不完全译码

变量译码器

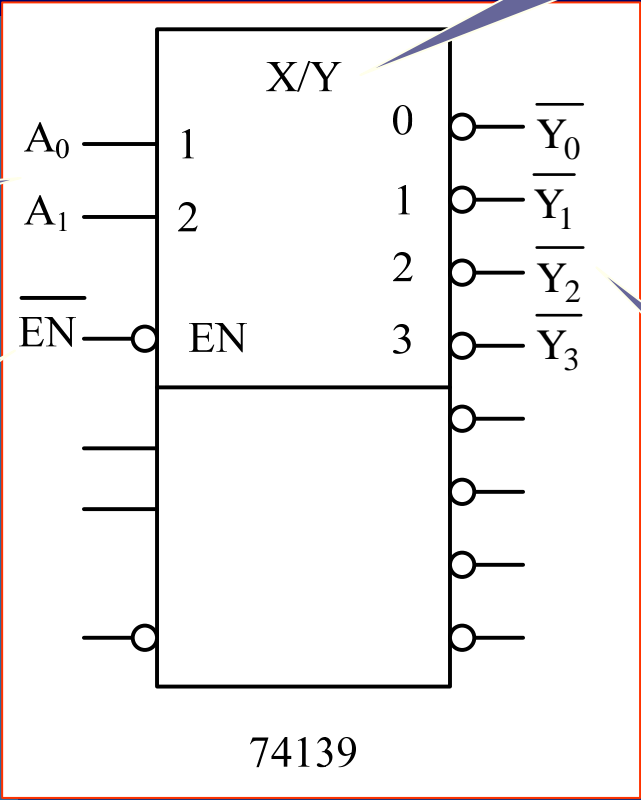
双2线—4线译码器

定性符：X/Y（输入端/输出端信息代码，这里可换成BIN/FOUR）

输入信号的权值

使能端，低电平有效

输出信号端，低电平有效



3线—8线译码器 (74138)

输入二进制码
(注意权位)

输入控制信号
(选通控制端)

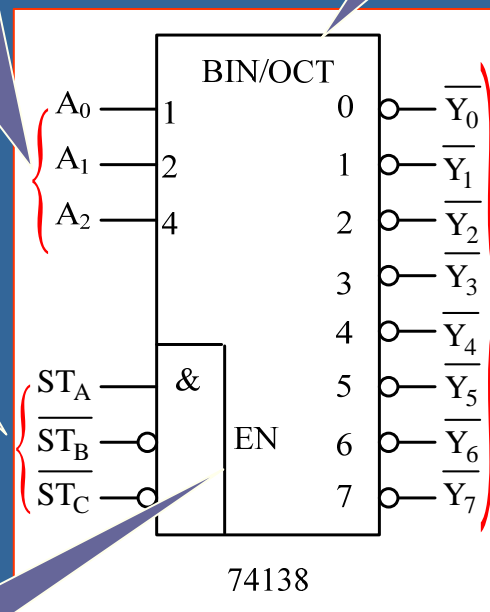
定性符：输入
二进制/输出
八进制译码

输出信号
端，低电平
有效

ST_A 、 $\overline{ST_B}$ 和 $\overline{ST_C}$ 作用：

- 削除译码器输出尖峰干扰；
- 用于逻辑功能的扩展。

使能信号，E=1可译
码；E=0输出全1。



$$\begin{aligned} EN &= ST_A \cdot \overline{\overline{ST_B}} \cdot \overline{\overline{ST_C}} \\ &= ST_A \cdot (\overline{\overline{ST_B}} + \overline{\overline{ST_C}}) \end{aligned}$$

3线—8线译码器 (74138)

输入输出关系式推导

$$\begin{aligned}\bar{Y}_0 &= \overline{EN + A_2 + A_1 + A_0} \\ &= \overline{EN \cdot \bar{A}_2 \bar{A}_1 \bar{A}_0} \\ &= \overline{EN \cdot m_0}\end{aligned}$$

其中: m_0 是最小项 $\bar{A}_2\bar{A}_1\bar{A}_0$

[illegible]

同理：对于 $\bar{Y}_1 \sim \bar{Y}_7$

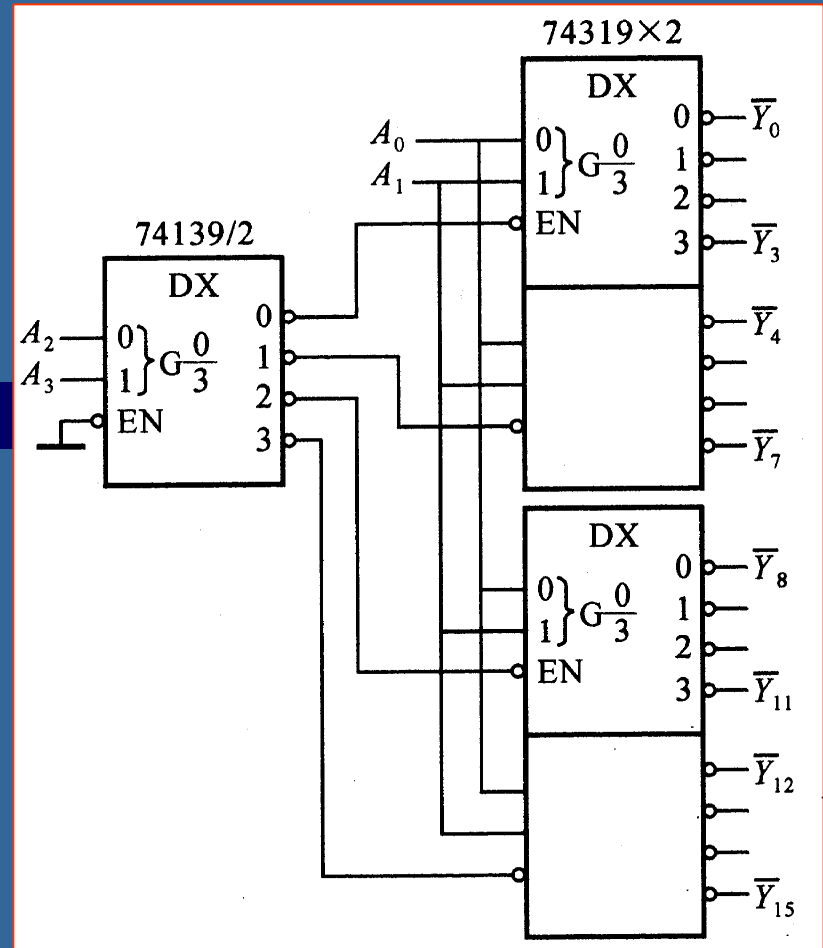
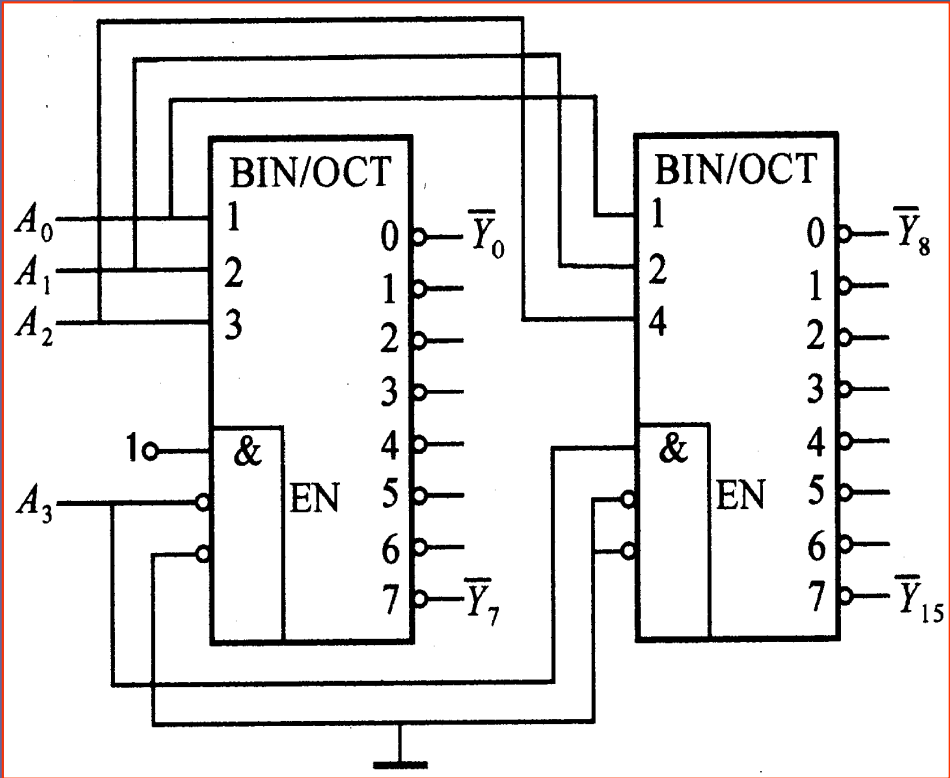
$$\overline{Y_i} = \overline{EN \cdot m_i}$$

$$= \overline{ST_A \cdot ST_B \cdot ST_C \cdot m_i}$$

当 $EN = ST_A \cdot \overline{ST_B} \cdot \overline{ST_C} = 1$ 时,

$$\bar{Y}_i = \bar{m}_i$$

译码器的扩展



(树形扩展)

译码器的应用 (1) 用变量译码器实现任意组合逻辑电路

例1 试用3线—8线译码器组成1位全加器

$$\Sigma_i(x_i, y_i, CI_i) = \Sigma m(1, 2, 4, 7)$$

$$= \overline{m}_1 \overline{m}_2 \overline{m}_4 \overline{m}_7 = \overline{Y}_1 \overline{Y}_2 \overline{Y}_4 \overline{Y}_7$$

$$CO_i(x_i, y_i, CI_i) = \Sigma m(3, 5, 6, 7)$$

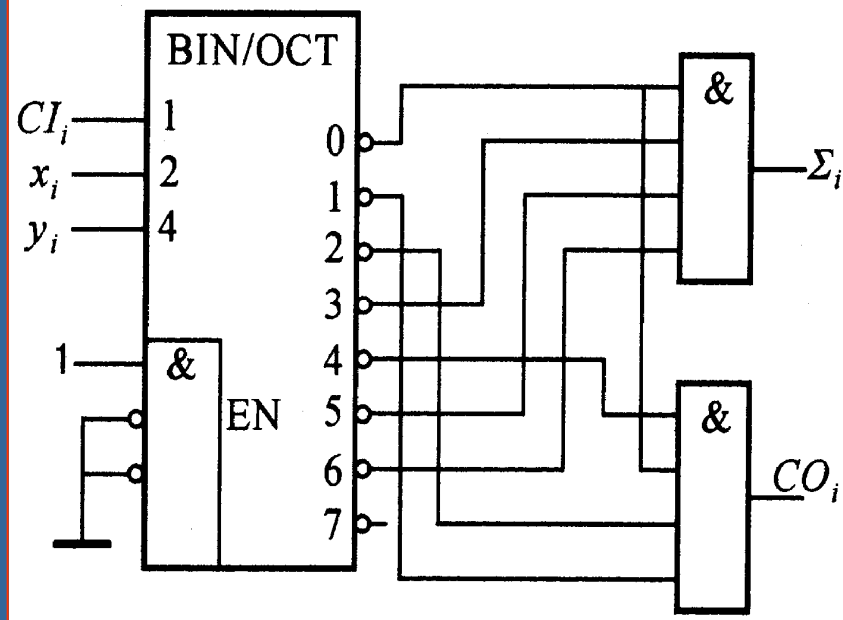
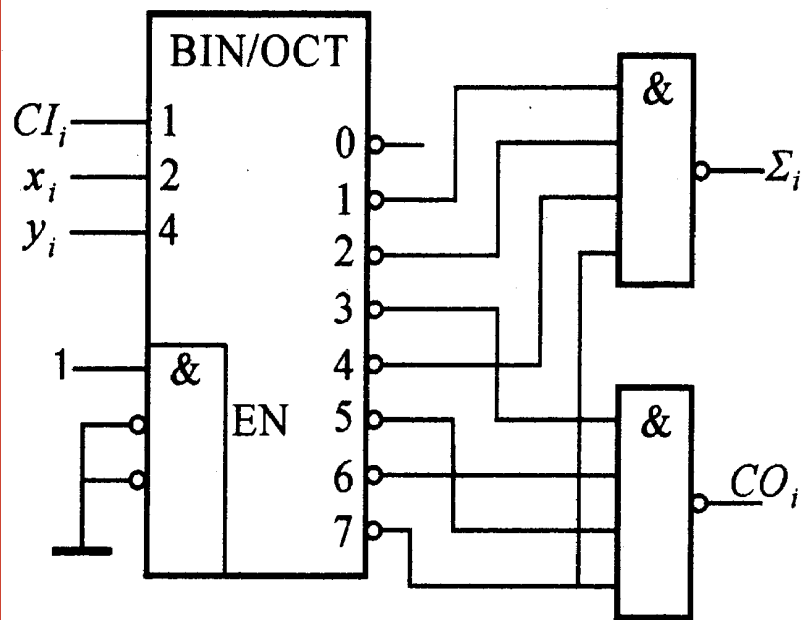
$$= \overline{m}_3 \overline{m}_5 \overline{m}_6 \overline{m}_7 = \overline{Y}_3 \overline{Y}_5 \overline{Y}_6 \overline{Y}_7$$

$$\Sigma_i(x_i, y_i, CI_i) = \Pi M(0, 3, 5, 6)$$

$$= M_0 M_3 M_5 M_6 = \overline{m}_0 \overline{m}_3 \overline{m}_5 \overline{m}_6$$

$$CO_i(x_i, y_i, CI_i) = \Pi M(0, 1, 2, 4)$$

$$= M_0 M_1 M_2 M_4 = \overline{m}_0 \overline{m}_1 \overline{m}_2 \overline{m}_4$$



译码器的应用 (2) 用变量译码器实现任意组合逻辑电路

例2 试用3线—8线译码器和4位加法器构成1位8421BCD码加法。

$$C = CO_3 + C_{F>9}$$

$$C_{F>9}(F_3, F_2, F_1) = F_3F_2 + F_3F_1 = \Sigma m(5, 6, 7) = \Pi M(0, 1, 2, 3, 4)$$

