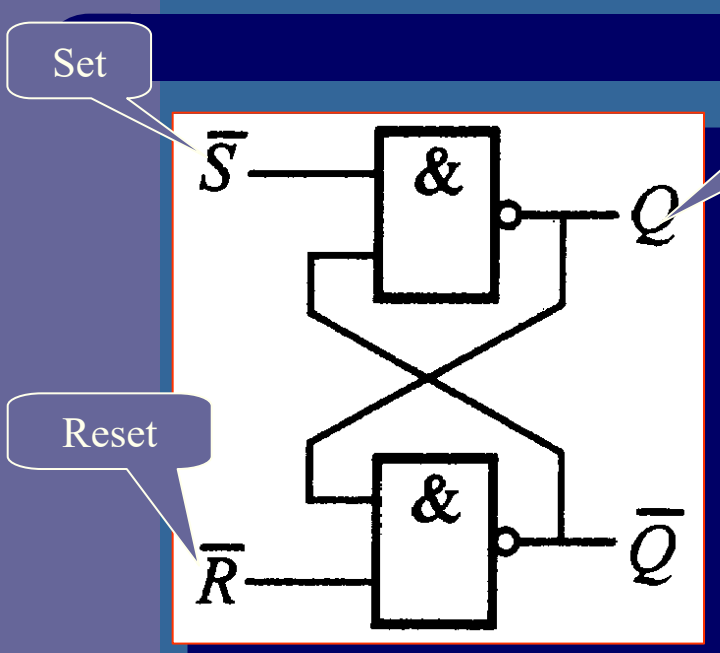
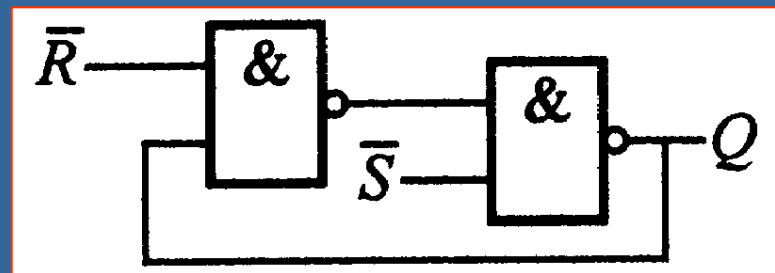
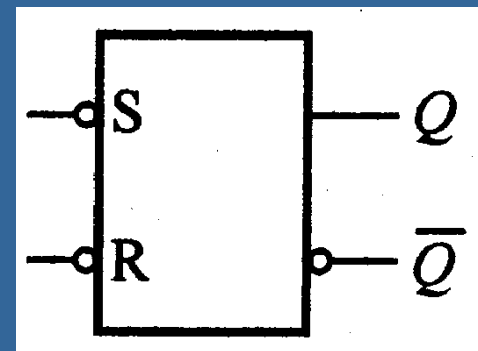


基本的R-S触发器 (锁存器)

与非门构成的基本R-S触发器



Q与 \bar{Q} 互补
Q=1, 状态1 (存储信息“1”)
Q=0, 状态0 (存储信息“0”)



逻辑符号

工作原理:

$\bar{R} = 0 \quad \bar{S} = 1 \rightarrow Q = 0, \bar{Q} = 1$ 置0或复位(Reset)

$\bar{R} = 1 \quad \bar{S} = 0 \rightarrow Q = 1, \bar{Q} = 0$ 置1或置位(Set)

$\bar{R} = 1 \quad \bar{S} = 1 \rightarrow Q, \bar{Q}$ 保持

$\bar{R} = 0 \quad \bar{S} = 0 \rightarrow Q = \bar{Q} = 1$ 非法

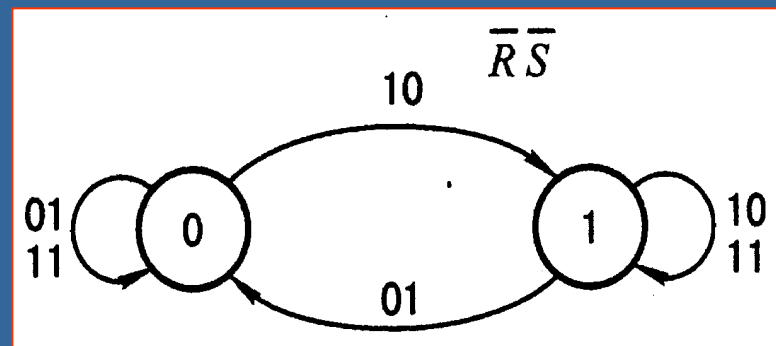
状态真值表

(描述电路在可能的输入组合下其输出状态端变化情况)

\bar{R}	\bar{S}	Q^{n+1}
0	0	(1)禁用
0	1	0
1	0	1
1	1	Q^n (保持)

状态图

(形象直观地描述电路的状态转变情况)



次态方程: $Q^{n+1} = \bar{S} + Q^n \bar{R}$

约束方程: $\bar{R} + \bar{S} = 1$

基本的R-S触发器功能描 (1)

状态表

(电路在相应的现态和当前逻辑输入组合作用下应到达的状态)

$\bar{R} \bar{S}$	00	01	10	11
Q^n				
0	×	0	1	0
1	×	0	1	1

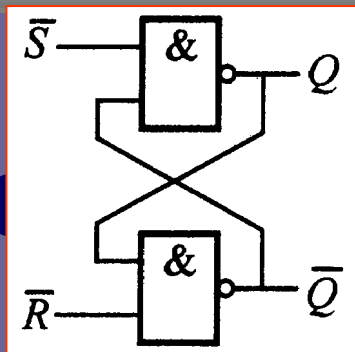
次态

$\bar{R} \bar{S}$	00	01	11	10
Q^n				
0	×	0	0	1
1	×	0	1	1

$\bar{R} \bar{S}$	00	01	11	10
Q^n				
0	×	0	0	1
1	×	0	1	1



基本的R-S触发器功能描 (2)



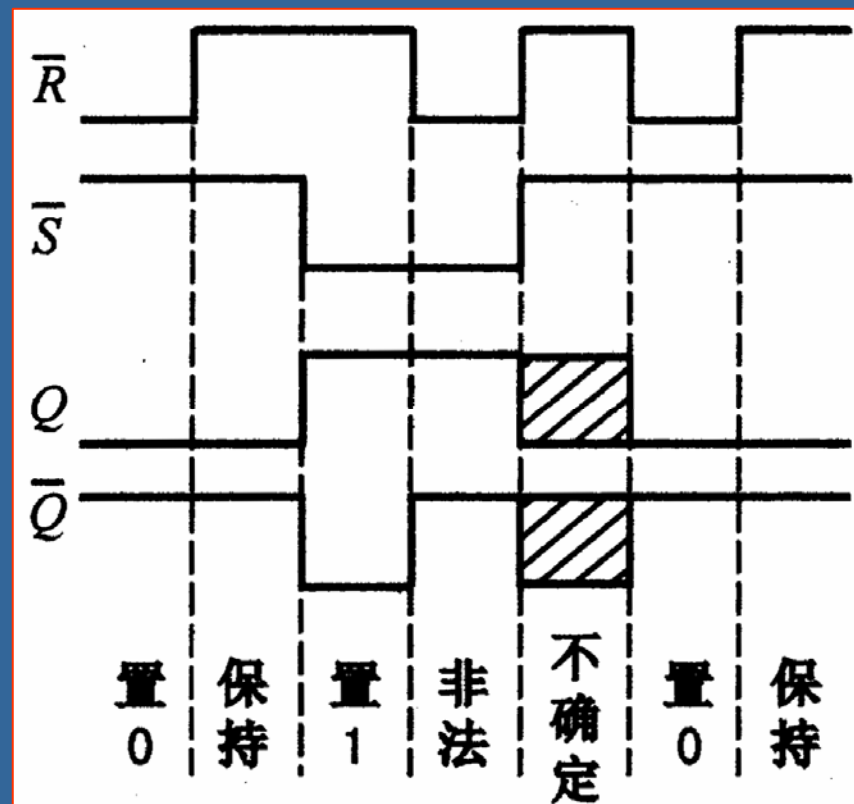
工作波形

(便于与实验观察的波形相比较)

激励表

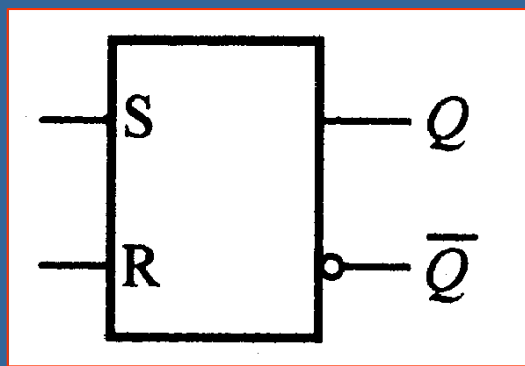
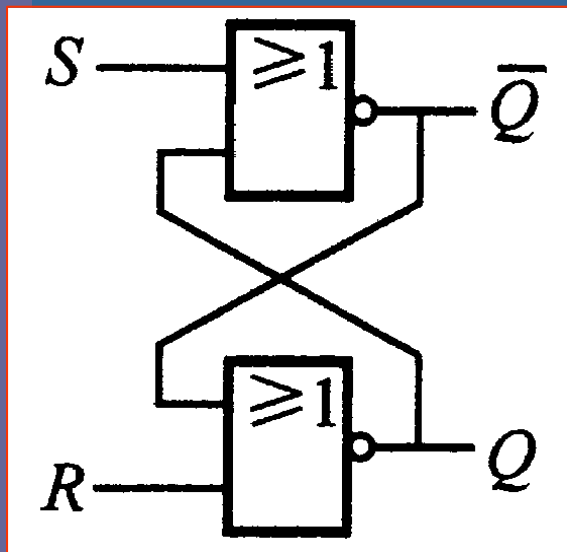
(根据状态转换的要求, 确定输入端的信号)

Q^n	Q^{n+1}	\bar{R}	\bar{S}
0	0	×	1
0	1	1	0
1	0	0	1
1	1	1	×



基本的R-S触发器

或非门构成的基本R-S触发器

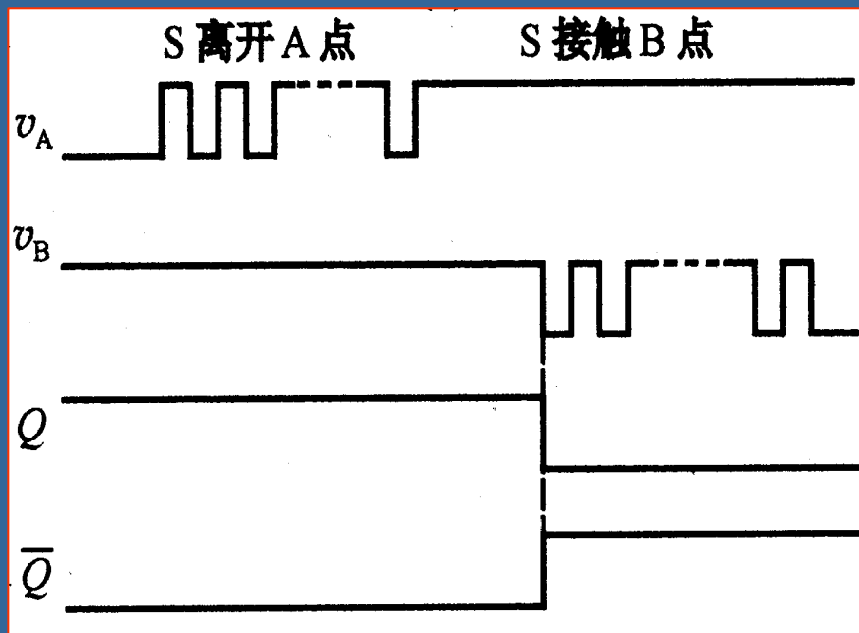
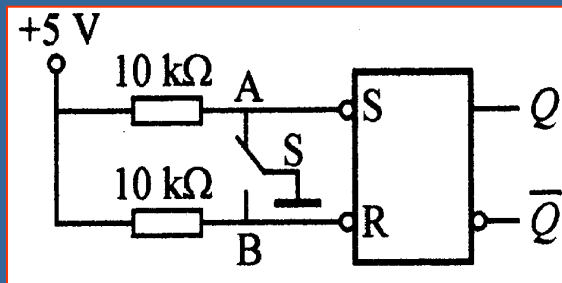
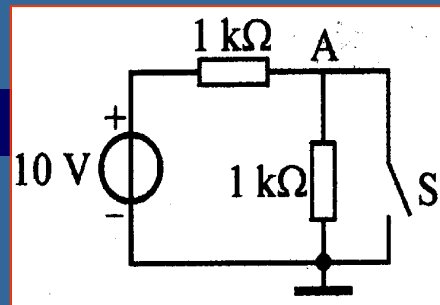


状态转换真值表

R	S	Q^{n+1}
0	0	Q^n
0	1	1
1	0	0
1	1	0 (不允许)

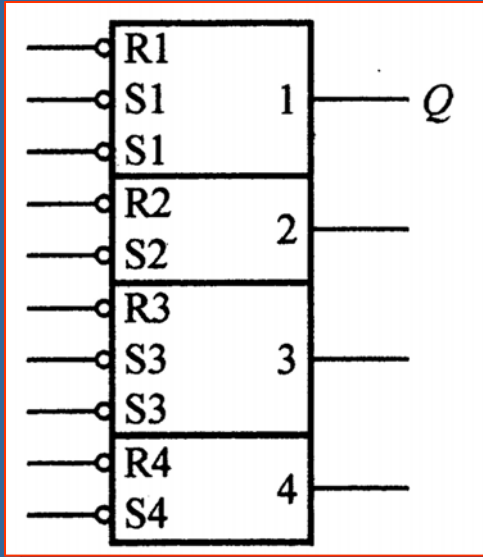
基本的R-S触发器的应用

消抖动开关

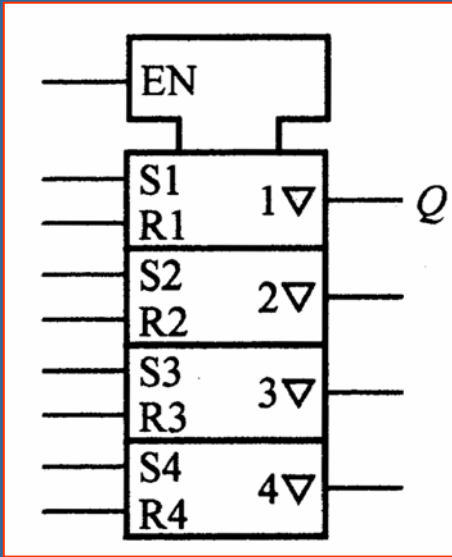


典型集成R-S触发器

型 号	特 性	输 入	输 出
74279	4R - S,与非结构	\overline{R} 、 \overline{S} 低电平有效	Q
CD4043	4R - S,或非结构	R、S 高电平有效	Q(三态)
CD4044	4R - S,与非结构	\overline{R} 、 \overline{S} 低电平有效	Q(三态)

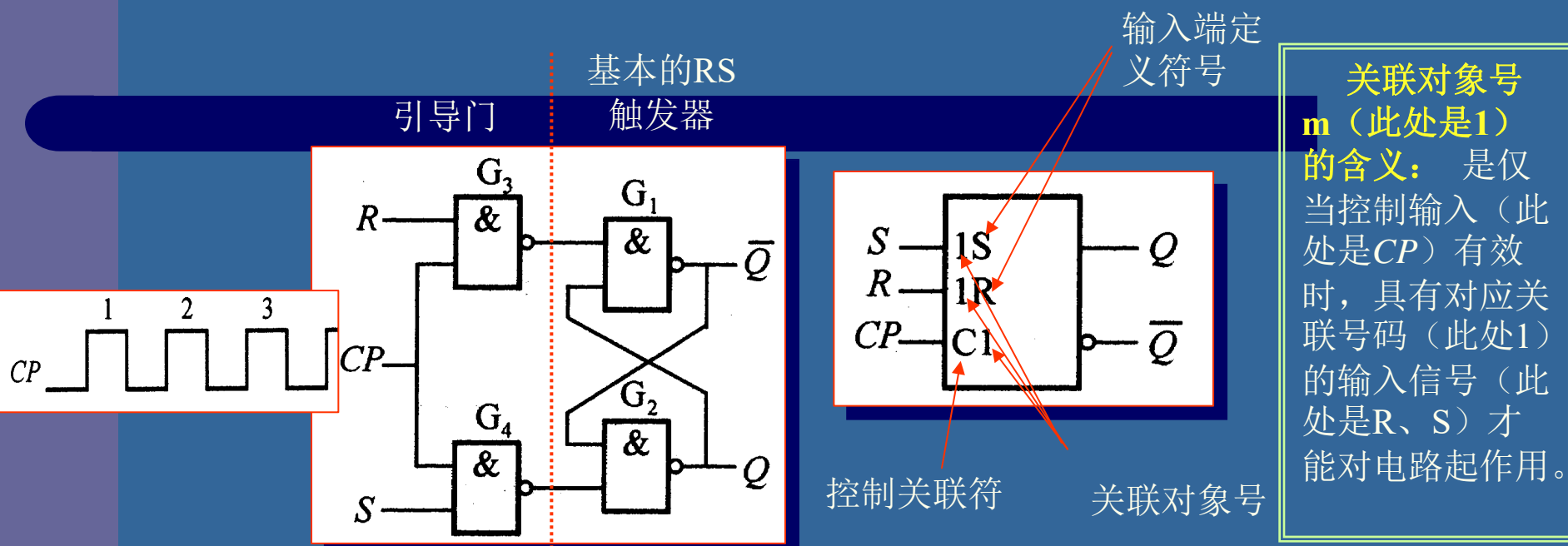


74279逻辑符号



CD4043逻辑符号

时钟R-S触发器



工作原理:

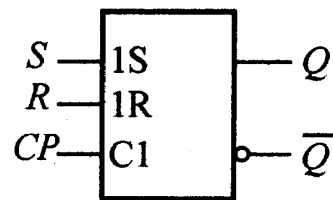
当CP=0时, G_3 、 G_4 被封锁, 输出Q、 \bar{Q} 与RS无关, 保持不变

当CP=1时, Q^{n+1} 随R、S而变。

状态真值表

R	S	Q^{n+1}
0	0	Q^n (不变)
0	1	1
1	0	0
1	1	1 (不允许)

时钟R-S触发器



状态表

$Q^n \backslash R \ S$	00	01	11	10
0	0	1	×	0
1	1	1	×	0

Q^{n+1}

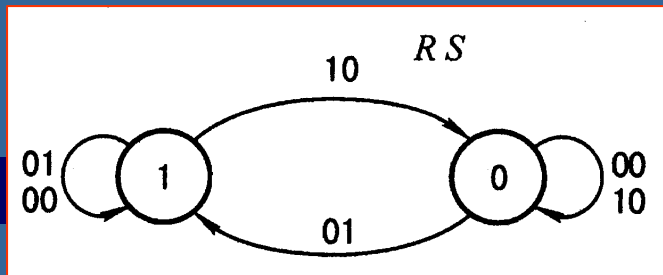
时钟RS触发器的状态方程为

$$Q^{n+1} = S + \bar{R}Q^n$$

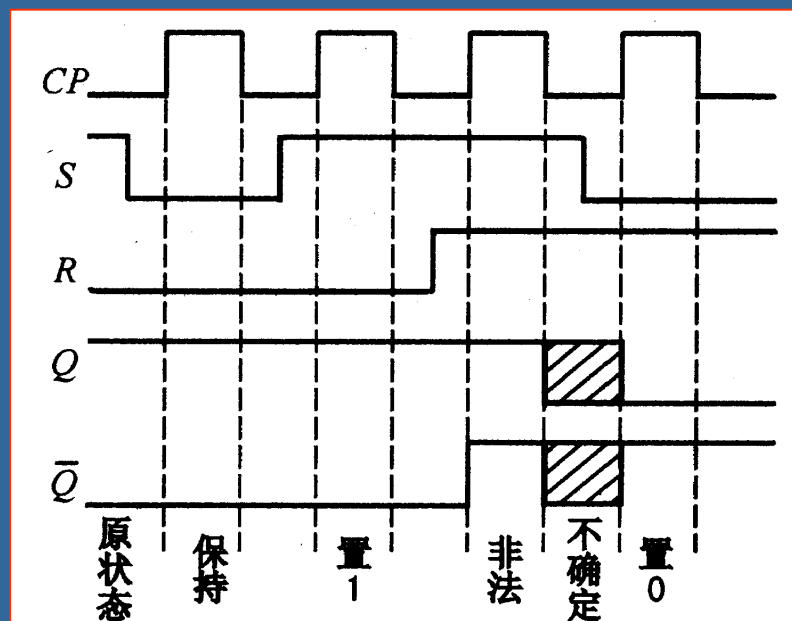
因时钟RS触发器中R、S不能同时输入1，故有约束方程

$$RS = 0$$

状态图



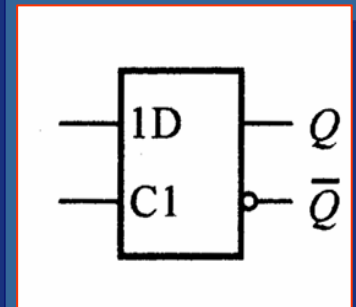
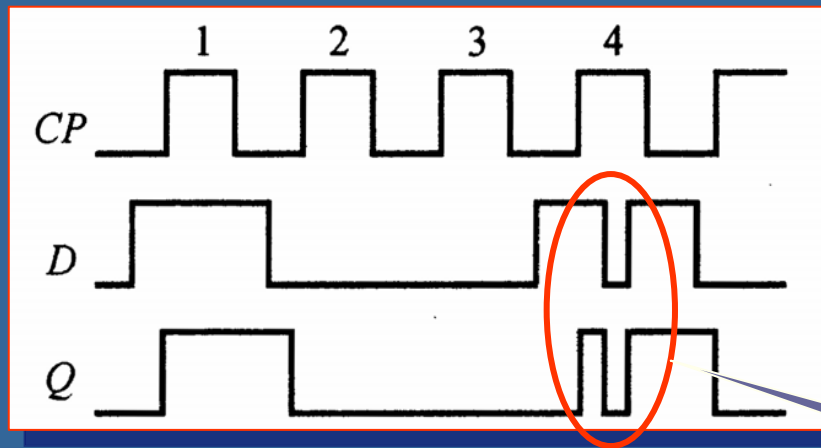
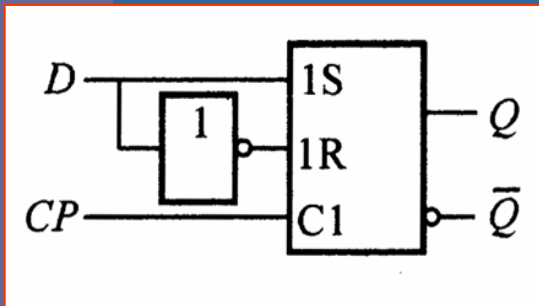
波形图



锁存器：具有寄存最新输入数据功能的数字器件。英文是Latch，其数据的存储是在CP时钟有效作用时间内（如高电平）进行，即所谓“电平触发”。

时钟R-S触发器的应用

数据锁存器



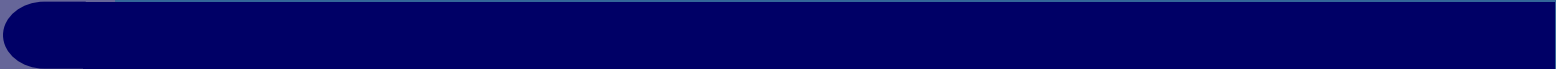
空翻现象

图中 $S=D$ ， $R=\bar{D}$ ，将它们代入时钟RS触发器的状态方程得：

$$Q^{n+1} = D$$

当 $CP=1$ 时，输入数码 D 存入触发器；当 $CP=0$ 时，即使 D 发生变化，触发器状态将不会发生变化。

常用的D锁存器

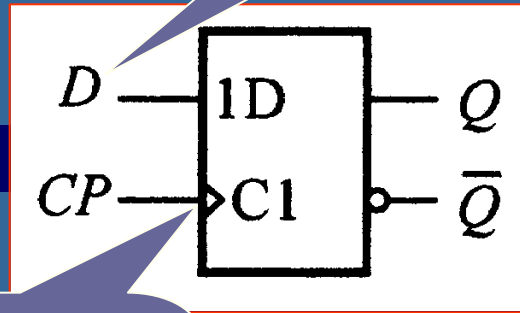


型 号	特 性	CP 端 数	输 出 端
74375	四锁存器	2	Q, \overline{Q}
74373	八锁存器	1(公用)	Q (三态)
74100	双四锁存器	2	Q

D触发器在功能上与D锁存器类似，但一般响应于CP的边沿。

D触发器

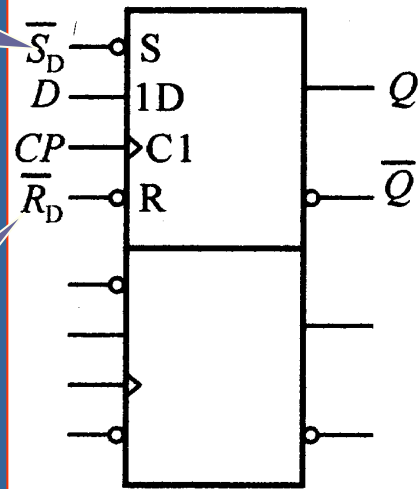
信号输入端
或称激励端



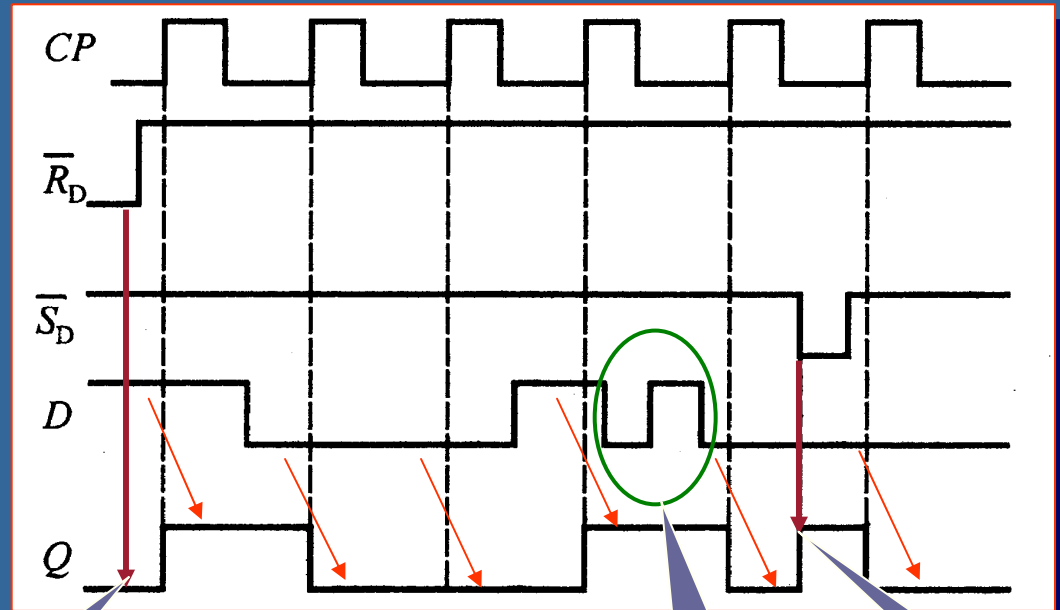
符号“>”表示动态输入，说明该触发器响应加于该输入端的CP信号的上升沿

7474

直接置1端



直接置0端



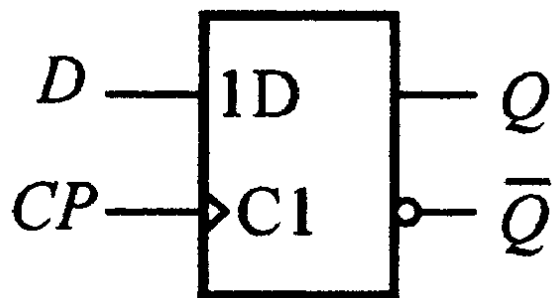
直接置0

空翻对Q
无影响

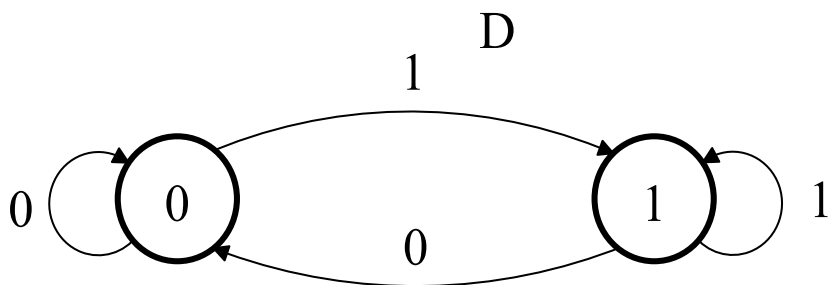
直接置1

D触发器

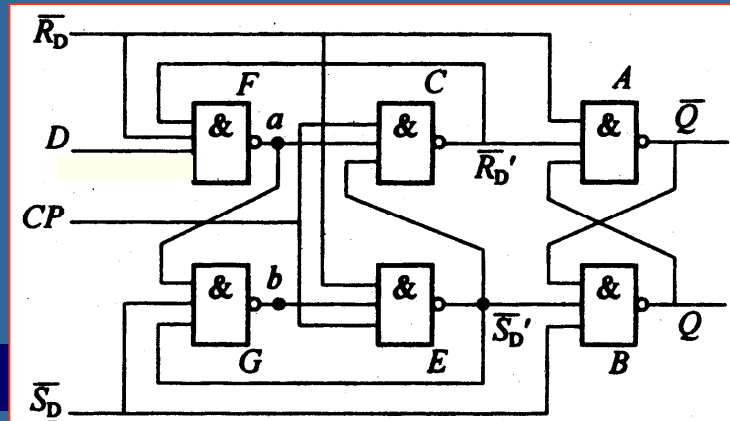
逻辑符号



状态图



D触发器的内部电路



状态表

		D	
		0	1
Q^n	0	0	1
	1	0	1

Q^{n+1}

D触发器的特征方程为

$$Q^{n+1} = D$$

显然，其逻辑功能与前述的D锁存器相同，但触发特性不同。

常用的D触发器

型 号	特 性	CP	输 出 端	置 1 端	置 0 端
7474	2D, 正边沿	独立	Q, \overline{Q}	独立、低电平	独立、低电平
74175	4D, 正边沿	公共	Q, \overline{Q}	无	公共、低电平
74273	8D, 正边沿	公共	Q	无	公共、低电平
74575	8D, 正边沿	公共	Q (三态)	无	公共、低电平
CD4013	2D, 正边沿	独立	Q, \overline{Q}	独立、高电平	独立、高电平