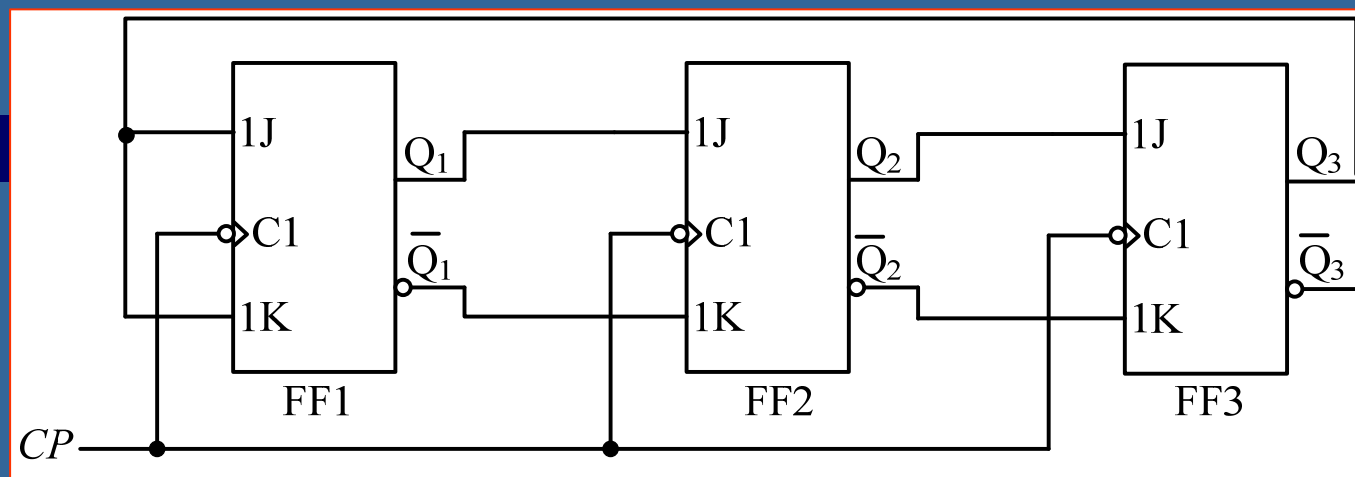


时序电路的自启动性分析

例1 画出下所示的电路的状态图。



解：激励方程

$$J_1 = K_1 = Q_3$$

$$J_2 = Q_1 \quad K_2 = \bar{Q}_1$$

$$J_3 = Q_2 \quad K_3 = \bar{Q}_2$$

状态方程

$$Q_1^{n+1} = Q_3^n \bar{Q}_1^n + \bar{Q}_3^n Q_1^n = Q_1^n \oplus Q_3^n$$

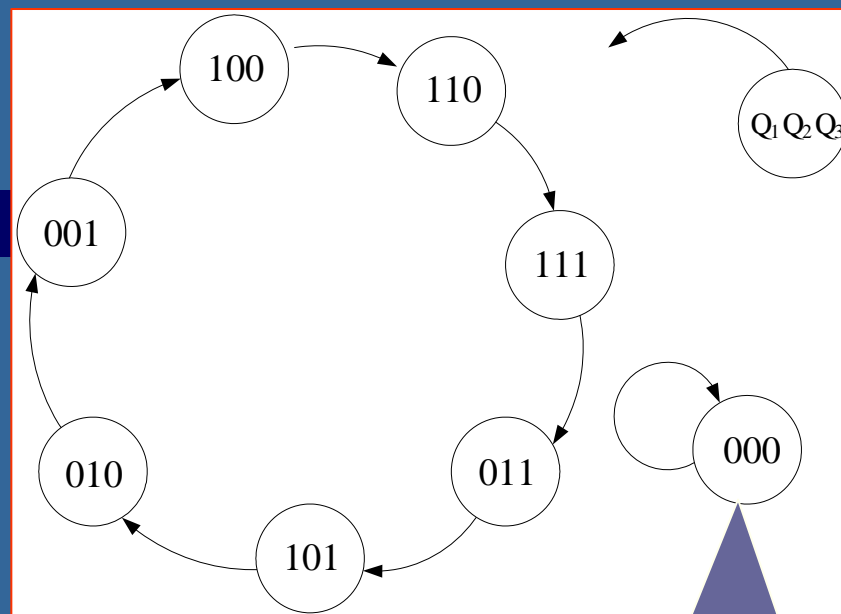
$$Q_2^{n+1} = Q_1^n \bar{Q}_2^n + Q_1^n Q_2^n = Q_1^n$$

$$Q_3^{n+1} = Q_2^n \bar{Q}_3^n + Q_2^n Q_3^n = Q_2^n$$

状态表

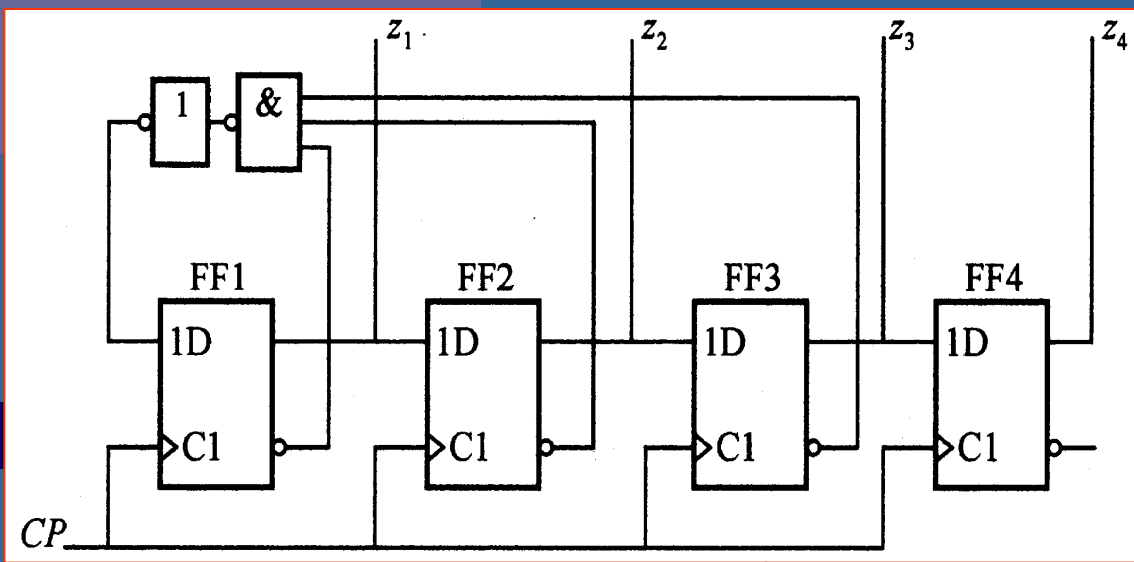
Q_1^n	Q_2^n	Q_3^n	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	1	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	1	0	1	1	1
1	1	1	0	1	1

状态图



可以看出：若电路的出现状态为000时，则电路则一直停留在000状态，不能动作，这称之为不能自启动

例2



解：状态方程

$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n}$$

$$Q_2^{n+1} = Q_1^n$$

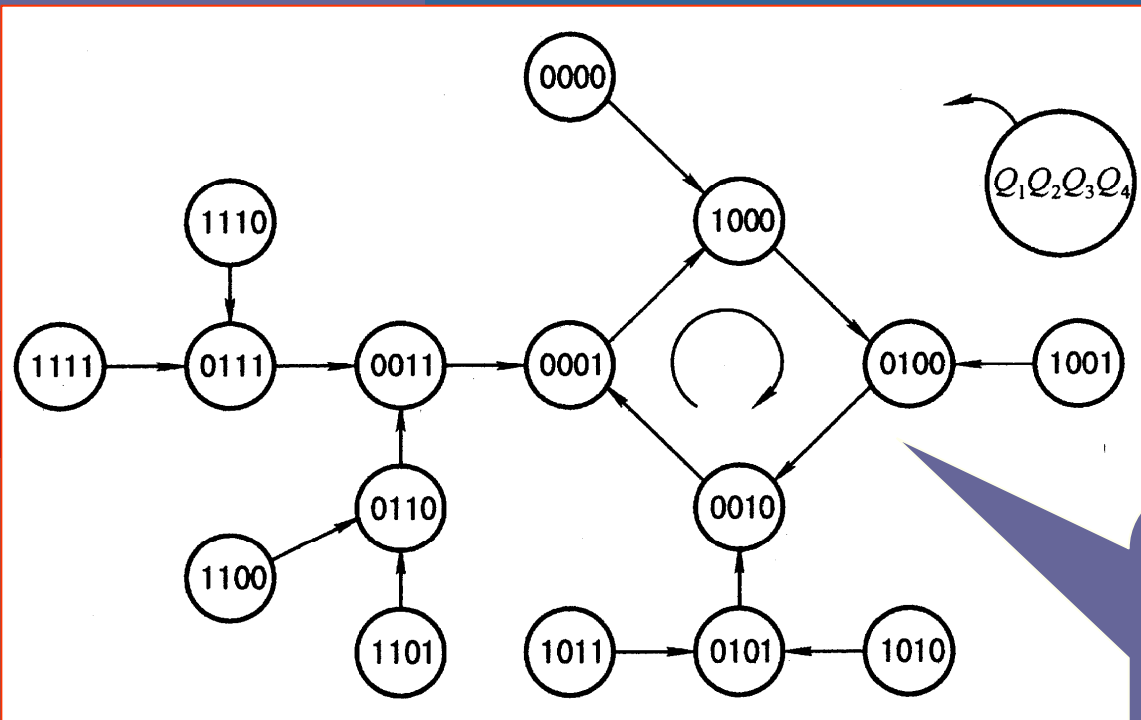
$$Q_3^{n+1} = Q_2^n$$

$$Q_4^{n+1} = Q_3^n$$

状态表

Q_1^n	Q_2^n	Q_3^n	Q_4^n	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	Q_4^{n+1}
0	0	0	0	1	0	0	0
0	0	0	1	1	0	0	0
0	0	1	0	0	0	0	1
0	0	1	1	0	0	0	1
0	1	0	0	0	0	1	0
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	0	1	1
1	0	0	0	0	1	0	0
1	0	0	1	0	1	0	0
1	0	1	0	0	1	0	1
1	0	1	1	0	1	0	1
1	1	0	0	0	1	1	0
1	1	0	1	0	1	1	0
1	1	1	0	0	1	1	1
1	1	1	1	0	1	1	1

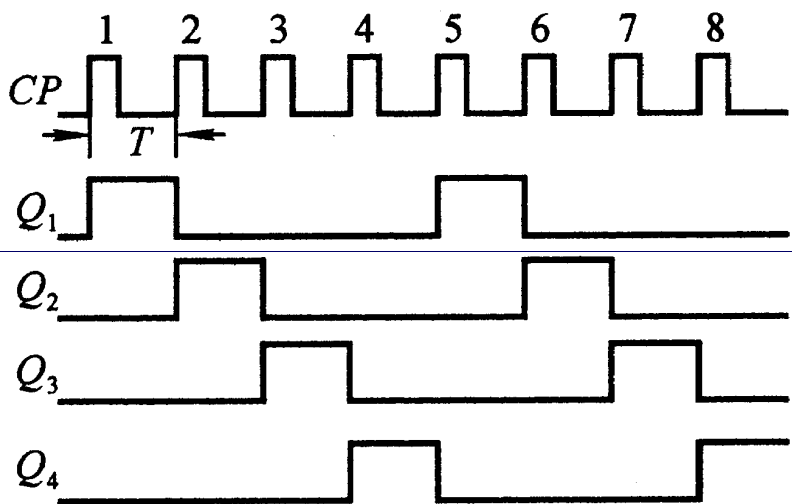
状态图



所谓**自启动**是指该电路一旦离开有效序列，在CP作用下仍可自行回到有效序列。

无论初始出现在什么状态，经过有限的周期后，电路总会进入正常的循环状态。电路有自启动性

波形图



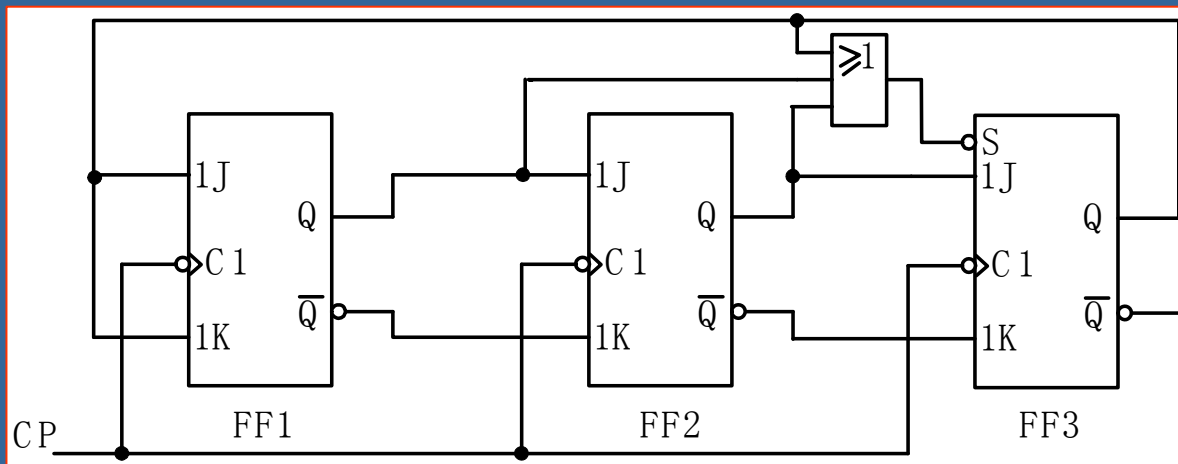
有效序列

1000 → 0100 → 0010 → 0001 → 1000 →

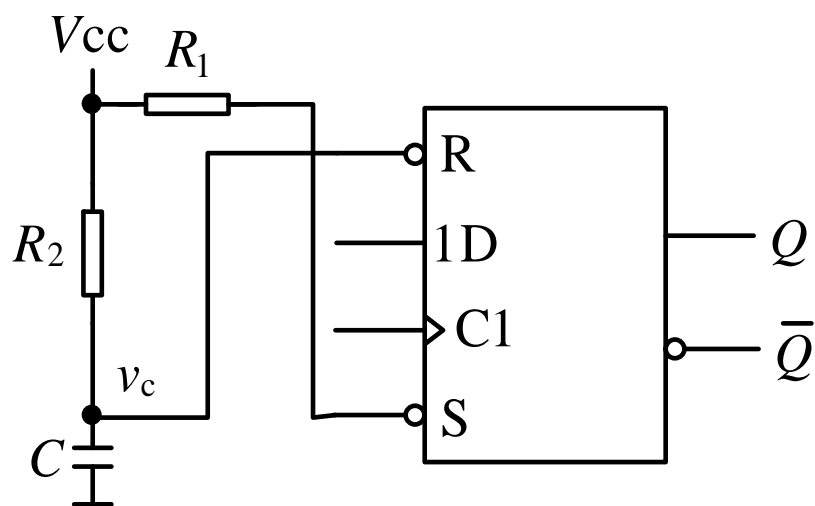
- 四路脉冲分配器或节拍脉冲发生器
- 模4计数器
- 4位移位寄存器

(1) 通过修改原电路设计

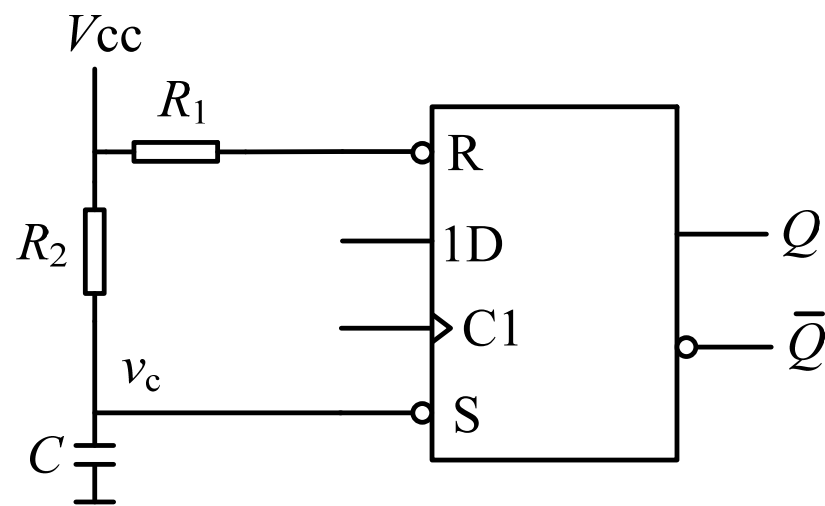
在电路状态进入000时，通过直接置位端将Q3的状态立即变成1。



(3) 设置开机复位、置位电路，使电路一开始工作就进入有效循环状态。



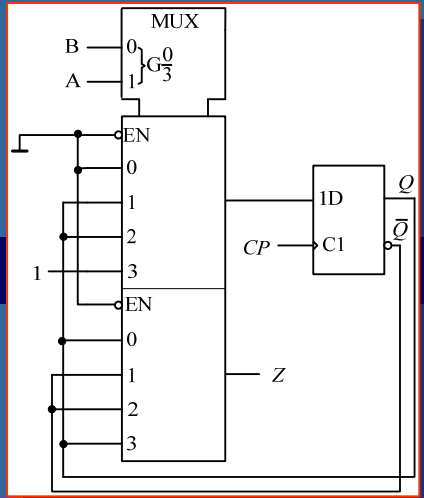
开机复位电路



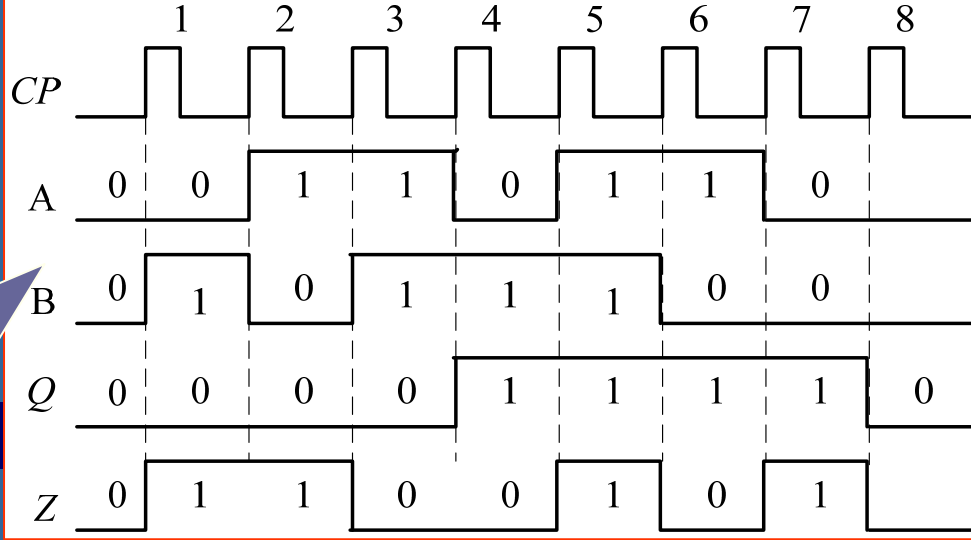
开机置位电路

异步输入信号的处理

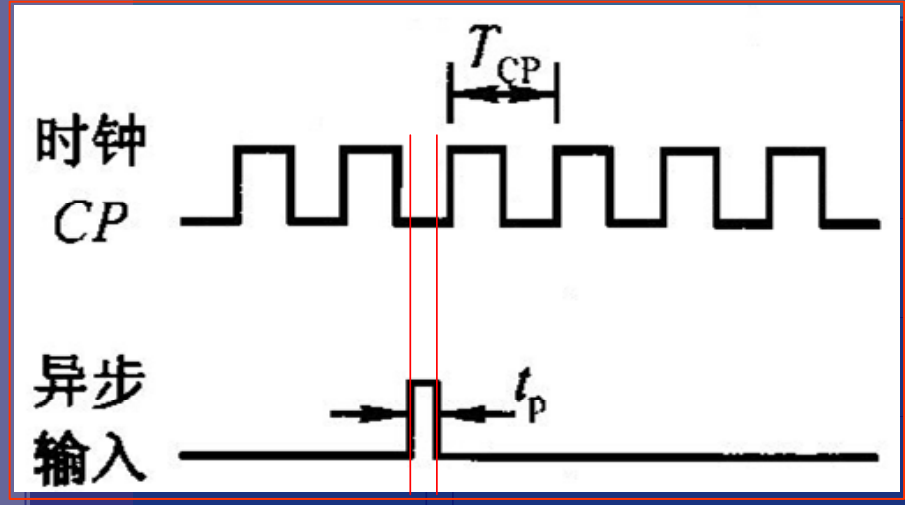
前例



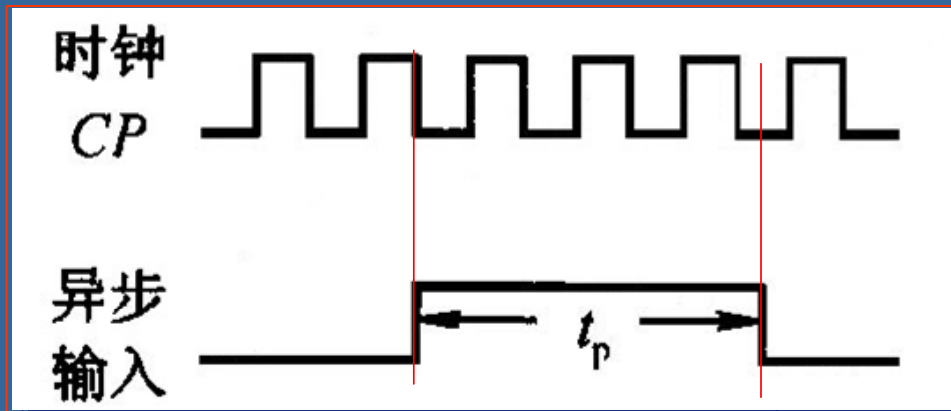
为什么这里外输入A、B正巧与CP时钟一致？



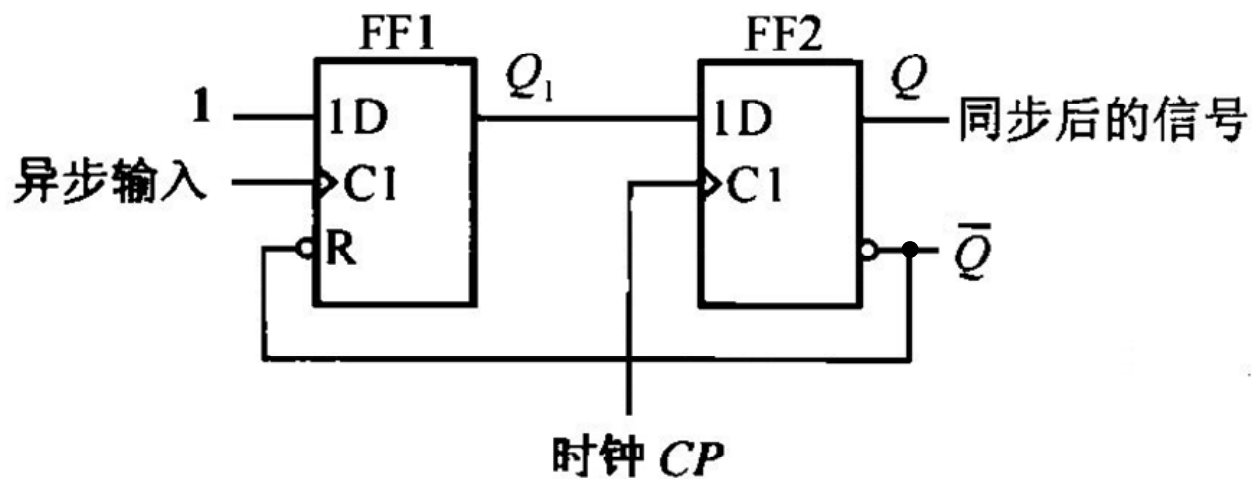
实际外输入也许



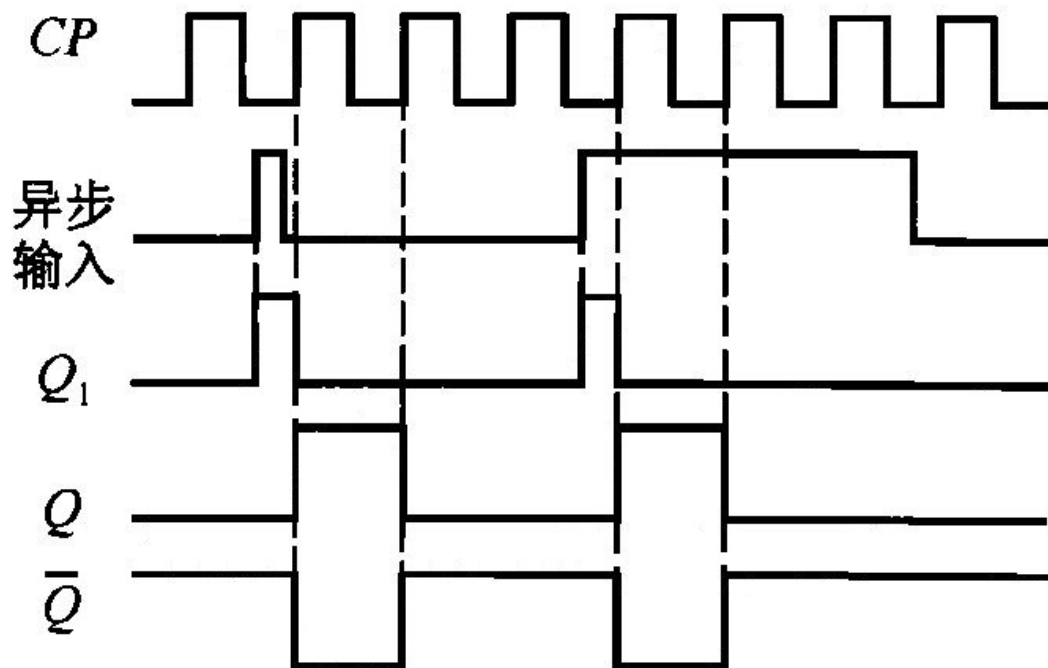
或者



例 异步输入 信号同步化电路



波形图

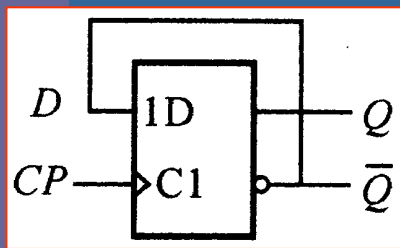


集成计数器及其应用

什么是计数器？

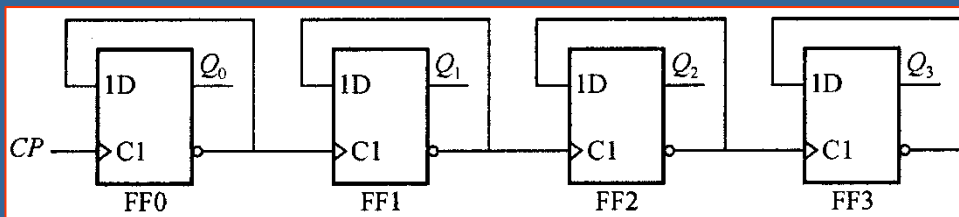
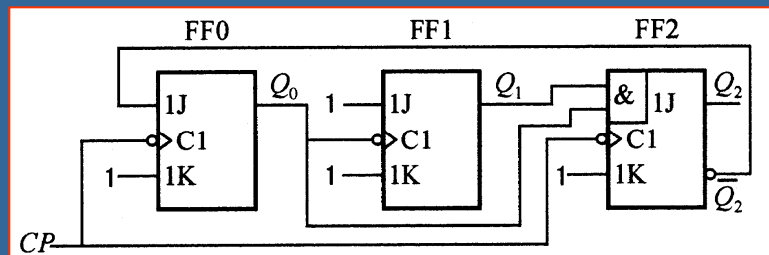
一般来说，当时序电路的状态图中出现循环状态时，此时序电路就可称为**计数器**，而将循环中状态的个数称之为计数器的“**模**”，一个有m个循环状态的计数器就称为模m计数器，有时也称为m分频计数器。

计数器是通过电路的状态来反映输入脉冲数目的电路

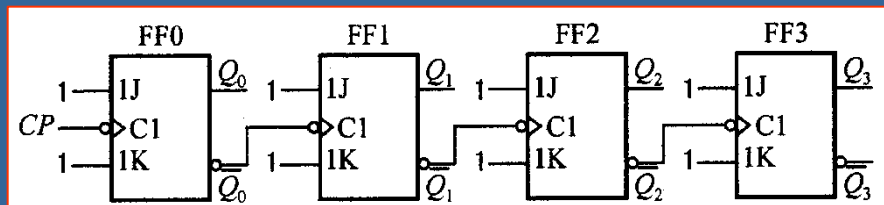


模2计数器

模5加法计数器



模16加法计数器

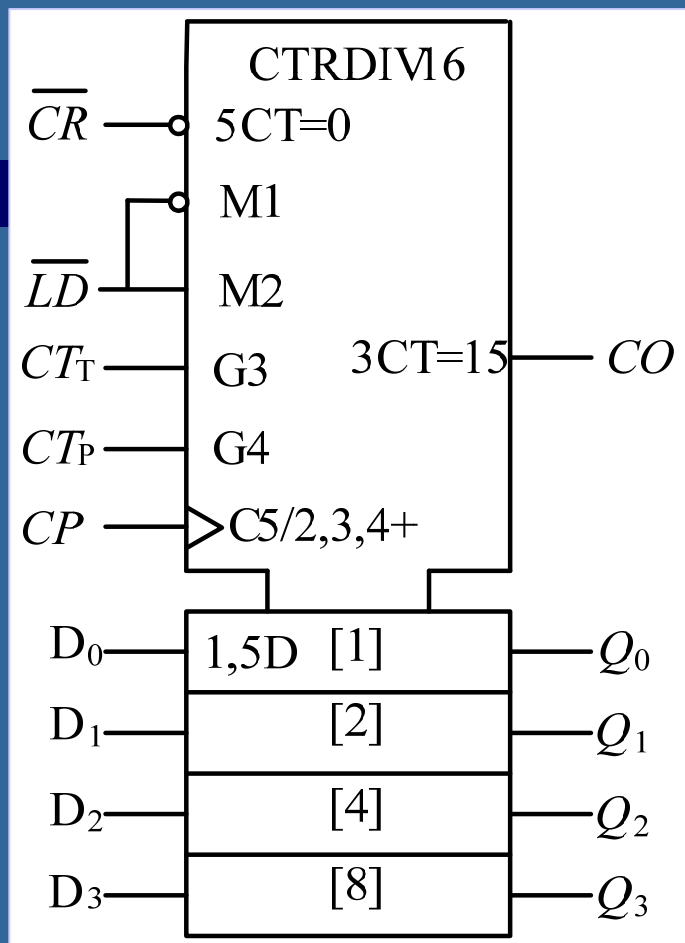


模16减法计数器

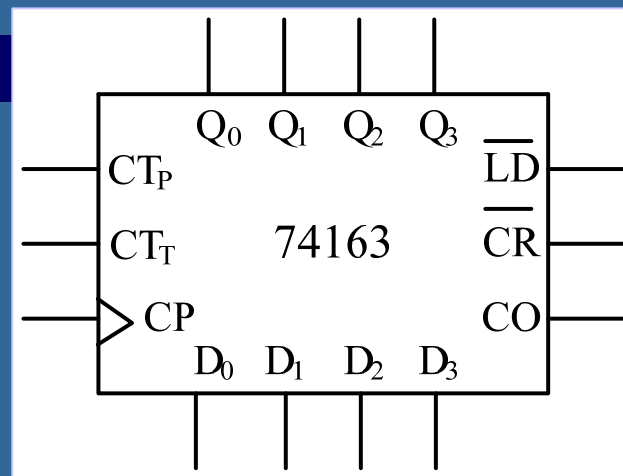
常用集成计数器

型 号	计数方式	模及码制	计数规律	预 置	复 位	触发方式
7490	异步	2×5	加法	异步	异步	下降沿
7492	异步	2×6	加法		异步	下降沿
74160	同步	模 10,8421 码	加法	同步	异步	上升沿
74161	同步	模 16,二进制	加法	同步	异步	上升沿
74162	同步	模 10,8421 码	加法	同步	同步	上升沿
74163	同步	模 16,二进制	加法	同步	同步	上升沿
74190	同步	模 10,8421 码	单时钟,加/减	异步		上升沿
74191	同步	模 16,二进制	单时钟,加/减	异步		上升沿
74192	同步	模 10,8421 码	双时钟,加/减	异步	异步	上升沿
74193	同步	模 16,二进制	双时钟,加/减	异步	异步	上升沿
CD4020	异步	模 2^{14} ,二进制	加法		异步	下降沿

一、同步（加法）计数器74163



74163的标准逻辑符号



74163的惯用逻辑符号

① CTRDIV16 (Counter Divide): 定性符, 表明它是十六进制计数器。

② \overline{CR} (Clear): 复位端 (又称清零端), 低电平有效。

5CT=0: 表示在时钟 C5 上升沿触发下电路的输出状态 $Q_3Q_2Q_1Q_0 = 0000$ (同步复位)。故这是一种同步清零器件。

③ \overline{LD} (Load): 置数控制端, 低电平有效。

M1 和 M2 称为方式关联符: M1=1 (即 $\overline{LD}=0$) —— 置数操作 (Load)

M2=1 (即 $\overline{LD}=1$) —— 计数操作

也就是说, 当 $\overline{LD}=0$ 时, M2M1=01 置数 ($Q_3Q_2Q_1Q_0=D_3\sim D_0$);

当 $\overline{LD}=1$ 时, M2M1=10 计数。

④ CT_T 、 CT_P : 计数控制信号。

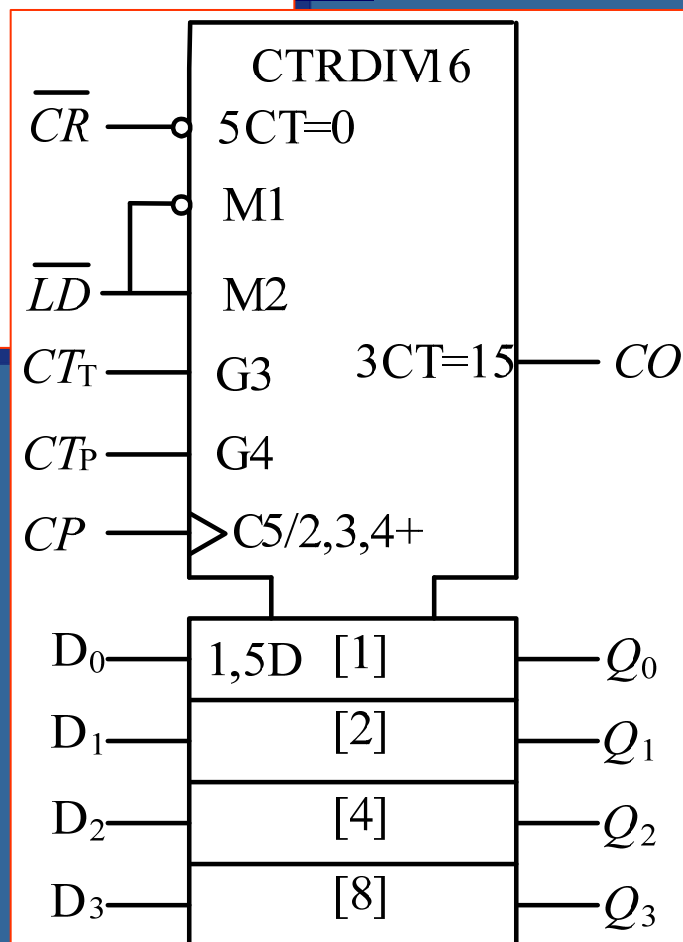
当 $\overline{LD}=\overline{CR}=1$ 时, $CT_T=CT_P=1$ 时, 加法计数,

$CT_T=X$, $CT_P=0$ 时, $Q_3\sim Q_0$ 保持,

$CT_T=0$, $CT_P=X$ 时, $Q_3\sim Q_0$ 保持。

G3、G4 是与关联符。

逻辑符号含义



⑤ CP : 计数脉冲输入端。

$>C5$: 时钟编号为 5, 且是上升沿触发;

2, 3, 4+: 当 $M2=1$, $G3=1$, $G4=1$ 时进行加法运算。

⑥ Q_0 、 Q_1 、 Q_2 和 Q_3 : 计数器状态输出端。

[1]、[2]、[4]和[8]: 表示输出端 Q_0 、 Q_1 、 Q_2 和 Q_3 的权依次为 1、2、4 和 8。

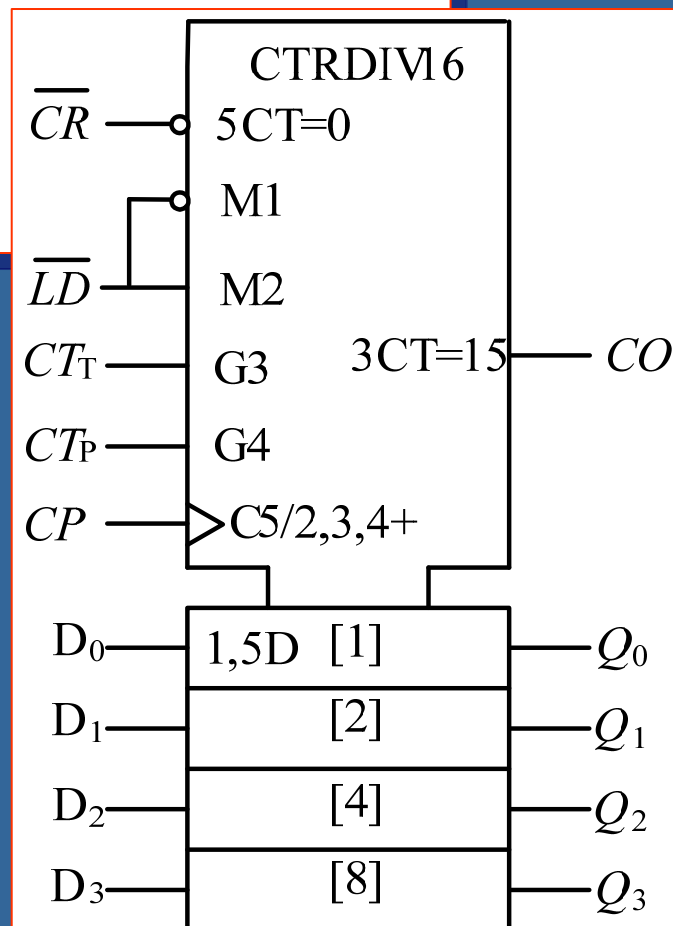
⑦ D_0 、 D_1 、 D_2 和 D_3 : 并行数据输入端。

1, 5D: $M1=1$, $C5$ 上升沿触发, 置数操作。




⑧ CO : 进位输出端。

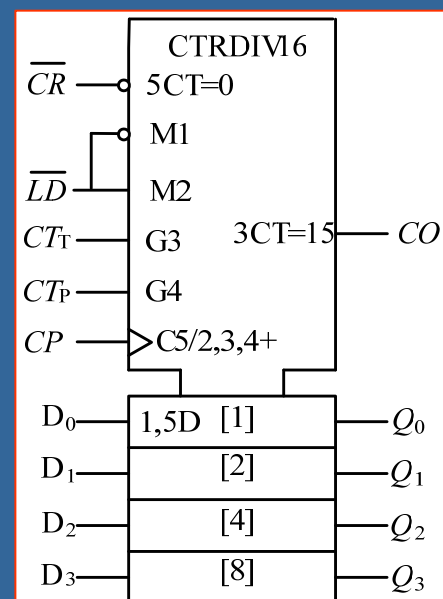
$3CT=15$: $G3$ (即 CT_T) = 1, 且计数器状态为 15,

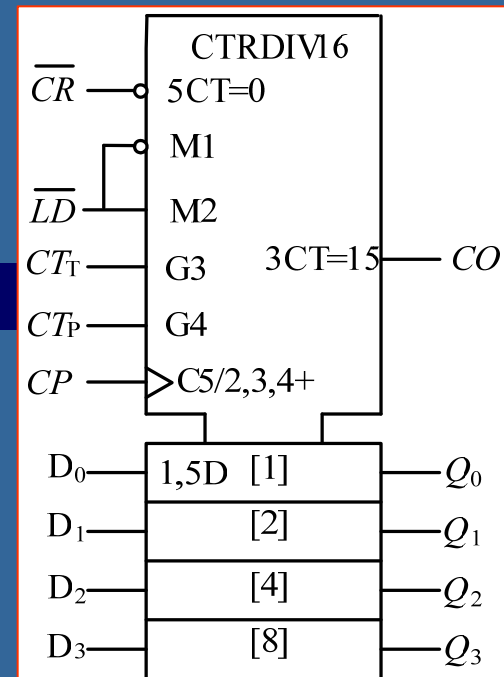
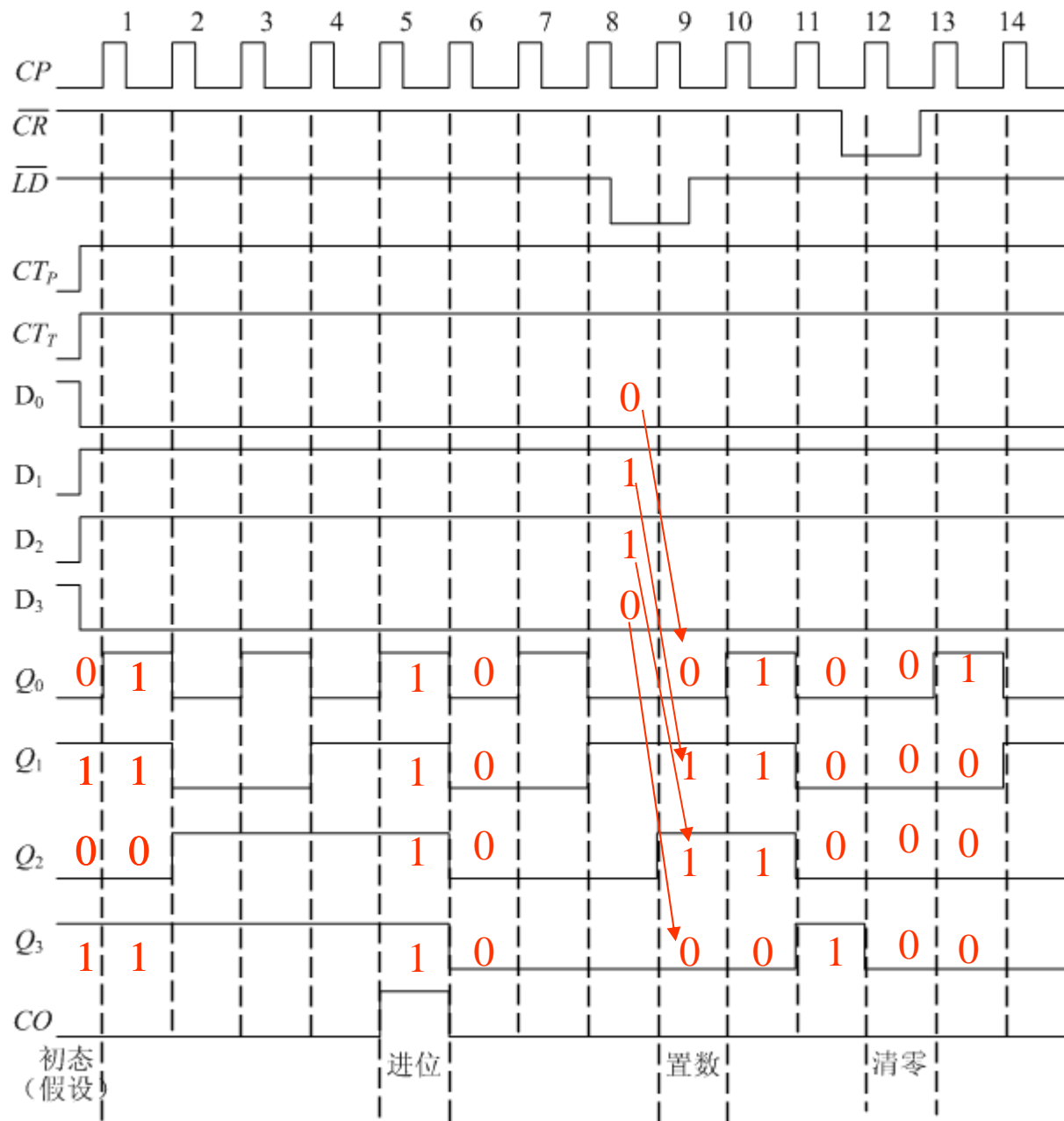
即 $Q_3 Q_2 Q_1 Q_0 = 1111$ 时产生进位 $CO=1$ 。



74163的功能表

输 入									输 出			
CP	\overline{CR}	\overline{LD}	CP_T	CT_T	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0
	0	×	×	×	×	×	×	×	0	0	0	0
	1	0	×	×	D_3	D_2	D_1	D_0	D_3	D_2	D_1	D_0
×	1	1	0	×	×	×	×	×	保 持			
×	1	1	×	0	×	×	×	×	保 持			
	1	1	1	1	×	×	×	×	计 数			
									进位输出: $CO = Q_3 Q_2 Q_1 Q_0 CT_T$			





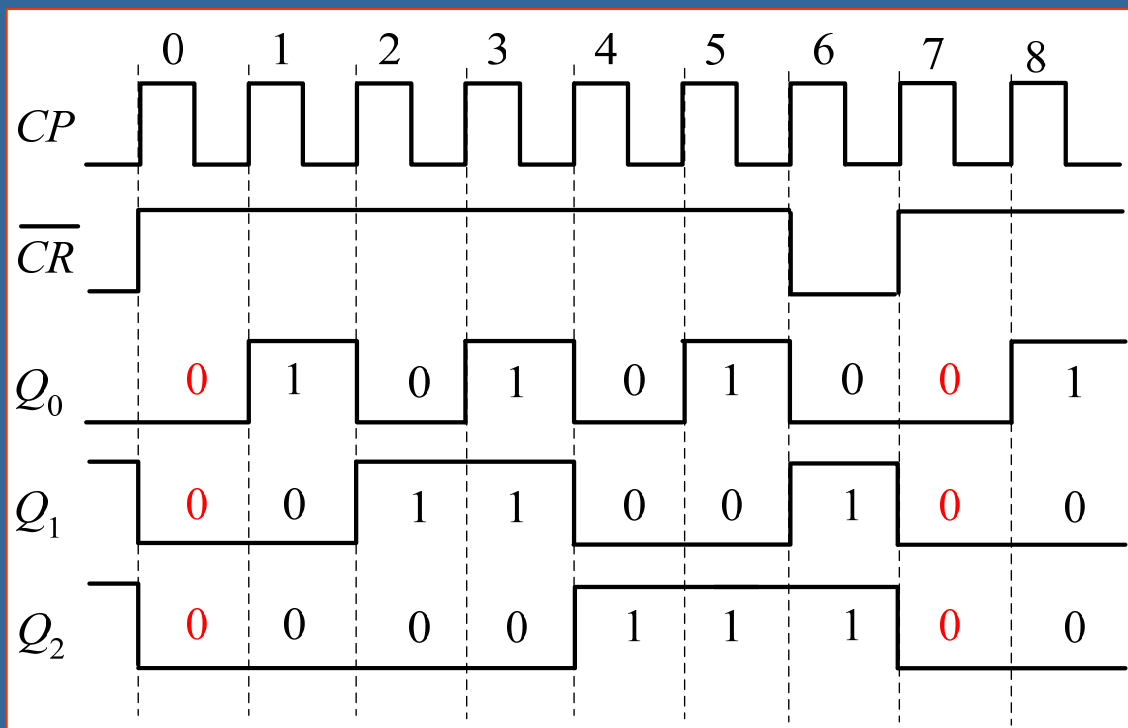
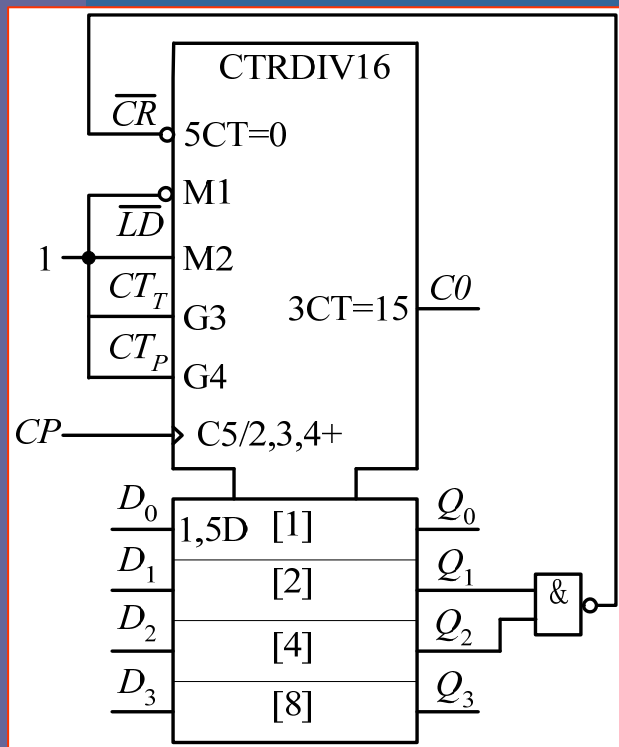
74163的波形图

计数器74163应用:

(1) 构成任意模的计数器

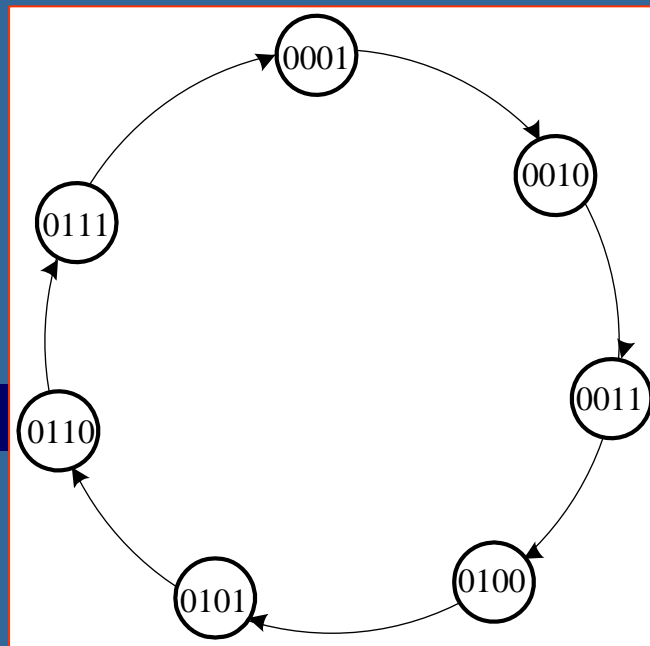
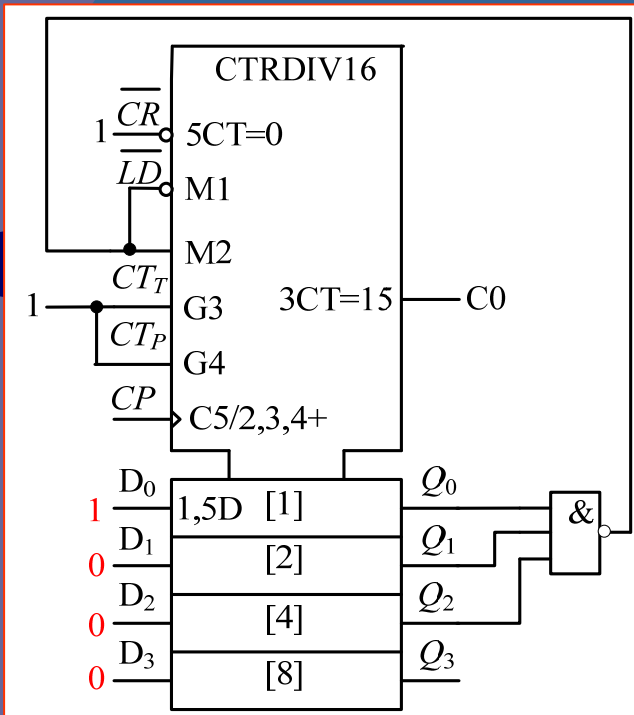
将74163与少量的逻辑门电路结合，可构成任意模（模数小于16）计数器。

方法一：复位法

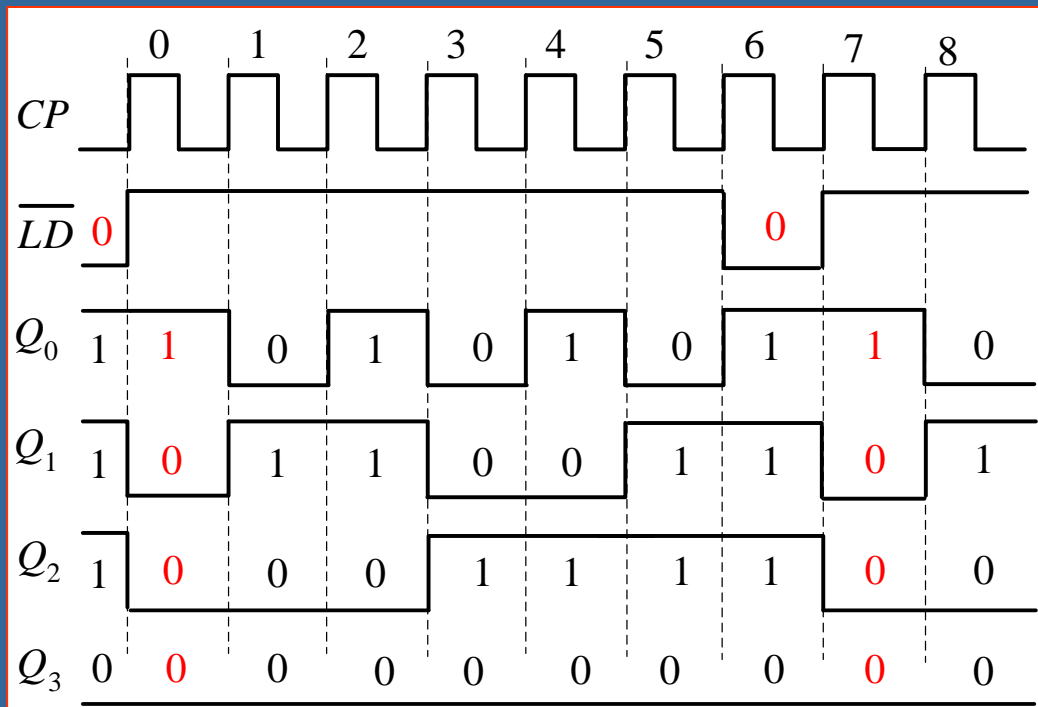


模7加法计数器

方法二：置数法



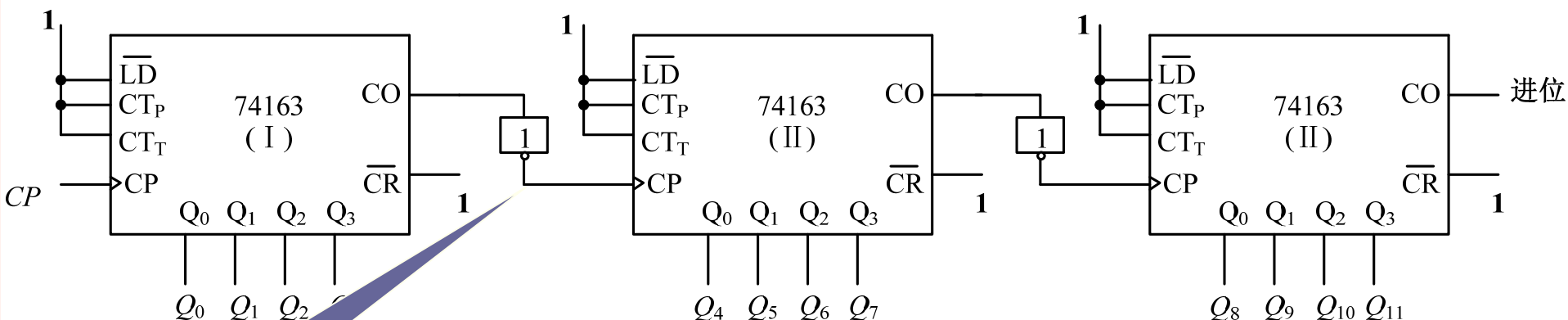
模7加法计数器



(2) 计数器的扩展 (模数大于16)

①异步方式:

实质上就是各集成计数器的级联。前级计数器的输出作为后级计数器的时钟。



思考：为什么要加非门？

因为 $CO = CT_T Q_3 Q_2 Q_1 Q_0$ ，在当 $Q_3 Q_2 Q_1 Q_0 = 1111$ 时， CO 由 $0 \uparrow 1$ ，如果这时就触发后一级电路计数，那就相当于 $(15)_{10}$ 就产生进位计数了，所以需要加入一个非门，在 $Q_3 Q_2 Q_1 Q_0 = 1111$ 之后，再来一个 CP 脉冲， CO 由 $1 \downarrow 0$ ，后一级 CP 则由 $0 \uparrow 1$ ，后一级计数器这才开始计数一次。

电路特点：连接简单，运行速度较慢。

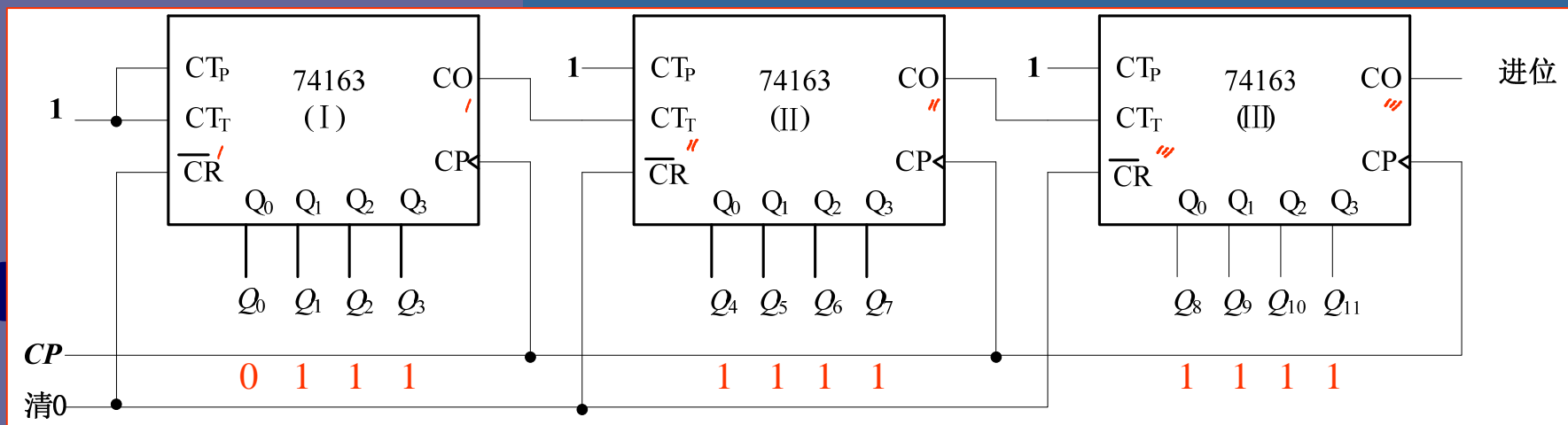
电路一



$$CT_T'' = CO' = Q_3 Q_2 Q_1 Q_0 CT_T' = Q_3 Q_2 Q_1 Q_0$$

$$CT_T''' = CO'' = Q_7 Q_6 Q_5 Q_4 CT_T''' = Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0 = \prod_{i=0}^7 Q_i$$

(芯片 I 是每来一个计数脉冲就加1计数。对高位的74163而言, 仅当它左侧所有的 Q 端均为1时, 在下一个 CP 脉冲作用下, 它才能加1计数, 同时它左侧各74163因受该 CP 脉冲的作用均由状态1111变为状态0000。)



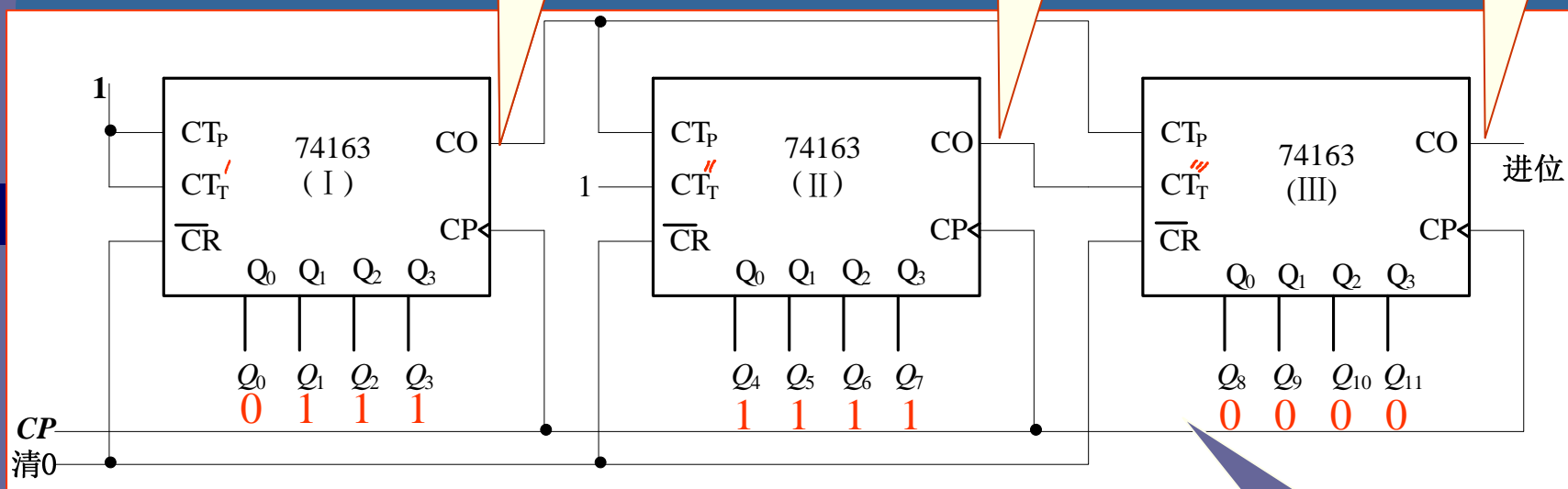
因为欲使CP脉冲到来时74163能计数，其控制端 $CT_T=1$ ，而当 $Q_{11}Q_{10}\sim Q_3Q_2Q_1Q_0=1111\ 1111\ 1110$ 时， $CO'=0 \rightarrow CO''=0 \rightarrow CO'''=0$ 。再来一个CP脉冲， $Q_{11}Q_{10}\sim Q_3Q_2Q_1Q_0=1111\ 1111\ 1111$ ， $CO'=1 \rightarrow CO''=1 \rightarrow CO'''=1$ 才产生进位脉冲。

结论： 由于各芯片间的进位信号CO是逐级传递的。因此，计数的最高频率将受到片数的限制，片数越多，计数频率越低。

注意： $CT_T=1$ 仅仅是74163可以计数的必要条件。

电路二

(改进型电路)



此电路的工作速度较高，因为只要芯片 II 状态全为1，则

$$CO'' = Q_7 Q_6 Q_5 Q_4 CT_T'' = Q_7 Q_6 Q_5 Q_4 = CT_T'' = 1$$

一旦芯片 I 状态全为1，则

$$CO' = Q_3 Q_2 Q_1 Q_0 CT_T' = Q_3 Q_2 Q_1 Q_0 = CT_P' = 1$$

该信号直接作用于芯片 III 的 CT_P 端，不需要经过芯片 II 的传输，从而提高了电路的工作速度。

思考：四级电路如何接？工作原理一样吗？