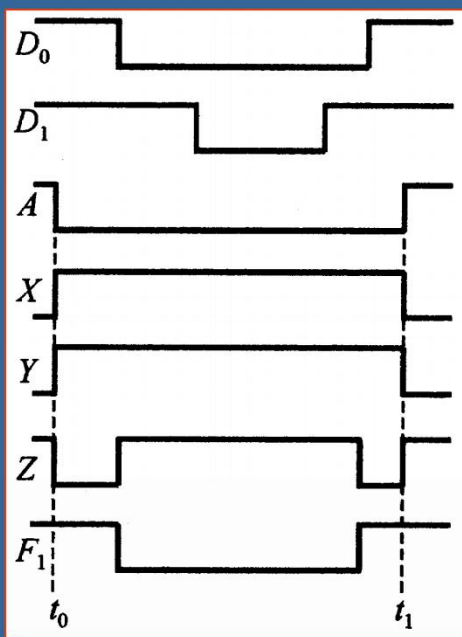
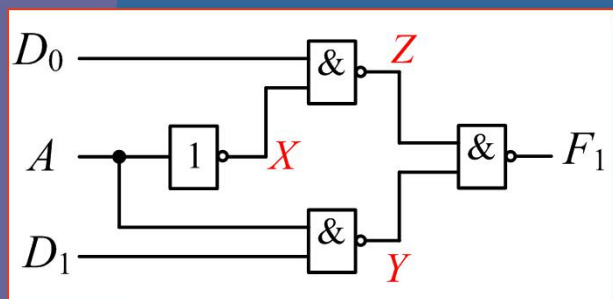


# 竞争与险象

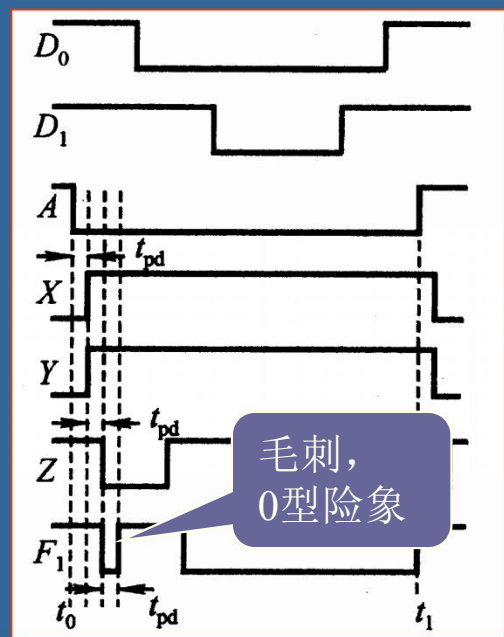
**险象：**又称冒险，毛刺。是由于电路元件自身的信号传输延迟，输入信号有上升和下降时间或多个输入信号不能同时变化而使电路输出产生的瞬间错误。

**竞争：**在组合电路中，当多个输入发生变化时，由于它们变化的快慢不同，传输到输出端必然有时差。或者，当某一个变量通过两条以上的路径到达输出端，由于每条路径上的延迟时间不同，到达输出端也有时差，这一现象称为竞争。习惯上称前者为**功能竞争**，后者为**逻辑竞争**。

## 例1

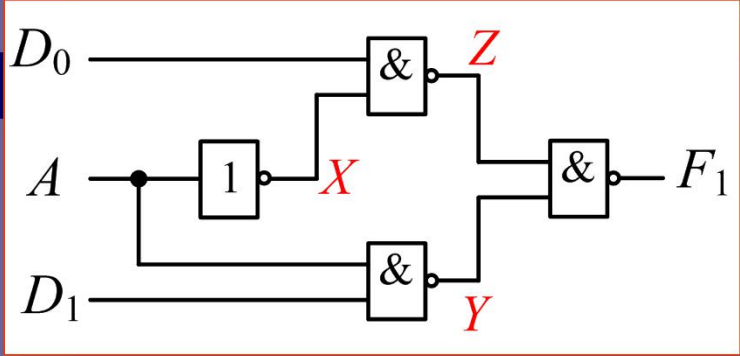


不考虑门电路的传输延迟



考虑门电路的传输延迟

# 逻辑险象的类型

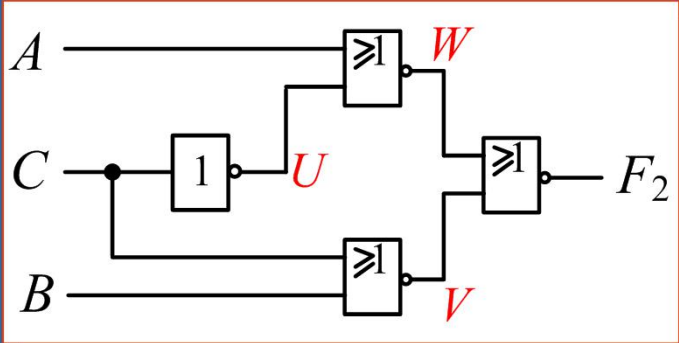


$$F_1 = D_1A + D_0\bar{A}$$

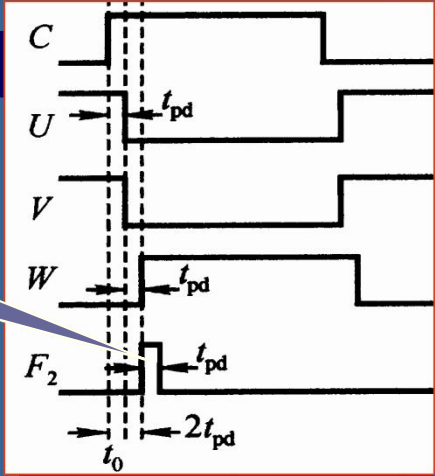
当 $D_1=D_0=1$ 时

$$F_1 = A + \bar{A}$$

当A从1变到0，由于 $\bar{A}$ 要延迟一个非门时间才从0变化到1。故 $F_1$ 有瞬间的0出现，称为0型险象。



(设 $A=B=0$ )



1型险象

$$F_2 = (A + \bar{C})(D + C)$$

当 $A=B=0$ 时

$$F_2 = C \cdot \bar{C}$$

当C从0变到1，由于 $\bar{C}$ 要延迟一个非门时间才从1变化到0。故 $F_1$ 有瞬间的1出现，称为1型险象。

## 逻辑险象的判别

法一：代数法

**例2** 试判别函数  $F = BC + \overline{A}B + \overline{B}\overline{C}$  是否会产生险象？

解：（1）变量A：无反变量，故无逻辑险象

（2）变量B与C

0型险象

A	C	F
0	0	$B + \overline{B}$
0	1	B
1	0	$\overline{B}$
1	1	B

A	B	F
0	0	$\overline{C}$
0	1	1
1	0	$\overline{C}$
1	1	C

- 临界竞争：产生险象的竞争。
- 非临界竞争：不产生险象的竞争。

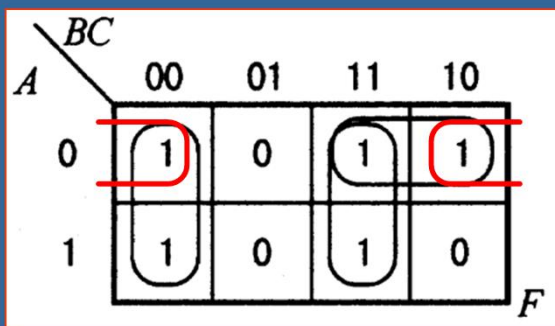
# 逻辑险象的判别

## 法二：卡诺图法

卡诺图法：若有两个卡诺圈相切，则其中必有一变量在一个卡诺圈以原变量出现，而在另一卡诺圈中以反变量出现，这时电路必然存在逻辑险象。而两个卡诺圈相互交链或相互错开，均不会产生险象。

### 例3

$$F = BC + \bar{A}B + \bar{B}\bar{C}$$

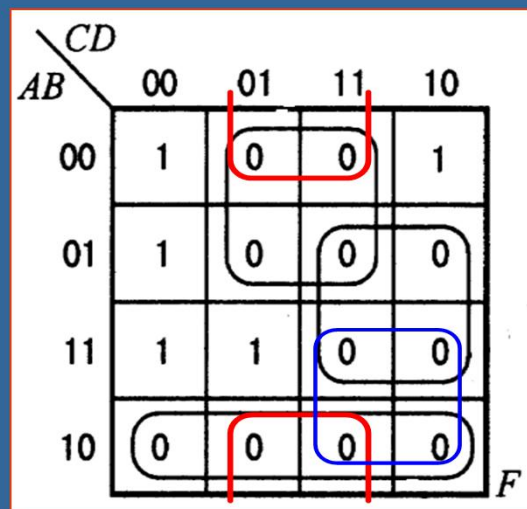


含“1”格的卡诺圈相切产生0型险象，通过增加冗余项消除。

$$F = BC + \bar{A}B + \bar{B}\bar{C} + \bar{A}\bar{C}$$

上式，当A=0，C=0时，F=1

$$F = (A + \bar{D})(\bar{B} + \bar{C})(\bar{A} + B)$$



含“0”格的卡诺圈相切产生1型险象，通过增加冗余项消除。

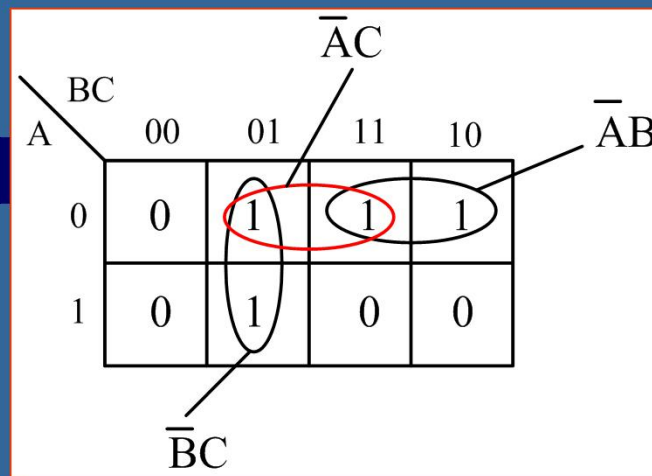
$$F = (A + \bar{D})(\bar{B} + \bar{C})(\bar{A} + B)(B + \bar{D})(\bar{A} + \bar{C})$$

上式，当A=1，C=1时，F=0

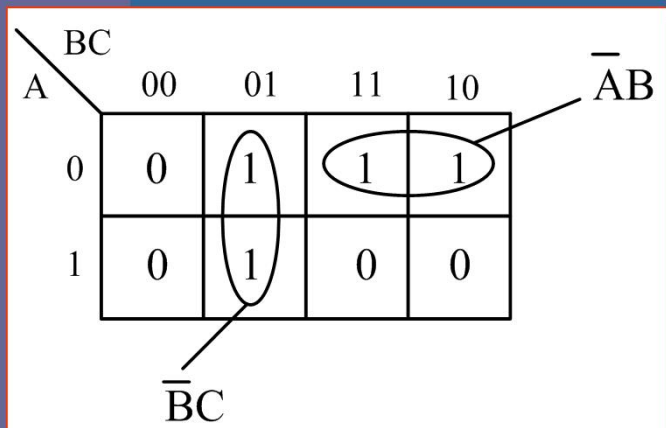
**例4** 试分别用最少的与非门和无逻辑险象的最少与非门实现真值表所示的逻辑电路。

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

## (2) 无逻辑险象的最少的与非门

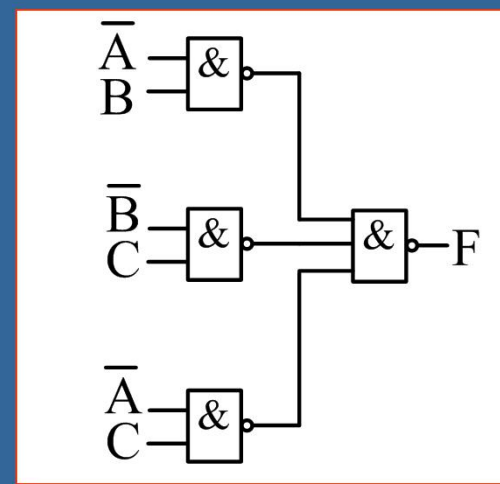
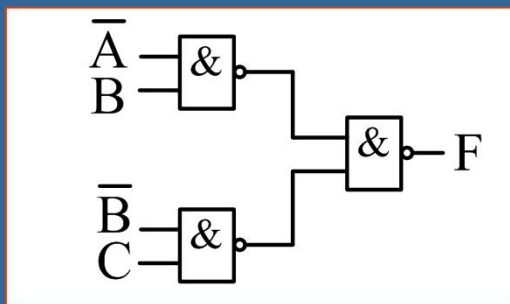


**解:** (1) 最少的与非门

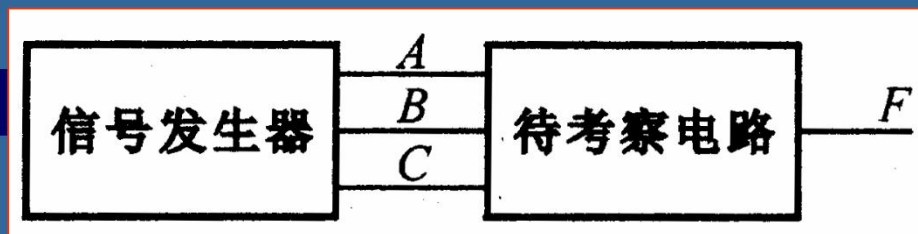


$$F = \bar{A}B + \bar{B}C = \overline{\overline{\bar{A}B}} \cdot \overline{\overline{\bar{B}C}}$$

$$F = \bar{A}B + \bar{B}C + \bar{A}C = \overline{\overline{\bar{A}B}} \cdot \overline{\overline{\bar{B}C}} \cdot \overline{\overline{\bar{A}C}}$$



## 功能险象



例如：101  $\rightarrow$  000

A、C通常很难控制同时变化，而谁先谁后又很难确定。

若A先于C变：101  $\rightarrow$  001  $\rightarrow$  000

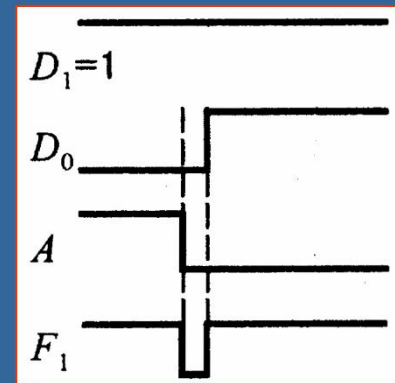
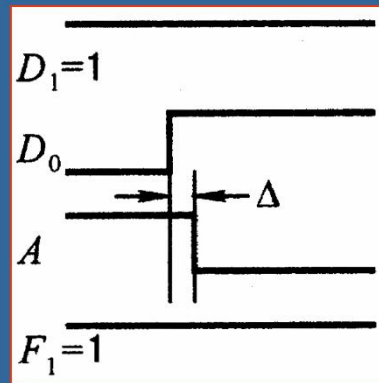
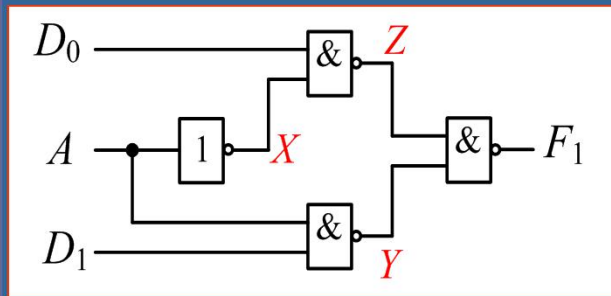
若C先于A变：101  $\rightarrow$  100  $\rightarrow$  000

# 功能险象

例5  $F_1 = D_0 \bar{A} + D_1 A$

$D_0$ 先变,  $A$ 后变

$A$ 先变,  $D_0$ 后变

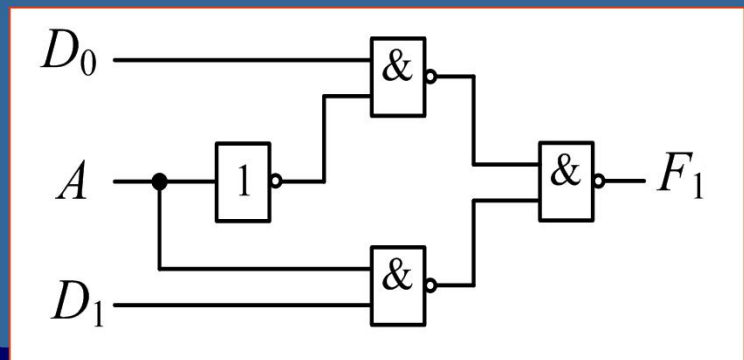


功能险象

由多个输入信号变化的先后引起的险象称之为**功能险象**。

# 功能险象的判别

用卡诺图易于判别功能险象



$$F_1 = D_0 \bar{A} + D_1 A$$

设:  $D_0 D_1 A = 011 \rightarrow 110$

$D_1 A$	00	01	11	10
$D_0$				
0	0	0	1	0
1	1	0	1	1

$F_1$

$D_1 A$	00	01	11	10
$D_0$				
0	0	0	1	0
1	1	0	1	1

$F_1$

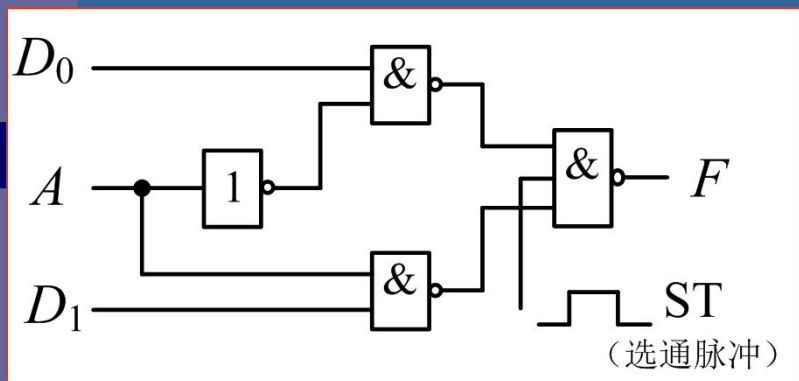
变换路径  
不可控

**结论:** 如果输入信号在初始组合的作用下的输出与最终组合的输出有相同的值, 但在变化过程中的输出值与此不同, 则产生功能险象。



# 消除的功能险象方

## 法方法一:

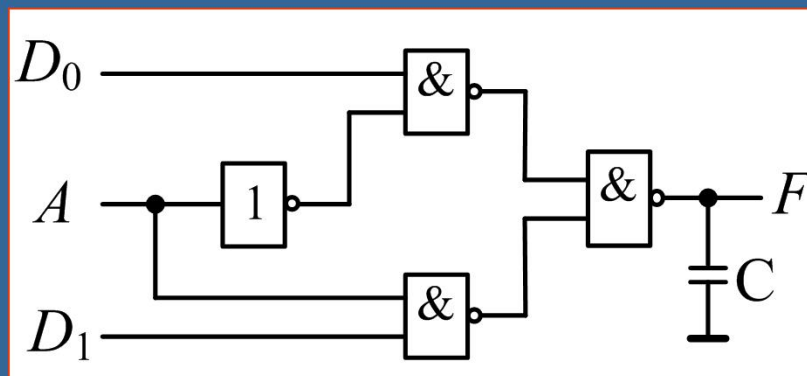


← 加选通信号 $ST$

(当 $D_0D_1A$ 全部变化完成后,  
 $ST=1$ , 开门输出)

## 方法二:

用滤波电容

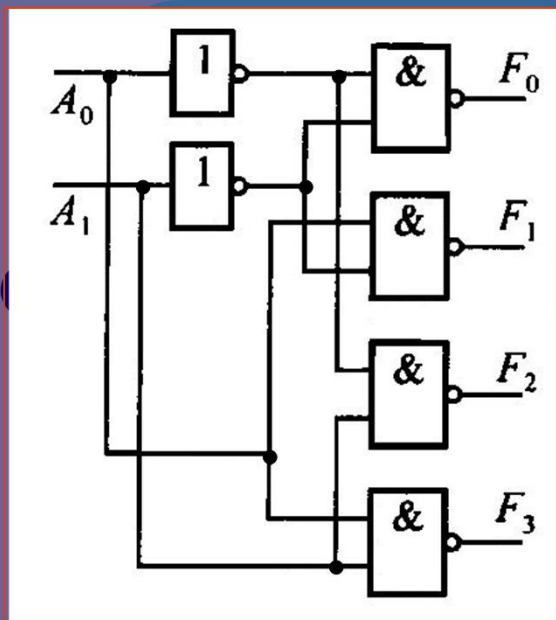


毛刺谐波频率高，  
电容阻抗小。

$F$  未加电容

$F$  加电容后

## 例6 试判断如图所示电路中的功能险象。

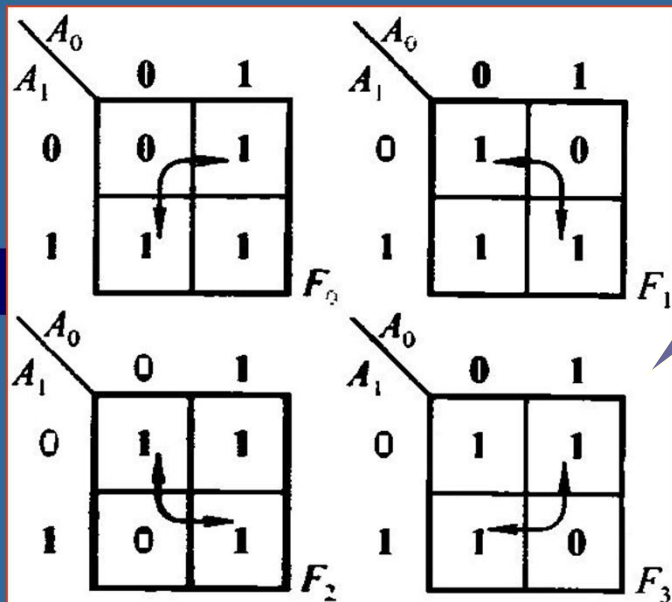


$$F_0 = \overline{\overline{A_1} \overline{A_0}}$$

$$F_1 = \overline{\overline{A_1} A_0}$$

$$F_2 = \overline{A_1 \overline{A_0}}$$

$$F_3 = \overline{A_1 A_0}$$

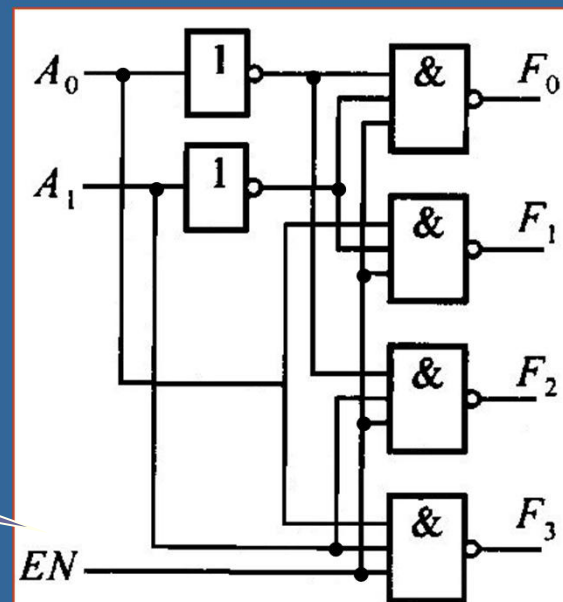


均存在功能险象

A	B	F <sub>0</sub>	F <sub>1</sub>	F <sub>2</sub>	F <sub>3</sub>
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

2线—4线译码器  
(低电平有效)

使能端功能之一是当A<sub>1</sub>A<sub>0</sub>全部输入稳定后EN等于1，才使输出产生，从而达到消除功能险象的目的。



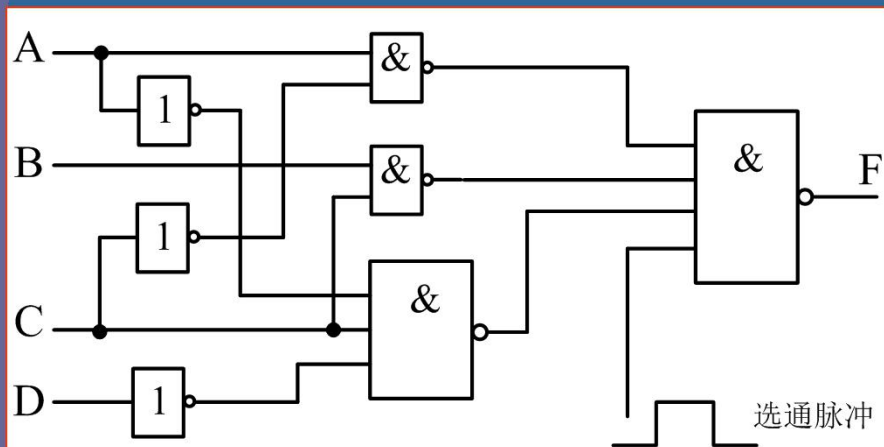
**例7**（教材P134习题3.74） 已知函数 $F(A,B,C,D)=\Sigma m(2, 6\sim 9, 12\sim 15)$ ，试判断当输入变量按自然二进制码的顺序变化时，是否存在功能险象。若存在，请用选通脉冲法消除之，并画出用与非门实现它的逻辑电路图。

**分析：**“输入变量按自然二进制码的顺序变化”的含意就是：0000→0001，0001→0010，…，1110→1111，1111→0000的变化。在这些变化过程中，0011→1000，0111→1000，将产生功能险象。

AB \ CD	CD			
	00	01	11	10
00	0	0	0	1
01	0	0	1	1
11	1	1	1	1
10	1	1	0	0

F

逻辑图

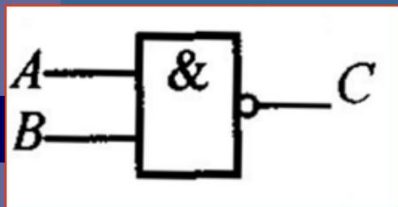


**逻辑表达式：**

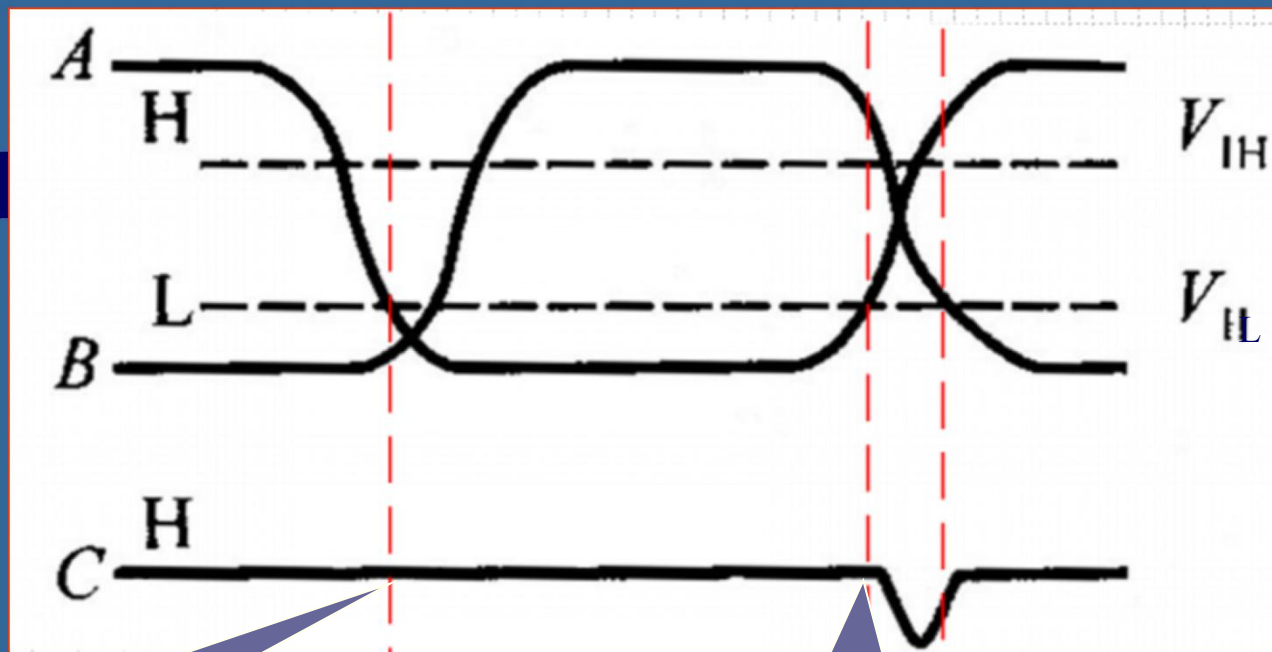
$$F(A,B,C,D) = A\bar{C} + BC + \bar{A}C\bar{D}$$

$$= \overline{\overline{A}\bar{C}} \cdot \overline{\overline{B}C} \cdot \overline{\overline{A}C\bar{D}}$$

# 输入信号的上升及下降时间引起的毛刺



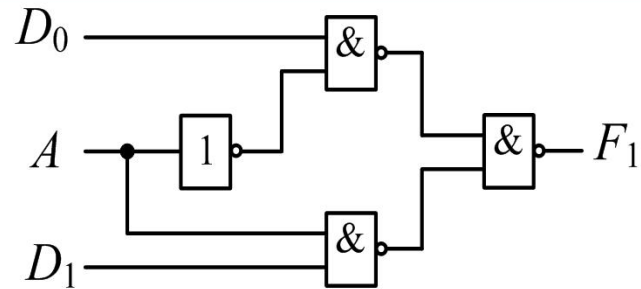
$$C = \overline{AB}$$



B还没有上升到 $V_{IH}$ 之上，A就下降到 $V_{IL}$ 之下，故 $C=1$ 。

B还已经上升到 $V_{IH}$ 之上，A还没有下降到 $V_{IL}$ 之下，故C出现毛刺。

# 动态险象

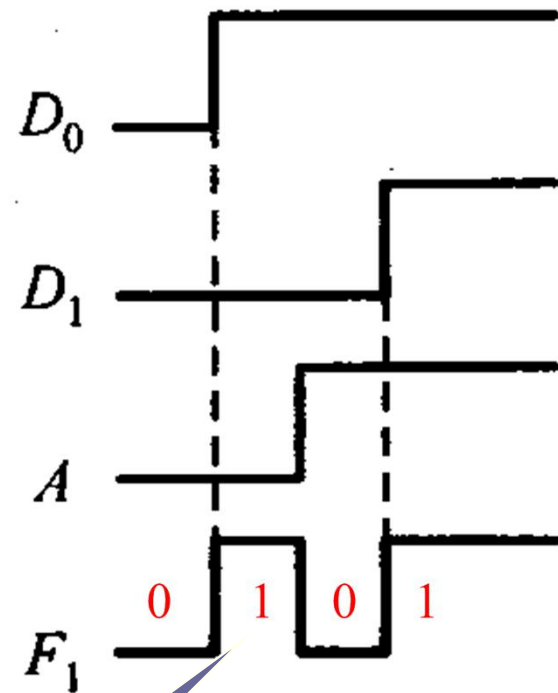


设:  $D_0D_1A=000 \rightarrow 111$

$D_1A$	00	01	11	10
$D_0$				
0	0	0	1	0
1	1	0	1	1

$F_1$

A red arrow points from the cell (D0=0, D1A=00) to the cell (D0=1, D1A=01), illustrating a transition that causes a dynamic hazard.



动态险象