# Cache Architectures

## Ideal Cache Behavior

A：9、8

B：0x200、0、2、0x21c、7、2、0x240、16、2、0x27c、31、2

## Collisions

C：0x300、0、0x3、0x33c、15、0x3

D：LD(R2,A,R3)

E：83

F：8、75

## Associativity

G：选项2

H：0.991、0.750

I：49

J：5、37

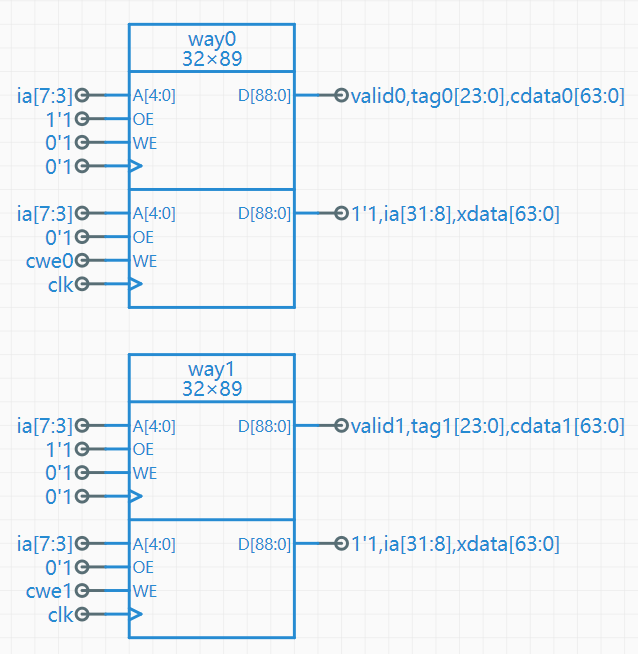
## Block size (words/cache line)

K：0x3d4、52、10、7

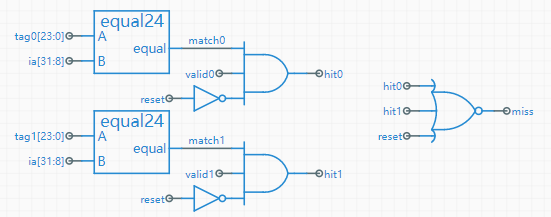
L：0.875

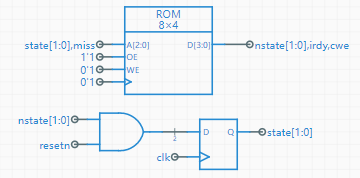
# Design Problem: Set-associative Instruction Cache

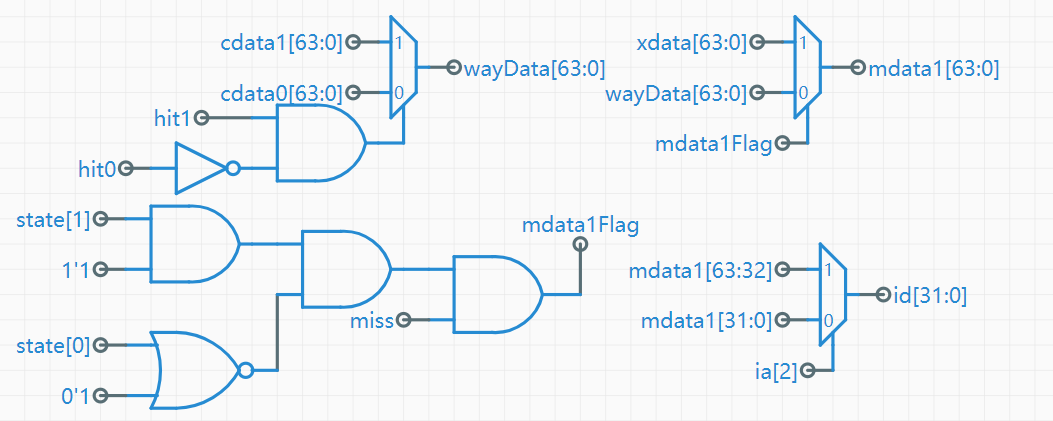
## Cache memory



## Cache control logic







## LRU replacement strategy

