# 课件

## 组合设备愿望清单

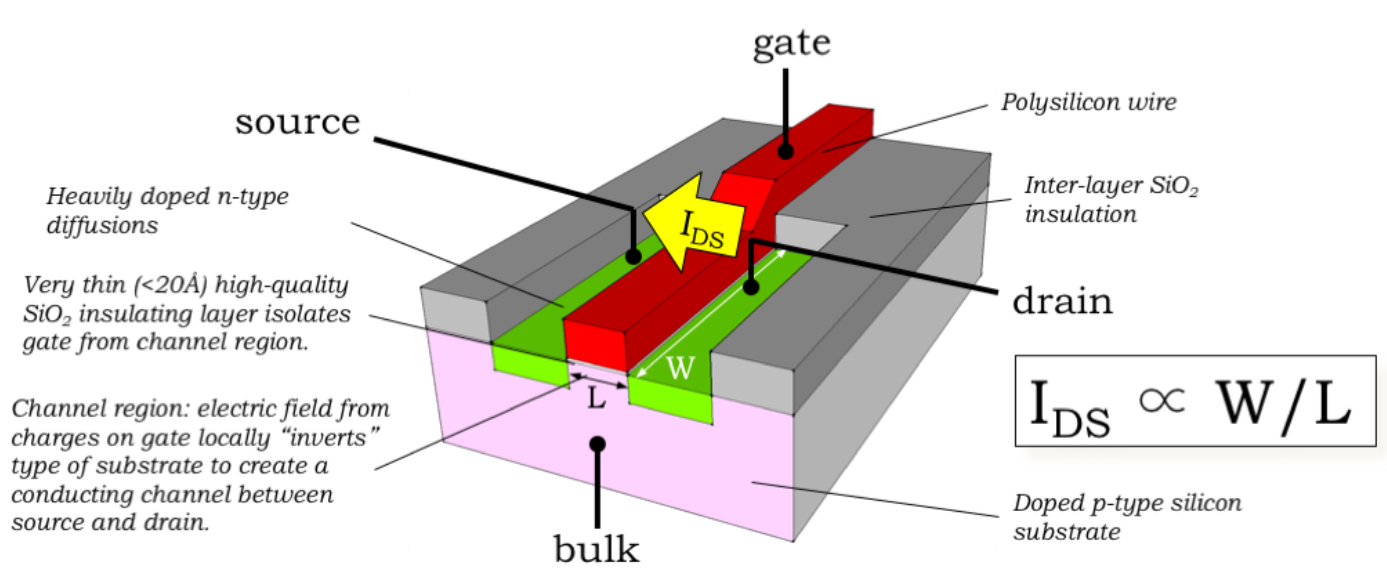
设计系统容忍一些错误，有正噪音边距，VTC：增长率>1且非线性

便宜、小

改变电压消耗能量、不改变电压不消耗能量

设备拥有某种功能

## N通道MOSFET：物理视图



栅极（gate，由多晶硅线组成）、源极（source，由N型杂质半导体（硅中掺杂磷）构成）、漏极（drain，由N型杂质半导体（硅中掺杂磷）构成）、bulk（P型杂志半导体（硅中掺杂硼）构成的衬底/基质）

栅极和衬底之间有一个足够薄的绝缘层（二氧化硅），在删极施加电压，导致衬底中电子靠近栅极，在其附近形成反型层，从而使得源极和漏极之间形成导电通道。

漏极到源极的电流与导电通道的宽度/长度成正比，常说的14nm工艺，指通道长度最小值。

通道长度尽可能小，根据具体电流选择对应宽度。

## N通道MOSFET：电子视图

VGS<VTH时，通道为耗尽层，D和S端不通

VGS>=VTH时：

VDS<VGS-VTH，通道为反型层，D和S端通

VDS=VGS-VTH，通道S端为反型层、D端恰好为耗尽层，D和S端恰好好通

VDS>VGS-VTH，通道S端为反型层、D端为耗尽层，D和S端不通

## N通道MOSFET：IDS和VDS

VGS<VTH时，通道为不导电状态，无论VDS为何值，IDS都为0

VGS>VTH时

VGS不变，VDS在0-(VGS-VTH)之间时，大致符合欧姆定律，电阻为通道电阻

VDS不变，VGS增大时，IDS增大，因为VGS增大，反型层导电性越强、电阻越小

## 两种类型的场效应管

NFET：上面看到的N通道型MOSFET，源、漏极为N型，基质/衬底为P型，0=VP<=min(VS,VD)

PFET：P通道型MOSFET，源、漏极为P型，基质/衬底为N型，

两种类型的MOS管组成互补型晶体管

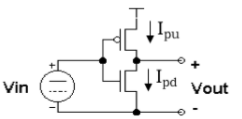
## CMOS方案

NFET：下拉电路（bulk连接到地）中，栅极0v，电路不通，栅极1v，电路通

PFET：上拉电路（bulk连接到高电压）中，栅极，1v电路不通，栅极0v，电路通

此处cmos作为电压控制开关

## CMOS反相器VTC



将下拉电路和上拉电路组合起来，pfet在上，nfet在下，其删极连在一起

## 互补的上拉和下拉（反相器）

上拉开关为A，下拉开关为B

A开、B关：输出为1

A关、B开：输出为0

A和B都开，输出未知

A和B都关，输出端电压会短暂存在一小会，DRAM利用次特性

## CMOS互补

NCMOS与PCMOS互补

两个NCMOS串联与PCMOS并联互补

两个NCMOS并联与PCMOS串联互补

## 突击测试

串联NCMOS与并联PCMOS互补，电路可行

Z仅在A、B都取1时才为0，其余A、B取值，Z都为1，为not-and

根据现在制作工艺可知，fet可以做的足够小、足够便宜

## 常见CMOS门策略

组合PCMOS上拉电路，得其互补下拉电路

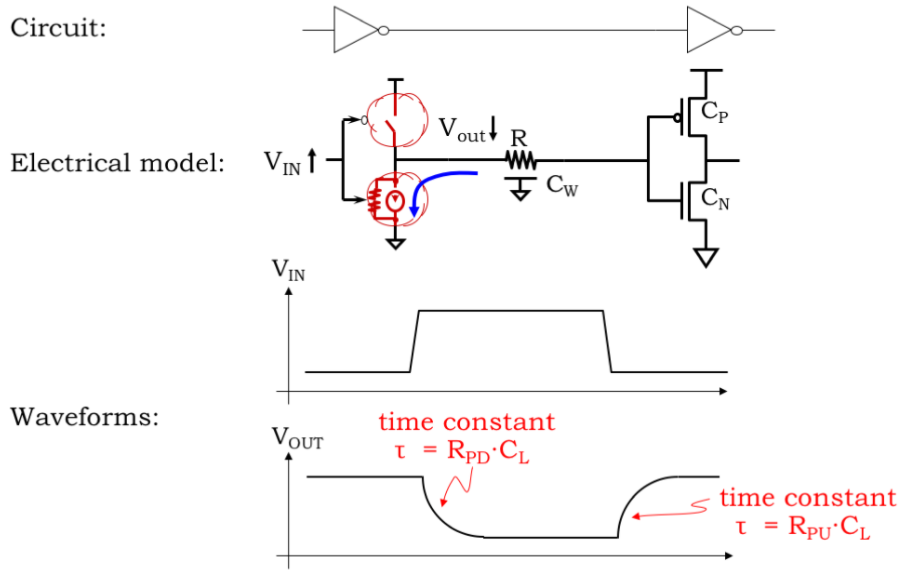
PCMOS换NCMOS，串联换并联，并联换串联

与用串联表示，或用并联表示

## CMOS门是反相的

单门（含一个下拉/上拉电路），其输入、输出为反相

## CMOS时序声明

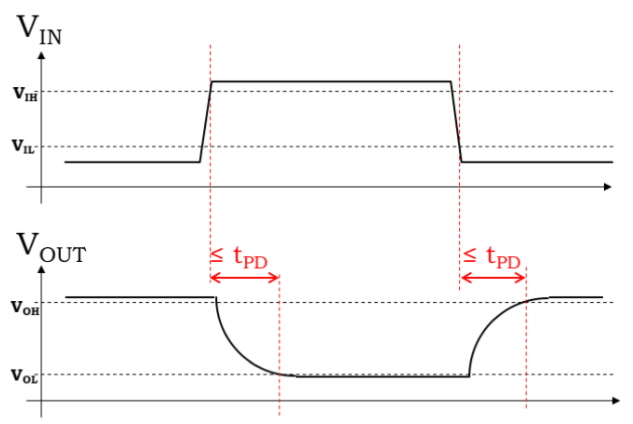


RPD：下拉电路电阻+导线电阻

RPU：上拉电路电阻+导线电阻

CL：左侧反相器电容

## 传播延迟



输入电压到达VIH的时间点，输出电压到达VOL的时间点，两个时间点之差

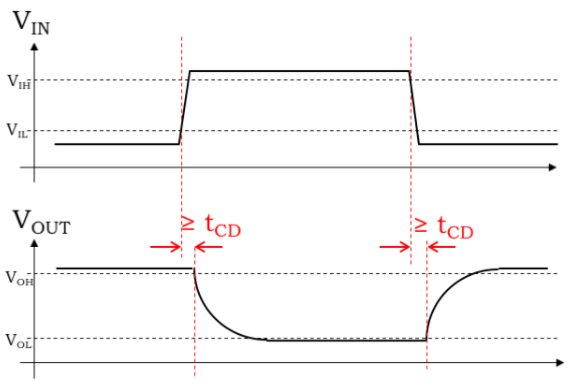
输入电压到达VIL的时间点，输出电压到达VOH的时间点，两个时间点之差

较大时间点之差为传播延迟上界

tPd=RC，缩小场效应管电阻和电容，降低传播延迟。

矛盾点：fet电阻降低时，电容上升

## 污染延迟



无效输入到无效输出之间的时间

## 组合的契约

tPD：propagation delay，传递延时，有上界

tCD：contamination delay，污染延时，有下界

## 无环组合电路

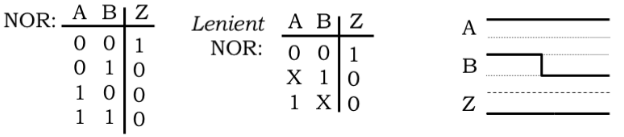
tPD：最长路径，路径上每个门tPD之和

tCD：最段路径，路径上每个门tCD之和

## 最后一个时间问题

tPD之后输出有效，tCD之后输出开始变无效

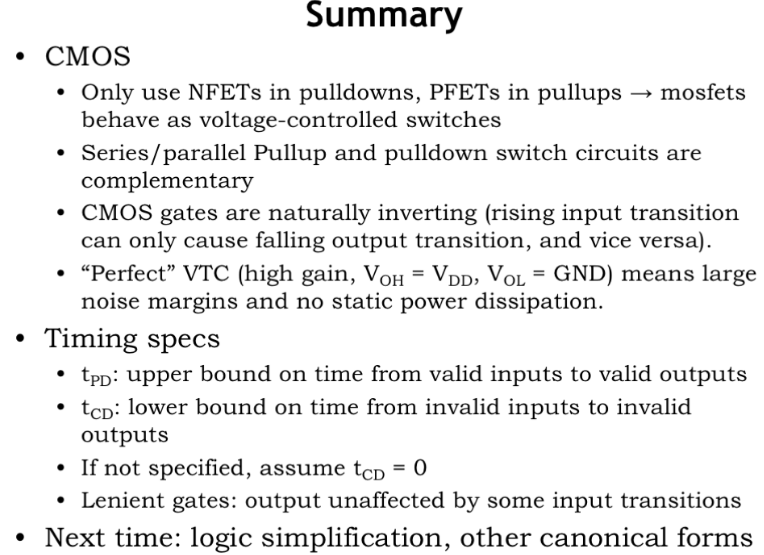
## 这种情况时发生了什么



当输出值对于任意输入组合都有效时，输出值不变

A为1，B为1，当B从1变为0时，输出一直为0

## 总结



# 习题

## 问题1