



**UTM.BA**  
UNIVERSIDAD TECNOLÓGICA NACIONAL  
FACULTAD REGIONAL BUENOS AIRES

Ingeniería en Electrónica  
Técnicas Digitales I

Examen Final

Fecha: 13-02-19

Apellido y nombre:

Leg:

**¡Atención!** Se considerarán *insuficientes* las soluciones que no estén debidamente fundamentadas usando los elementos de diseño (tablas de verdad o transición, mapas de Karnaugh, expresiones lógicas, diagramas de estado, etc.) y los métodos *enseñados* para el análisis y la síntesis de circuitos combinacionales y secuenciales ya sea en forma clásica o mediante código VHDL.

Tiempo asignado al examen: 2 Hs. – Criterio de evaluación (se aprueba con un mínimo de 6 puntos):

- Tres problemas bien resueltos: *aprobado*
- Dos problemas bien resueltos (uno de ellos en **VHDL**: Prob. 2 / Prob. 4 y otro regularmente resuelto: *coloquio*)
- Solo dos problemas bien resueltos: *desaprobado*

P	a	b	c	+
1	1.5	0.5	0.5	
2	1	1.5	-	
3	1.5	0.5	0.5	
4	1	1.5	-	
Nota:				

### Problema 1

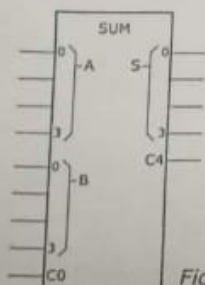


Fig. P1

Se busca hacer un comparador de magnitudes binarias de cuatro bits **p(3:0)** y **q(3:0)** usando como bloque constructivo el sumador binario de cuatro bits mostrado en la figura P1, con el agregado de mínima lógica adicional. El comparador debe proveer las salidas **p\_ma\_q**, **p\_ig\_q** y **p\_me\_q**.

- Indique y realice todos los pasos de diseño que permitan obtener las expresiones de las tres salidas del comparador.
- Dibuje el circuito del comparador de magnitudes de cuatro bits indicando los nombres de todos los puertos de entrada/salida y sus conexiones.
- Indique justificando como debe modificarse el circuito obtenido en b), para realizar un comparador de números enteros de cuatro bits representados en código de complemento a dos sin que se vea afectado el tiempo de propagación original del circuito.

### Problema 2

Se requiere diseñar el circuito combinacional genérico mostrado en la figura P2, donde N es la cantidad de bits en la entrada de datos. Los datos de entrada **data\_in** y salida **data\_out** son números enteros representados en el código de complemento a dos; la salida **data\_out** debe ser el producto aritmético entre la entrada **data\_in** y los factores +1, +2, +4 y +8 cuando la señal de control **ctrl(1:0)** sea "00", "01", "10" y "11" respectivamente.

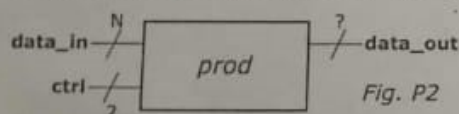


Fig. P2

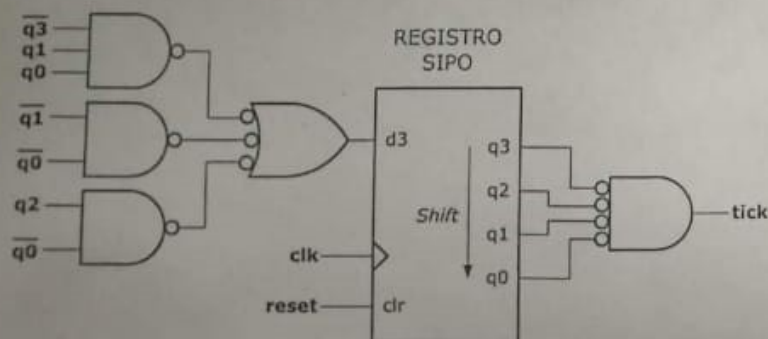
- Dibuje un esquema conceptual usando bloques RTL para la solución propuesta.
- Realice la descripción VHDL genérica de la entidad **prod** en base al diagrama RTL del punto a).

• Observe y use los nombres dados a todos los puertos y a la entidad.

• No se admite el uso de la instrucción **process** ni de los operadores: producto aritmético (\*) y desplazamiento (sll, srl, sla, sra).

### Problema 3

Para el circuito secuencial de la figura P3, realizado en base a un registro SIPO con entrada clear asincrónica (clr):



- Obtenga la tabla de transición/salida en el formato adecuado al tipo de máquina.
- Dibuje el diagrama de estados completo con el formato adecuado, identificando a los estados con los valores de las señales de estado **q3q2q1q0**.
- En base al análisis del diagrama de estados, determine que función realiza el circuito.

Fig. P3

### Problema 4

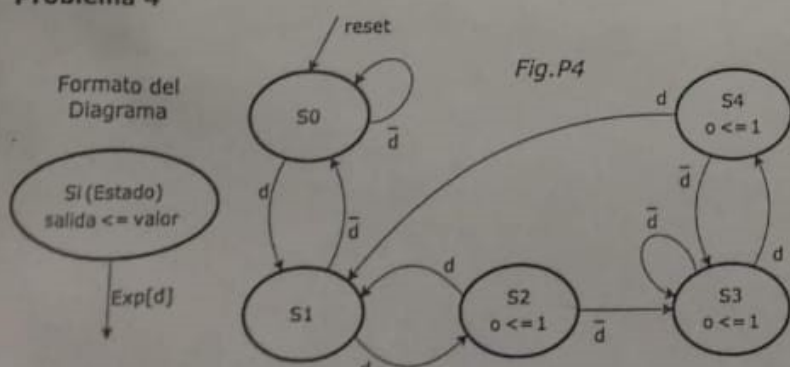


Fig. P4

La figura P4 describe la operación de una máquina de estados síncrona con una entrada **reset** asincrónica, una entrada **d** y una salida **o** síncronas.

- En base al diagrama de estados, realice un cronograma con secuencias de entrada/salida sincronizadas con el flanco ascendente de **clk**, que le permita *expresar en palabras* que función realiza esta máquina de estados.
- Realice la descripción en código VHDL de la entidad **fsm**, usando *procesos separados* para la parte sensible a **clk** y para las partes combinacionales.