 UTN.BA <small>UNIVERSIDAD TECNOLÓGICA NACIONAL FACULTAD REGIONAL BUENOS AIRES</small>	Ingeniería en Electrónica	Examen final	
	Técnicas Digitales I	Fecha: 09/12/2020	
Apellido y nombre:		Leg:	
Aclaraciones Todos los diseños deben estar respaldados por tablas de verdad o diagramas de funcionamiento. Evite ambigüedades. Tampoco agregue circuitería adicional que no sea expresamente lo pedido.			
Tiempo asignado al examen y criterio de evaluación El alumno estará en contacto con los docentes, en forma virtual durante 2 horas que dura el examen. La ponderación de cada problema en la calificación final está indicada en la grilla de la derecha.			

P	a	b	c	+
1		x	x	
	3			
2			x	
	1,5	1,5		
3			x	
	2	2		
4	x	x	x	
Nota:				

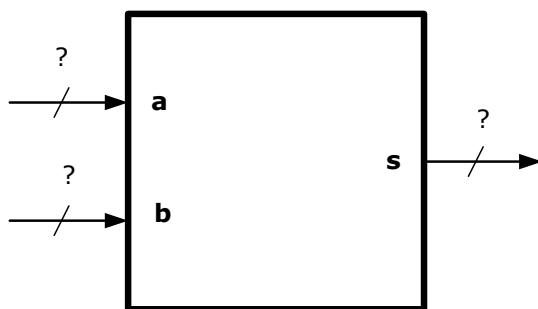
Problema 1

Diseñe un circuito que recibe 2 palabras de W bits llamadas **a** y **b**, que representan ángulos en grados entre -359 y +359. El circuito sumará los ángulos y mostrará el resultado en su salida. Tenga en cuenta que el ángulo resultante puede ser positivo o negativo. Además pueden ocurrir situaciones como la del ejemplo

a = +200

b = +200

el resultado debería ser +400 pero en realidad +400 grados es equivalente a +40 grados. La salida del circuito para este caso deberá ser +40. Algo similar puede ocurrir con ángulos negativos. Utilice la siguiente nomenclatura



Como muestra la figura, deben determinarse las longitudes de palabra de entrada y salida.

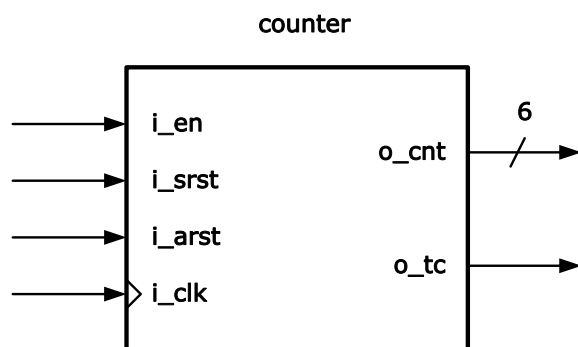
Problema 2

Diseñe un contador ascendente de 6 bits que cuente en binario desplazado. Tiene entradas de enable, reset síncrono y asíncrono. Debe estar disponible la salida de cuenta y el terminal count.

a) Dibuje el circuito de bloques RTL (excluyente para la aprobación).

b) Codifique el circuito en VHDL. Es requisito que la codificación se desprenda del punto a).

Utilice los nombres de entradas y salidas que muestra el dibujo



Nota: El Código Binario desplazado es idéntico al Código Complemento a 2 excepto por su bit más significativo que está invertido.

Problema 3

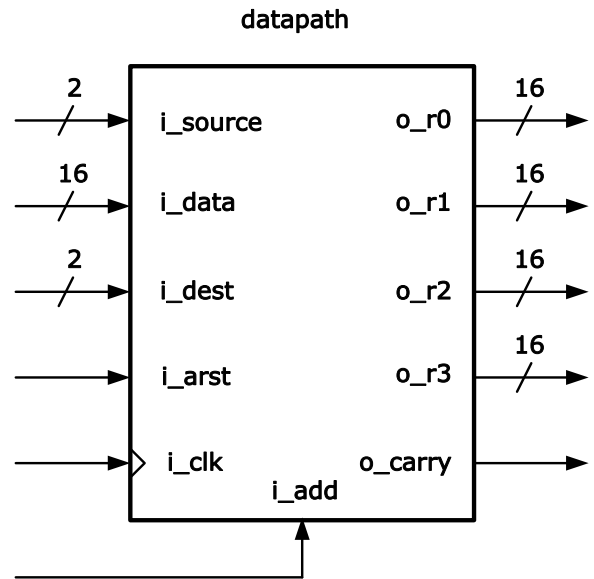
La figura muestra la entidad de un circuito que deberá describir en VHDL. El reset **i_arst** es asíncrono. Las salidas **o_r0**, **o_r1**, **o_r2** y **o_r3** corresponden a sendas salidas de registros de 16 bits dentro de la entidad. Su lógica de estados futuros se comportará de la siguiente manera

- Si la entrada **i_add** está en '0' ninguno de los registros **r0**, **r1**, **r2** ó **r3** cambiará su contenido.
- Si la entrada **i_add** está en '1', uno de los registros actualizará su contenido con la suma de otro de ellos y la palabra de entrada **i_data**. Por otra parte, la palabra de entrada de 2 bits, **i_source** indica el número de registro que debe sumarse, en tanto que la entrada de 2 bits **i_dest** indica en cual registro se guardará el resultado de la suma. Por ejemplo si

i_source = "00"
i_dest = "11"

sumará el registro **r0** con **i_data**, y guardará el resultado en **r3**. En definitiva **r3** = **r0** + **i_data** (recuerde, esto siempre que **i_add** = '1').

- Finalmente, la salida **o_carry** corresponde a la salida de un flip-flop que almacena el acarreo de la suma anterior. A diferencia de la suma, el acarreo siempre se almacena en el flip-flop, aún cuando **i_add** = '0'.



a) Dibuje el circuito a nivel de bloques RTL (excluyente para la aprobación).

b) Codifique el circuito en VHDL. Es requisito que la codificación se desprenda del punto **a)**.