



Condiciones de entrega:

Horario y duración:

- La hora de inicio es 19.00hs y la de finalización es 21.00hs
- Todas las entregas realizadas fuera de término no serán tenidas en cuenta para su corrección
- Se utilizará una carpeta compartida previamente para la entrega del examen final

Condición de aprobación

- 0 a 4 puntos: Desaprueba
- 5 puntos: Repechaje
- 6 a 10 puntos: Aprueba

Parte práctica:

- (3 Puntos) Realice una descripción en VHDL de un conversor gray a binario utilizando xor y for generate

```
entity grayBinario is
generic (N: integer := 4);
port ( gray      : in  std_logic_vector (N-1 downto 0);
      binario    : out std_logic_vector (N-1 downto 0));
end grayBinario;
```
- (3 Puntos) Realice una descripción en VHDL de un contador binario con enable (Habilita con '1'), salida paralelo y reset sincrónico (resetea con '1'). La entidad es la siguiente.

```
entity contador is
generic (N : integer := 8);
port ( clk :          in  std_logic;
      rst :          in  std_logic;
      enable :        in  std_logic;
      salidaParalelo : out std_logic_vector (N-1 downto 0));
end contador;
```
- (2.5 Puntos) Explique que brevemente
 - ¿Qué entiende por slack de setup? Indique qué ocurre cuando es positivo o negativo. (Ayúdese con un diagrama temporal)
 - ¿Qué entiende por metaestabilidad. ¿Cuándo ocurre?
 - ¿Qué es el skew?
- (1.5 Puntos) Implemente un circuito que realice la conversión de un número de 3 bits signado en CA2 a uno representado en signo y magnitud
 - Indique la cantidad de bits de salida para que el resultado de la conversión sea correcto.
 - Realice la tabla de la verdad y escriba las funciones lógicas de cada salida.
 - Implemente el circuito utilizando multiplexores de 4 a 1 (2 señales de control) y negadores.