

|                                                                                                                                                                                       |                                                                 |                     |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------|---------------------|
|  <b>UTN.BA</b><br><small>UNIVERSIDAD TECNOLÓGICA NACIONAL<br/>FACULTAD REGIONAL BUENOS AIRES</small> | <b>Ingeniería en Electrónica</b><br><b>Técnicas Digitales I</b> | <b>Examen Final</b> |
|                                                                                                                                                                                       |                                                                 | Fecha: 03/03/2022   |

**Problema 1 (3 puntos):** Diseñar un circuito secuencial síncrono el cual posee una entrada de datos  $x$  síncrona con los flancos positivos del reloj. El sistema a diseñar debe detectar la secuencia "101". Las secuencias detectadas no deben solaparse. El circuito posee dos salidas  $y_{mo}$  e  $y_{me}$ . Las mismas se deben comportar de la siguiente manera:

$y_{me}$ : se debe poner en '1' durante un solo ciclo de reloj cada vez que la entrada haya sido "10" en los dos ciclos previos de reloj y valga '1' en el actual.

$y_{mo}$ : se debe poner en '1' durante un solo ciclo de reloj cada vez que la entrada haya sido "101" en los tres ciclos previos de reloj.

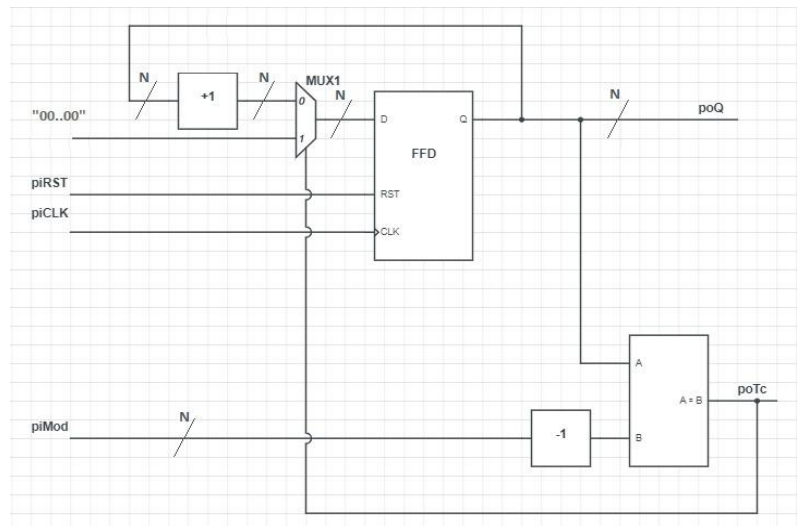
Se pide Diagrama de estados, tablas, simplificación de ecuaciones y el circuito.

Usar las entradas de fuerza asincrónicas de los FFD para que el circuito tenga reset al encenderse.

NOTA: No se permite el uso de registros de desplazamiento. Basar su diseño en máquinas de estado, realizando el desarrollo COMPLETO para la obtención del circuito.

**Problema 2 (3 puntos):** Describir en VHDL, utilizando un solo archivo para su descripción y sin usar instanciación de componentes el siguiente circuito. En la descripción debe quedar claramente indicado mediante comentarios que líneas de VHDL sintetizan cada submodulo.

```
Entity ContadorModProg is
  Generic(N: NATURAL := 4);
  Port(
    piClk : in std_logic;
    piRst : in std_logic;
    piMod : in std_logic_vector(N-1 downto 0);
    poTc : out std_logic;
    poQ : out std_logic_vector(N-1 downto 0)
  );
```



**Problema 3 (4 puntos):** Utilizando bloques de propósito general diseñar un circuito que realice la suma de 4 variables ( $x_0, x_1, x_2, x_3$ ) de tipo ENTERO (ca2) de 4 bits cada. El circuito debe entregar en su salida "y" de **cinco bits** el resultado de la suma. En caso de que dicho resultado no entre en 5 bits debe saturar el resultado.

Se pueden utilizar

- sumadores de 4 , 5 y 6 bits con entrada y salida de acarreo
- comparadores de magnitud de cualquier cantidad de bits
- multiplexores 2a1, 4a1, 8a1, 16a1, todos de N bits
- compuertas, las que considere necesarias