

Apellido, nombre	Legajo	Cantidad de hojas	Nota

### Problema 1

Describir en VHDL un sistema que tiene 4 salidas. Las salidas deben estar activas, cada una, en 1 durante 1seg, de forma alternada, es decir, deben seguir la secuencia, 0001, 0010, 0100, 1000. El circuito cuenta además con una entrada de reset síncronico y una entrada de habilitación que si está en “0” detiene el sistema. Cuando el sistema se encuentra deshabilitado no se debe computar el tiempo. El sistema debe funcionar con un reloj de 10Mhz.

Se pide: el diagrama RTL del sistema y la descripción en VHDL. Esta última debe basarse en dicho diagrama.

```
Entity Secuenciador is
  port(
    piClk   : in std_logic;
    piRst   : in std_logic;
    piEna   : in std_logic;
    poLeds  : out std_logic_vector(4-1 downto 0)
  ); end entity;
```

### Problema 2

Implementar un sistema síncronico que genere la secuencia 0-1-2-...-8-9-8-7-...-2-1-0-1-2.... Base su desarrollo en un contador síncronico de 4 bits con entradas: Clk,Rst (síncronico) y UnD(=1 ascendente, =0 descendente) y salida Q[3:0] . Luego de un reset el sistema debe arrancar desde cero contando hacia arriba. Justifique su diseño mediante tablas de verdad, ecuaciones, diagramas, etc.

### Problema 3

Describir en VHDL el siguiente circuito. Solo se puede usar “process” para inferir FFs. No se permite instanciar componentes, es decir, la descripción debe ser en un único archivo.

```
Entity Sistema is
  generic(
    N: NATURAL
  );
  port(
    piClk : in std_logic;
    piRst : in std_logic;
    piEna : in std_logic;
    piMod : in std_logic_vector(N-1 downto 0);
    poQ   : out std_logic_vector(N-1 downto 0);
    poTc : out std_logic
  ); end entity;
```

