

 UTN.BA <small>UNIVERSIDAD TECNOLÓGICA NACIONAL FACULTAD REGIONAL BUENOS AIRES</small>	Ingeniería en Electrónica Técnicas Digitales I	Examen Final							
			Fecha:						
Apellido y nombre:			Leg:						
Aclaraciones: No se tomaran en cuenta soluciones sin su debida justificación									
La duración del examen es de 2h Condiciones de aprobación: 6 Aprobado: 6 a 10 puntos Coloquio: 5 puntos Desaprobado: 0 a 4 puntos									

P	a	b	c	d	+
1	0.5	1.5	0.5		
2	1	1	0.5		
3	1	1.5			
4	2.5				
Nota:					

1. Se dispone de un registro de desplazamiento de 3 bits con entrada serie, salida paralelo y reset sincrónico estado bajo (resetea cuando la entrada esta en cero).

- Dibuje el circuito completo a nivel de compuertas y FFD.
- Dibuje el diagrama de estados completo. No hace falta dibujar las transiciones de estado a causa del reset.
- Indique la frecuencia máxima de clock y justifique su respuesta con un diagrama temporal.

	Min[ns]	Max[ns]
ts	0,2	4
th	0,1	2
tcq	1	4
tg	0,5	1

2. Implemente un circuito a nivel de compuertas que realice la siguiente operación de forma correcta

$$R = (A / 2) + B - (C * 4) - D$$

Donde, A,B,C y D son números signados en complemento a dos de 4 bits. R es el resultado de la operación de M bits

- Dibuje el diagrama en bloques de circuito. Indique claramente el valor de M.
- Dibuje el circuito a nivel de compuertas que se corresponda con el diagrama en bloques.
- Determine el tiempo de propagación máximo en función del tiempo de propagación de una compuerta.

3. Realice una descripción en VHDL que haga destellar un led con una cadencia de 1 segundo, sabiendo que la frecuencia de clock es 50MHz. La entidad es la siguiente.

```
entity parpadeo1S is
  Port ( clk : in std_logic;
        rst : in std_logic; -- Sincronico, activo bajo
        led : out std_logic); -- Enciende con cero.
end parpadeo1S;
```

- Realice un diagrama en bloques del circuito a implementar. Indicando claramente como obtiene la base de tiempo de 1 segundo.
- Implemente la arquitectura que corresponda con el diagrama de bloques anterior.

4. Realice una descripción en VHDL que acumule números de 8 bits, las cuales son recibidos cuando la entrada enable se encuentra en uno y hay un flanco ascendente del clock.

```
entity acumulador is
  Port ( clk : in std_logic;
        rst : in std_logic; -- Sincronico, activo bajo
        enable: in std_logic; -- Activo alto
        entrada :in std_logic_vector (7 down to 0);
        salida: out std_logic_vector (15 down to 0))
end acumulador;
```

- Implemente la arquitectura que corresponda con el diagrama de bloques anterior.