

library IEEE;

use IEEE.STD_LOGIC_1164.ALL;

1) entity binario_gray is
generic (N: integer := 4);
port (gray : out STD_LOGIC_VECTOR(N-1 downto 0);
binario : in STD_LOGIC_VECTOR (N-1 downto 0));
end binario_gray;

architecture behavioral of binario_gray is

begin

gray(N-1) := binario(N-1);
loop generate: for i in N-2 downto 0 generate

begin

gray(i) := binario(i+1) xor binario(i);

end generate;

end behavioral;

— O —

② library IEEE;
use IEEE.STD_LOGIC_1164.ALL; use IEEE.NUMERIC_STD.ALL;
entity contador is
generic (N: integer := 8);
port (clk: in STD_LOGIC;
rst: in STD_LOGIC;
enable: in STD_LOGIC;
salida_Paralelo: out STD_LOGIC_VECTOR(N-1 downto 0));
end contador;

architecture behavioral of contador is

signal cuenta_S: UNSIGNED(N-1 downto 0);

begin

process (clk)

begin

if rising_edge(clk) then

if (rst = '1') then

cuenta_S <= ~~00000000~~ (others => '0');

elsif (enable = '1') then

cuenta_S <= cuenta_S + 1;

end if;

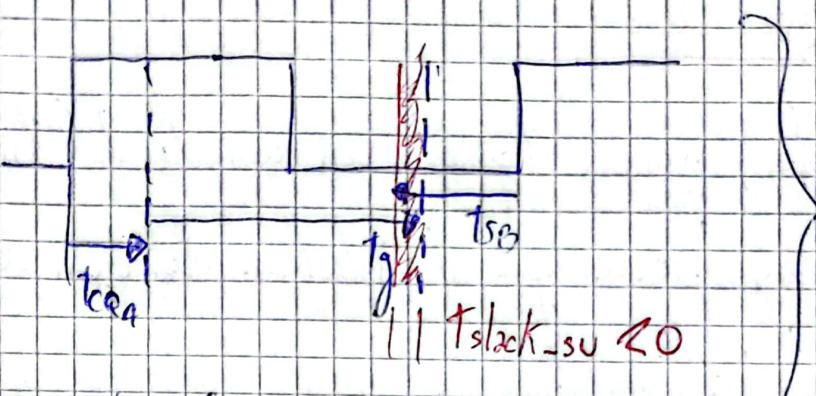
end if;

salida_Paralelo <= STD_LOGIC_VECTOR(cuenta_S);

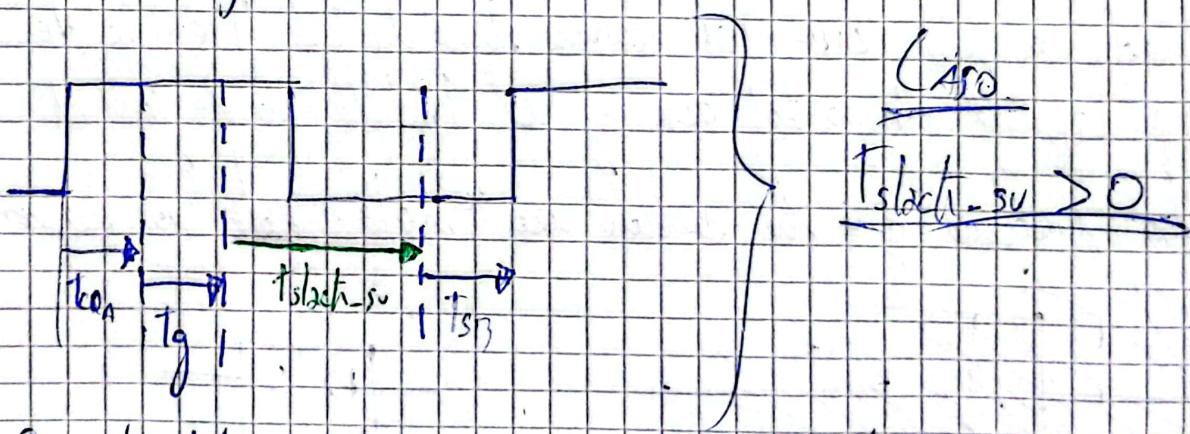
end behavioral;

2/

(3) El slack de setup es el tiempo que tarda hasta el tiempo de set del proximo FF. Si el $t_{slack-su} = 0$ no obtiene la Enar. Si se cumple el CCR si no el circuito falla en su funcionamiento.

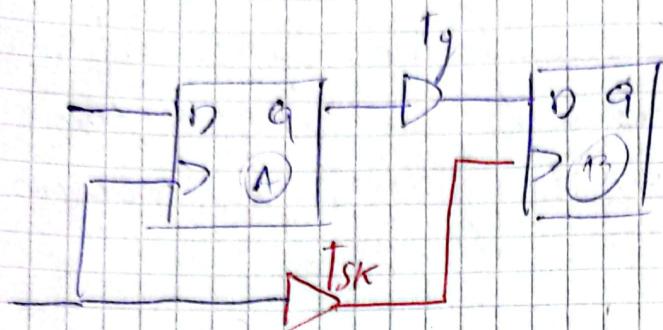
CASO $t_{slack-su} \leq 0$

Cuando el $t_{slack-su} \leq 0$ se violan los tiempos de gate (t_g) y de set del FF siguiente (t_{ss}). ~~Por lo tanto, la entrada no está estable lo suficiente~~
Por lo tanto, la entrada no está estable lo suficiente durante el t_{ss} para que no ocurra una correcta propagación en el registro.

Caso $t_{slack-su} > 0$

Cuando $t_{slack-su} > 0$, no hay retraso temporal y se asegura la correcta propagación de la entrada en la salida.

3c) El setup en el tiempo que se calcula es el mínimo
la señal de CLK en el siguiente FF del circuito



Si el tsk aumenta, genera también un aumento del tslack su.

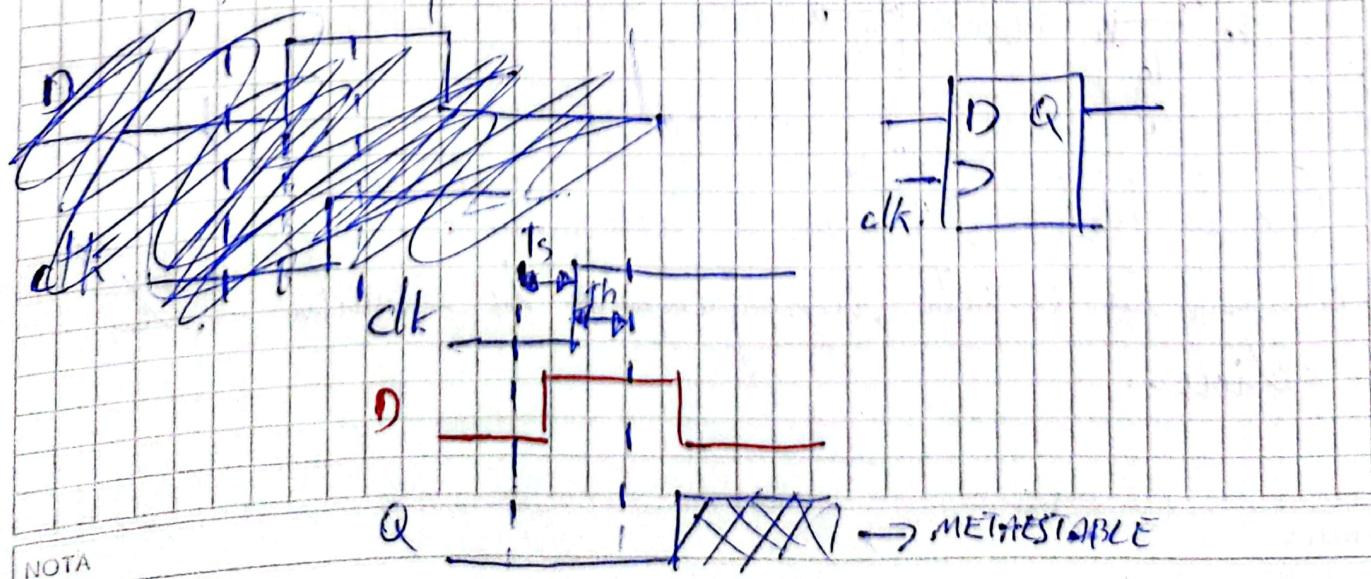
Si el tsk disminuye, provoca que el slack-su también baje.

Dada la expresión temporal:

$$t_{slack-su} = t_{max} - (t_{Q1} + t_{Q2} + t_{Q3} - t_{clk})$$

3b) La METAESTABILIDAD se produce cuando la señal de entrada a un FLIP-FLOP varía durante el Tiempo de setup (ts), el plazo del clk y el th (tiempo de hold).

Esto produce que la señal sea "metastable" o encorvada.



(4) CA2 3 bits.

Signo y Magnitud 3 bits

3/

$$011_2 = 3_{10}$$

$$010_2 = 2_{10}$$

$$001_2 = 1_{10}$$

$$000_2 = 0_{10}$$

$$111_2 = -1_{10}$$

$$110_2 = -2_{10}$$

$$101_2 = -3_{10}$$

$$100_2 = -4_{10}$$

$$011_2 = 3_{10}$$

$$010_2 = 2_{10}$$

$$001_2 = 1_{10}$$

$$000_2 = 0_{10}$$

$$100_2 = -4_{10}$$

$$101_2 = -3_{10}$$

$$110_2 = -2_{10}$$

$$111_2 = +3_{10}$$

$$1100_2 = -4_{10}$$

(4A) Para implementar la conversión a medición 4 bits

se validan. $-4_{2_{CA2}} = 1100_2$ (máximo valor) sym.

(4B) TABLA DE VERDAD

CA2 y sym	
0	000 010 000
1	001 010 011
2	010 010 100
3	011 001 111
-4	100 100 100
-3	101 101 111
-2	110 110 110
-1	111 101 101

CA2 sym	
0	000 010 000
1	001 001 001
2	010 010 100
3	011 001 111
-4	100 100 100
-3	101 101 111
-2	110 110 110
-1	111 111 0101

$$y_3 = A_2 \bar{A}_1 \bar{A}_0$$

$$y_2 = A_2$$

$$y_0 = A_0$$

$$y_1 = A_2 \bar{A}_1 A_0 + \bar{A}_2 A_1 + A_2 \bar{A}_0$$

A ₂	00	01	11	10
0	00	01	11	10
1	01	11	10	01

4c

Circuito con mux 9 a 1 y NEGADORES.

