

Interrupciones

IE: Interrupt Enable Register (Direccionable por bit)

EA	--	--	ES	ET1	EX1	ET0	EX0
----	----	----	----	-----	-----	-----	-----

EA (IE.7): Deshabilita todas las interrupciones si EA = 0. Si EA = 1 se deberá habilitar cada fuente de interrupción individual.

IE.6 e IE.6: Reservado para futuros usos.

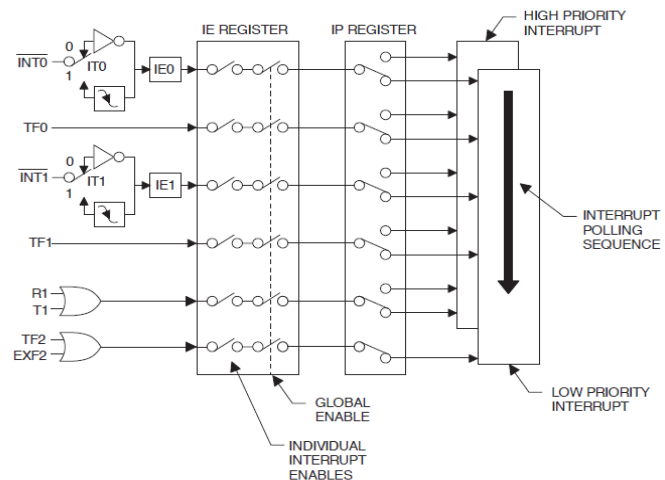
ES (IE.4): Habilita y deshabilita la interrupción del Puerto Serie.

ET1 (IE.3): Habilita y deshab. la interrupción por overflow del Timer1.

EX1 (IE.2): Habilita y deshabilita la interrupción externa 1.

ET0 (IE.1): Habilita y deshab. la interrupción por overflow del Timer0.

EX0 (IE.0): Habilita y deshabilita la interrupción externa 0.



IP: Interrupt Priority Register (Direccionable por bit)

Si el correspondiente bit está en 0 la prioridad de su interrupción asociada será baja, en caso contrario será de prioridad alta

--	--	--	PS	PT1	PX1	PT0	PX0
----	----	----	----	-----	-----	-----	-----

Timers

TMOD: Timer Mode Control Register (No direccionable por bit)

GATE	C/T	M1	M0	GATE	C/T	M1	M0
------	-----	----	----	------	-----	----	----

Timer 1

Timer 0

medio de INTx,
Hardware Control. Si GATE = 0 se habilitará el contador por medio de TRx, Software Control.

C/T: Si C/T = 0 se selecciona la operación de Timer (Cuenta pulsos del osc int), si C/T = 1 se selecciona la operación Contador (Cuenta pulsos del PIN Tx)

M1 – M0	Modos de funcionamiento
0 0	Contador de 13 bits
0 1	Contador de 16 bits
1 0	Contador de 8 bits c/ recarga automática
1 1	Se convierte en 2 timers de 8 bits indeps. – obsoleto.

TCON: Timer/Counter Control Register (Direccionable por bit)

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
-----	-----	-----	-----	-----	-----	-----	-----

TFx: Si es TFx = 1, indica que hubo overflow del TIMERN.

TRx: Si TRx = 1, indica que el TIMERN está habilitado (con las salvedades anteriormente nombradas [GATEn y /INTn]).

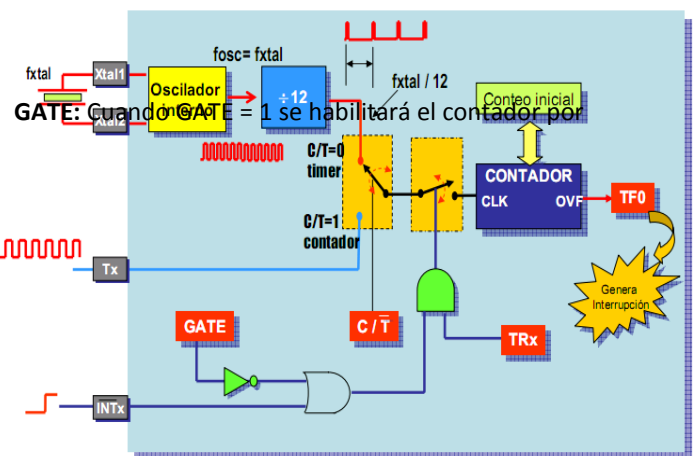
**Funciones alternativas del P3
(en el core8051)**

Pin del Puerto

P3.0
P3.1
P3.2
P3.3
P3.4
P3.5
P3.6
P3.7

Función Alternativa

RxD (serial input port)
TxD (serial output port)
INT0 (external interrupt)
INT1 (external interrupt)
T0 (Timer/Counter 0 external input)
T1 (Timer/Counter 1 external input)
WR (external Data Memory write strobe)
RD (external Data Memory read strobe)



IEx: bandera de aviso de int. externa x.
(Clear by HW)

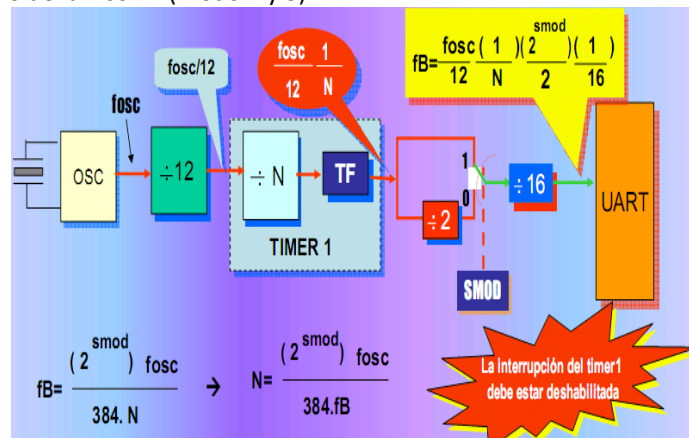
ITx: =0 por nivel
=1 por flanco descendente

Puerto Serie

SCON: Serial Control Register (Direccionable por bit)

Calculo del divisor N (Modo 1 y 3)

SM0	SM1	SM2	REN	TB8	RB8	TI	RI
SM0 – SM1		Descripción				Baud Rate	
0	0	Registro de desplazamiento 8 bits				fxtal/12	
0	1	UART – 8 bits				Det. Por Timer 1	
1	0	UART – 9 bits				fxtal/32 o fxtal/64	
1	1	UART – 9 bits				Det. Por Timer 1	



SM2: Habilitación del modo multiprocesador.

REN: Si REN = 1 permite la recepción.

TB8: Es el 9° bit a transmitir en modo 2 y 3. Es programable por el usuario. Generalmente paridad.

RB8: Es el 9° bit recibido en modo 2 y 3. En modo 1, si SM2 = 0, RB8 es el bit de stop, en modo 0 no se utiliza.

TI: Bandera de interrupción de transmisión. Se activa por hardware, en modo 0 al final de la transmisión del octavo bit, en los otros modos al inicio del bit de STOP. Debe desactivarse por software.

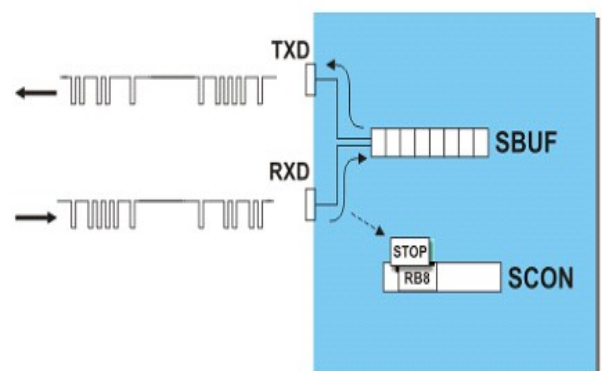
RI: Bandera de interrupción de recepción. Se activa por hardware, en modo 0 al final de la recepción del octavo bit, en los otros modos en la mitad del intervalo del bit de STOP. Debe desactivarse por software.

PCON: Power Control Register (No direccionable por bit)

SMOD	--	--	--	GF1	GF0	PD	IDL
------	----	----	----	-----	-----	----	-----

SMOD: Si SMOD = 1 dobla el baudaje en el caso en que el Timer 1 es usado. Para generar el baudaje.

Transmisión – Recepción (Modo 1)



SFR MEMORY MAP

Tabla SFRs

8 Bytes									
F8									FF
F0	B								F7
E8									EF
E0	ACC								E7
D8									DF
D0	PSW								D7
C8	T2CON		RCAP2L	RCAP2H	TL2	TH2			CF
C0									C7
B8	IP								BF
B0	P3								B7
A8	IE								AF
A0	P2								A7
98	SCON	SBUF							9F
90	P1								97
88	TCON	TMOD	TL0	TL1	TH0	TH1			8F
80	P0	SP	DPL	DPH				PCON	87

↑
Bit
Addressable

Figure 5