1，P-Bank 物理块，指的就是有多少个内存芯片

2，L-Bank 逻辑块，存储阵列， 1个P-Bank可以包含多个L-Bank

3，主要的引脚有：

1）片选信号，用来选择P-Bank

2）L-Bank地址信号， 用来选择L-Bank

3）行/列 地址

4）数据地址

4，RAS（Row Address Strobe，行地址选通脉冲）

5，CAS（Column Address Strobe，列地址选通脉冲）

6，tRCD，即RAS to CAS Delay（RAS至CAS延迟） 发送行命令与列命令之间的间隔时间

7，CL（CAS Latency，CAS潜伏期）又称为RL（Read Latency，读取潜伏期）， 在读操作才会有这个时间，写操作是没有的，原因是带读取的数据与CAS命令不可能在同一个上升沿触发，所以至少延时1个时钟周期

8，tAC （Access Time from CLK，时钟触发后的访问时间），读取操作才会有，每次读取1笔数据都会有tAC（包括连续读取），原因是信号需要经过放大后才能被有效识别

9，写入/校正时间（tWR，Write Recovery Time），这个操作也被称作写回（Write Back）， 写命令和数据可以同时发送，但是三极管的选通需要一定的时间

10，突发长度（Burst Lengths，简称BL） 数据连续读/写的长度

11，L-Bank关闭现有工作行，准备打开新行的操作就是预充电（Precharge）

12，tRP（Precharge command Period，预充电有效周期）

13，自动刷新（Auto Refresh，简称AR）与自刷新（Self Refresh，简称SR），AR又称CBR（CAS Before RAS，列提前于行定位）

14，要寻址的行与L-Bank是空闲的。也就是说该L-Bank的所有行是关闭的，此时可直接发送行有效命令，数据读取前的总耗时为tRCD+CL，这种情况我们称之为页命中（PH，Page Hit）。

15， 要寻址的行正好是前一个操作的工作行，也就是说要寻址的行已经处于选通有效状态，此时可直接发送列寻址命令，数据读取前的总耗时仅为CL，这就是所谓的背靠背（Back to Back）寻址，我们称之为页快速命中（PFH，Page Fast Hit）或页直接命中（PDH，Page Direct Hit）。

16， 要寻址的行所在的L-Bank中已经有一个行处于活动状态（未关闭），这种现象就被称作寻址冲突，此时就必须要进行预充电来关闭工作行，再对新行发送行有效命令。结果，总耗时就是tRP+tRCD+CL，这种情况我们称之为页错失（PM，Page Miss）。

