

简单组合逻辑电路的设计

梁业升 2019010547 (计 03)

2022 年 4 月 25 日

1 实验目的

1. 实现两位加法运算
2. 实现两位减法运算（显示借位信息，并且当 $A < B$ 时，显示补码表示的差值）
3. 改进两位减法运算（显示借位信息、计算差的绝对值）

2 实验原理

2.1 两位加法运算

首先设计 1 位全加器，电路如下：

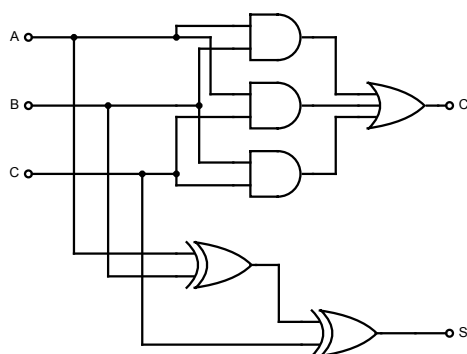


图 1: 1 位全加器

将 1 位全加器级联，得到两位全加器：

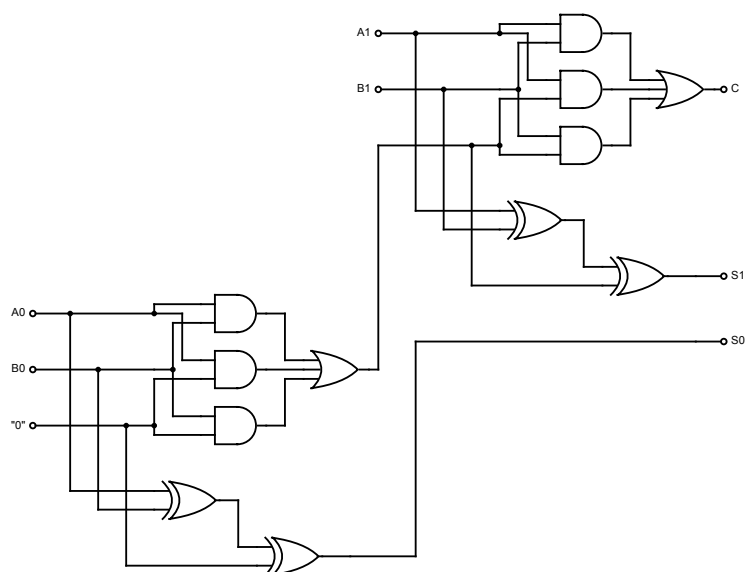


图 2: 2 位全加器

2.2 两位减法运算

在 2 位加法器的基础上，对被减数“取反、加 1”，并对输出的进位信号取反，即可得到 2 位减法器：

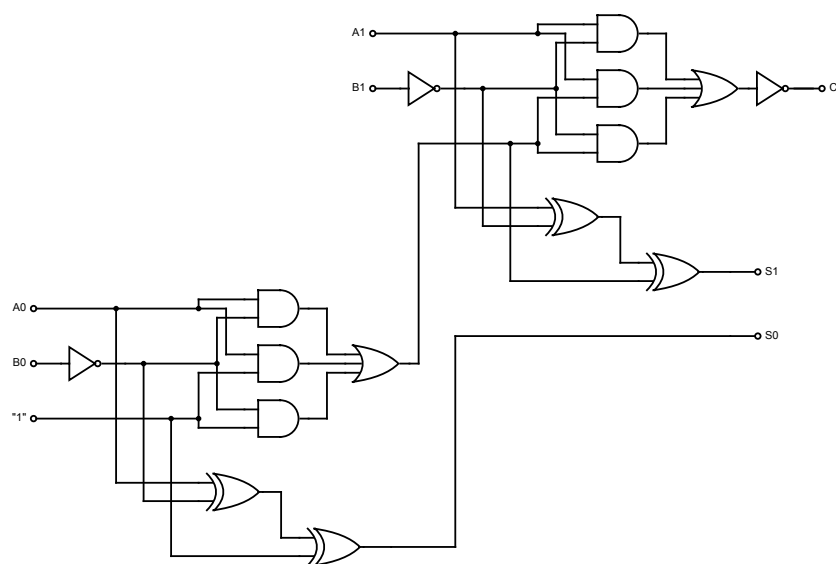


图 3: 2 位减法器

2.3 改进的两位减法运算

根据 2 位减法器的借位信息 C ，若 C 为 1 则输出原码：

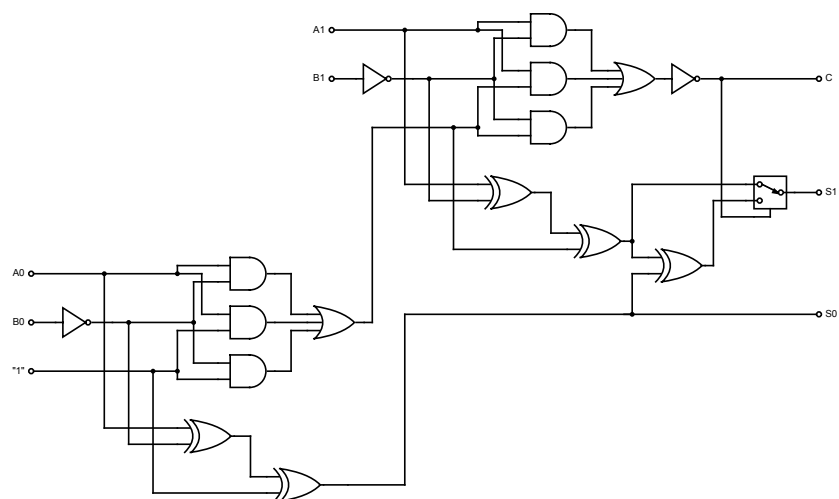


图 4: 改进的 2 位减法器

3 思考题

设计一个 4 位二进制除法运算电路，A 为被除数，B 为除数，C 为商，D 为余数。

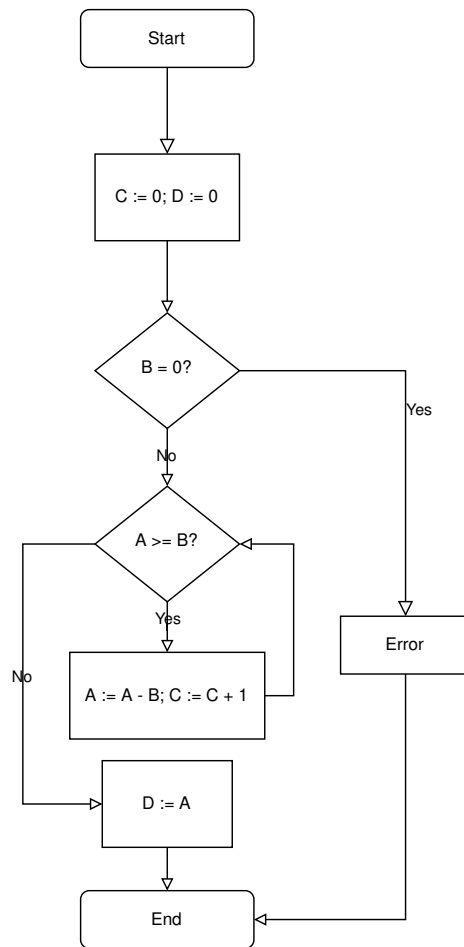


图 5: 除法器流程图

1. 首先判断被除数是否合法
2. 当被除数大于除数时，从被除数中减去除数，商加 1，并重复此过程
3. 直到被除数小于除数时，将被除数赋值给余数