数字逻辑实验考核

一、考核安排

考核分两部分:一是现场编写 RTL 代码,写入 CPLD。二是安装、调试电路,使其性能达到设计要求。

二、考核内容

题目:

摩尔斯电码译码器

基本要求:

将 CPLD 与 1M 时钟输入、LED1、LED2 和 CLK 按钮相连。为 CPLD 编写 RTL 代码,以 1M 时钟作为参考时钟源,实现 CLK 按钮长按与短按区分。

CLK 按钮按下后 1 秒以内松开,识别为短按,LED1 亮,LED2 灭;超过 1 秒识别为长按,LED1 灭,LED2 亮。测试时重复按键多次,每次均能正确区分长按和短按。

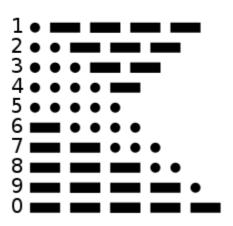
提高要求:

在基本要求的基础上,实现几种简单的摩尔斯码译码功能。

额外连接一位数码管(带译码)到CPLD,用于显示一位数字。

测试时,按照摩尔斯码表连续按 5 次 CLK 按钮, CPLD 根据每次按键的长短译码,得出结果并显示在数码管上。5 次按键过程中数码管保持显示不变。每次成功译码后,可以自动开始下一轮译码。

要求支持下图中至少4种摩尔斯码的译码。图中横线表示长按,点表示短按。按键顺序为从左往右。



三、考核要求及方法

1. 在实验室完成 RTL 代码编写,允许参考指导书或其它材料,但**不得上网**查 找资料或交流。完成代码后现场编译并写入 CPLD。

- 2. 在实验室安装、调试电路使之正常工作。所有电路搭试工作必须在课上完成**,不得预搭电路**。
 - 3. 老师不做任何与考核题目有关的答疑。