

SWORD

XD-LAB-ARCH-002

Lab2: 5 stage CPU executing in
pipeline

Hawk

2019-1-21

XINGDENG

修改记录

版本号.	作者	描述	修改日期
1.0	Hawk	初稿	2019-01-21

审核记录

姓名	职务	签字	日期

XINGDENG	标题	文档编号	版本	页
	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	1 of 39
作者	修改日期			
Hawk	2019/1/21			公开

目录

修改记录	0
审核记录	1
1. 实验准备	6
1. 1 实验目的	6
1. 2 实验内容	6
1. 3 实验资料	6
2. 实验步骤	8
2. 1 新建工程	8
2. 2 增加文件	11
2. 3 功能仿真	22
2. 4 连接外设模块	27
2. 5 生成 bitstream 文件	33
2. 6 下载验证	35

XINGDENG	标题	文档编号	版本	页
	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	2 of 39
作者	修改日期			
Hawk	2019/1/21			公开

图目录

图 1-1 实验资料网站	6
图 1-2 实验文档和工程源文件	7
图 2-1 运行 Vivado	8
图 2-2 新建工程	8
图 2-3 新建工程向导	9
图 2-4 工程名称和路径	9
图 2-5 RTL 工程	10
图 2-6 FPGA 型号	10
图 2-7 新建工程完毕	11
图 2-8 增加文件	11
图 2-9 增加 design sources	12
图 2-10 add files	12
图 2-11 切换目录	13
图 2-12 选择文件	13
图 2-13 增加 design sources 完成	14
图 2-14 流水线 CPU 主要文件	15
图 2-15 继续 Add Sources	15
图 2-16 Next	16
图 2-17 添加文件	16
图 2-18 指定全部类型文件可见	17
图 2-19 切换目录	17
图 2-20 选择 hex 文件	18
图 2-21 增加到工程	18
图 2-22 设置文件类型	19
图 2-23 设置类型为 Data Files	19
图 2-24 设置文件类型	20
图 2-25 设置类型为 Data Files	20
图 2-26 Refresh Hierarchy	21
图 2-27 Data Files	21
图 2-28 开始仿真	22
图 2-29 删除多余信号	22
图 2-30 增加信号	23

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	3 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

图 2-31 增加信号	23
图 2-32 设置 16 进制显示	24
图 2-33 Restart Simulation.....	24
图 2-34 Run for...	25
图 2-35 仿真结果 1.....	25
图 2-36 仿真结果 2.....	26
图 2-37 仿真结果 3.....	26
图 2-38 增加外设.v 文件.....	27
图 2-39 Next.....	27
图 2-40 Add Files	28
图 2-41 切换目录.....	28
图 2-42 外设模块.....	29
图 2-43 增加模块.....	30
图 2-44 增加文件	30
图 2-45 增加 constraints.....	31
图 2-46 增加文件	31
图 2-47 切换目录.....	32
图 2-48 sword4.xdc	32
图 2-49 完成增加 constraints	33
图 2-50 设置顶层模块.....	33
图 2-51 生成 bitstream.....	34
图 2-52 自动运行中间步骤	34
图 2-53 生成 bitstream 成功	35
图 2-54 连接 SWORD4.0.....	35
图 2-55 主要控制 IO	36
图 2-56 进入 Hardware Manager	36
图 2-57 自动连接到 SWORD4.0	37
图 2-58 Program Device	37
图 2-59 下载 bit 文件	38
图 2-60 运行效果	38

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	4 of 39
作者 Hawk	修改日期 2019/1/21		公开

表目录

表 2-1 CPU 相关文件列表说明	14
表 2-2 待添加的外设模块简介	29

XINGDENG	标题	文档编号	版本	页
	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	5 of 39
作者	修改日期			
Hawk	2019/1/21			公开

1. 实验准备

1.1 实验目的

设计流水线 CPU，并支持 Stall。通过检测竞争并插入停顿（Stall）机制解决结构竞争、数据竞争和控制竞争。

1.2 实验内容

本实验包括，Vivado 基本操作，流水线 CPU 的实现，功能仿真和上板验证。

1.3 实验资料

实验资料可以从网站 <https://gitee.com/SWORDfpga/ComputerArchitecture> 获得。

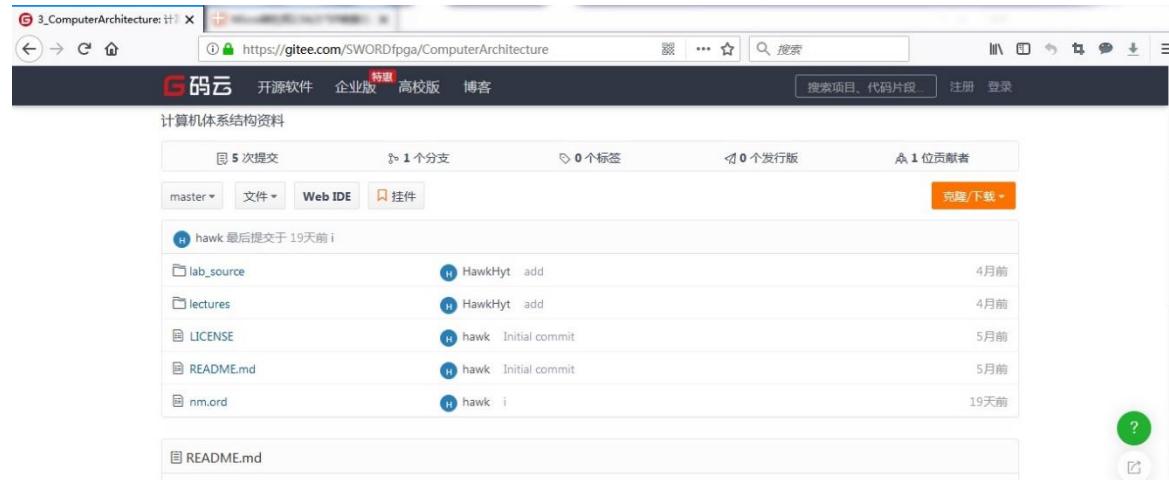


图 1-1 实验资料网站

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	6 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

为方便使用，建议建立 c:\archlabs 目录，放置实验资料和实验工程。

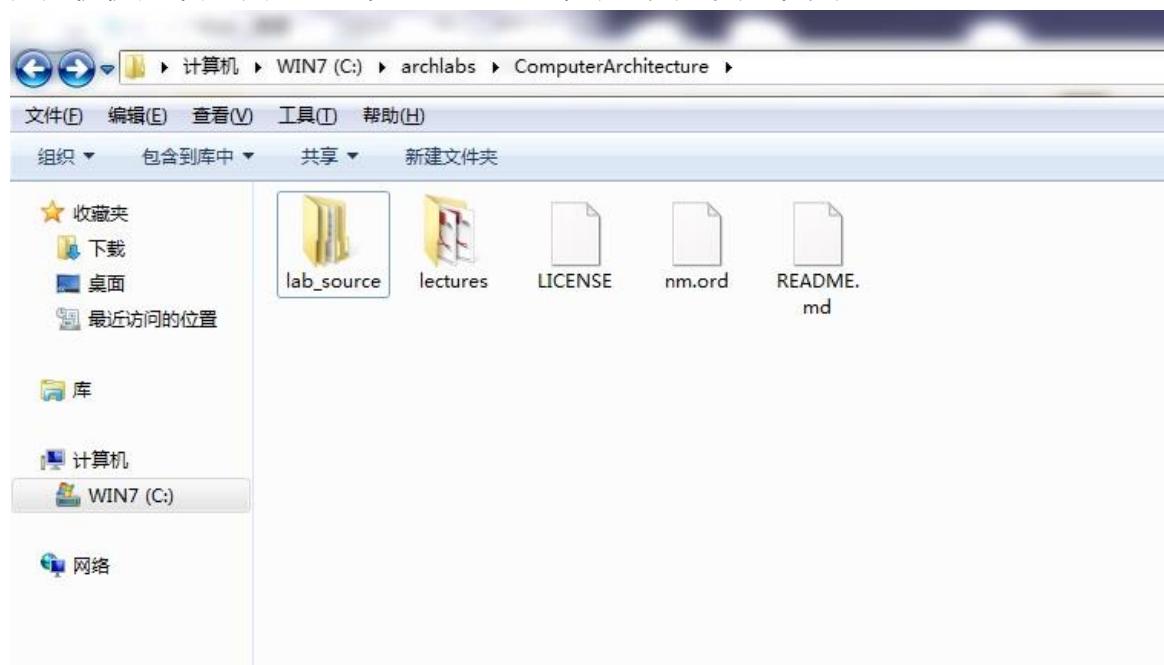


图 1-2 实验文档和工程源文件

XINGDENG	标题	文档编号	版本	页
	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	7 of 39
作者	修改日期			
Hawk		2019/1/21	公开	

2. 实验步骤

2.1 新建工程

运行 Vivado 2014.4 开发工具。



图 2-1 运行 Vivado

点击 Create New Project。

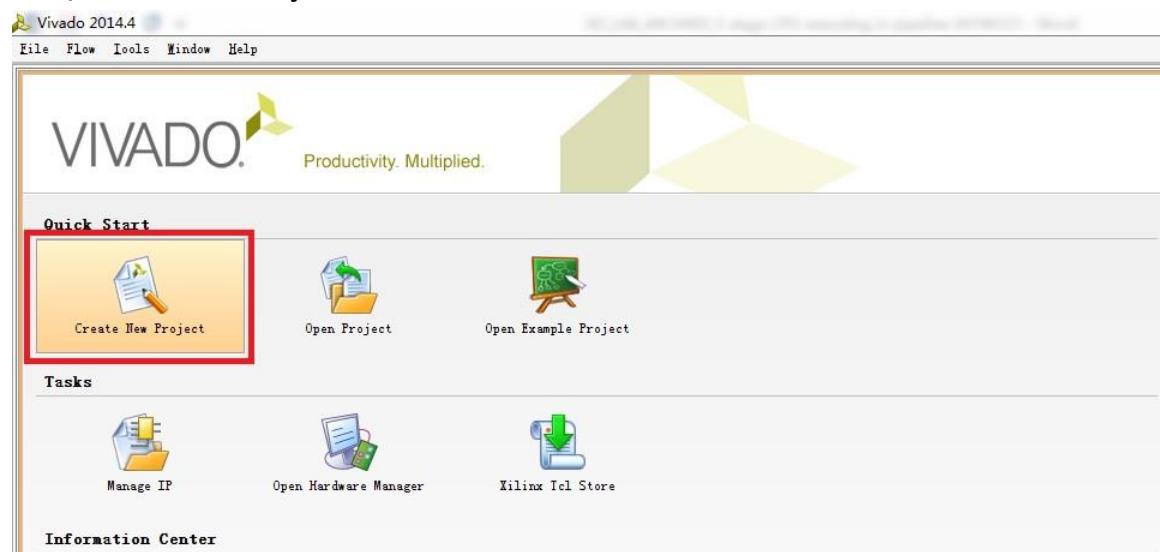


图 2-2 新建工程

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	8 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

通过 New Project 向导我们可以建立新工程，点击 Next 继续。

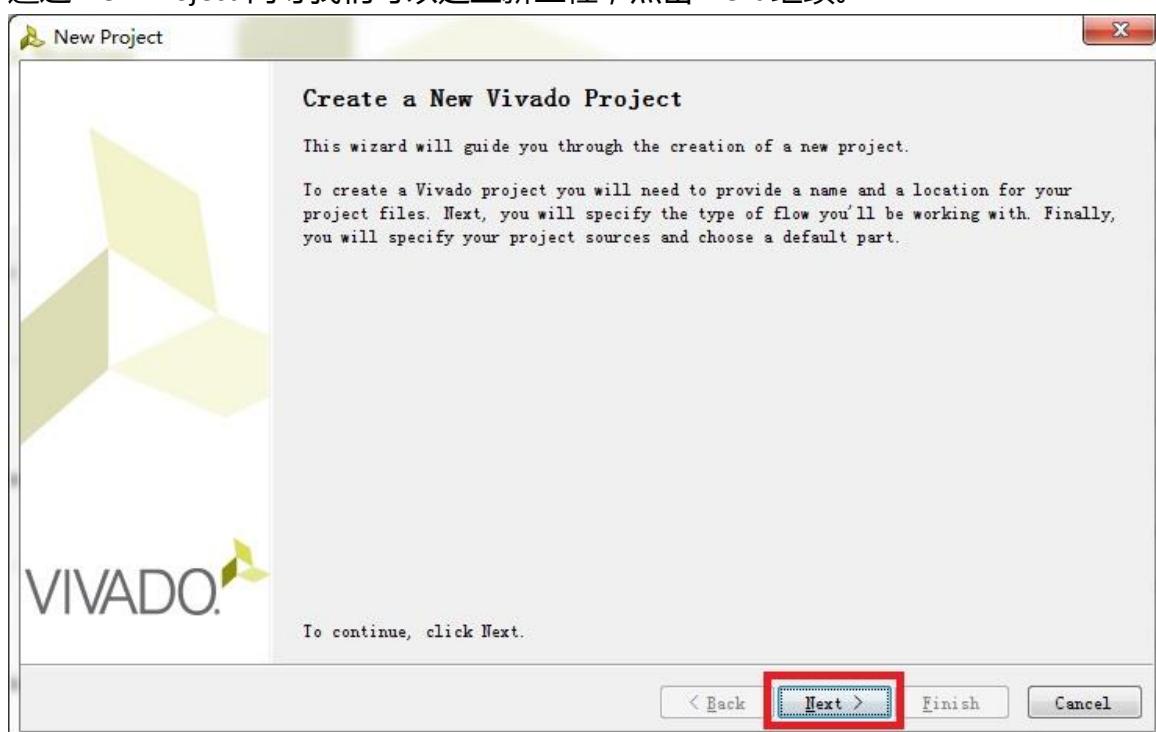


图 2-3 新建工程向导

输入工程名称 lab02，工程位置建议 c:/archlabs，选中 Create project subdirectory 后点击 Next 继续。

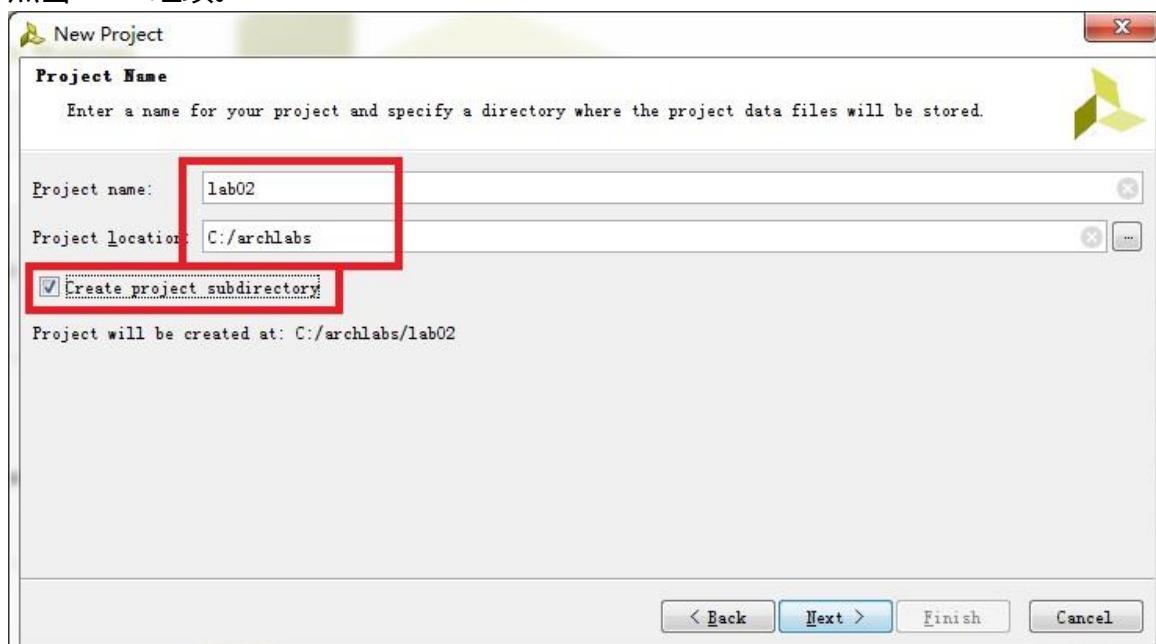


图 2-4 工程名称和路径

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	9 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

选择创建的工程类型 **RTL Project**，选中 **Do not specify sources at this time** 不在创建工程时决定 sources 文件，点击 **Next** 继续。

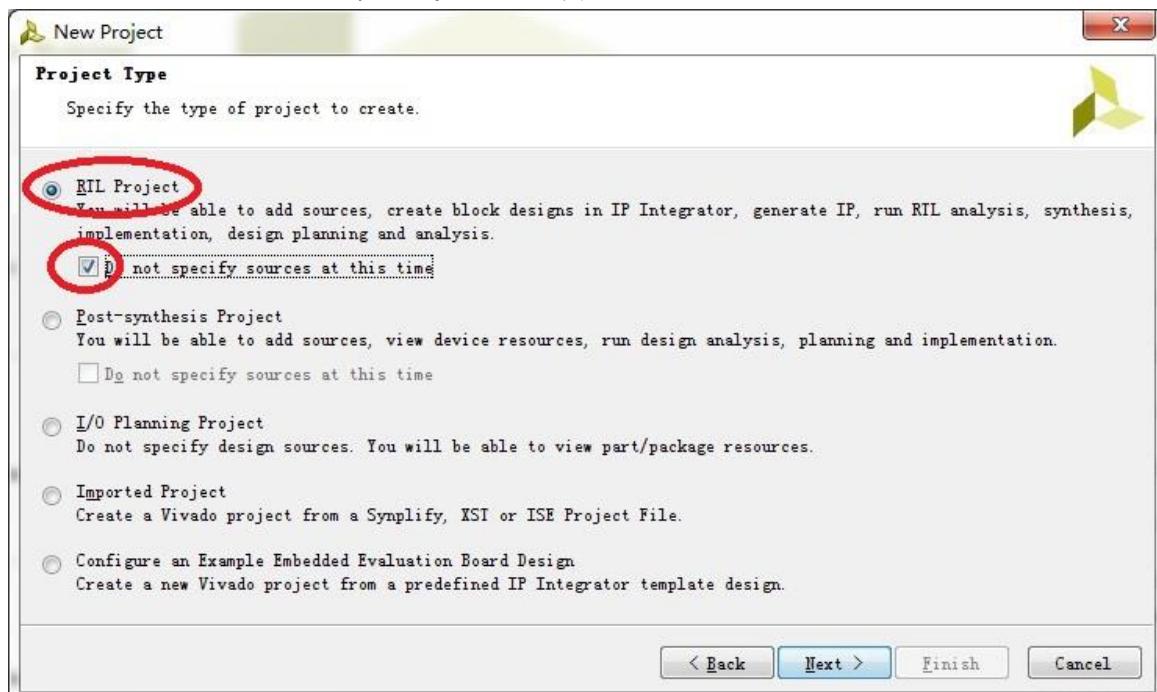


图 2-5 RTL 工程

选择 SWORD4.0 的 FPGA 参数，Family 选 **Kintex-7**，Package 选 **ffg676**，Speed grade 选 **-2**，在找到的具体型号中选 **xc7k325tffg676-2**，点击 **Next** 继续。

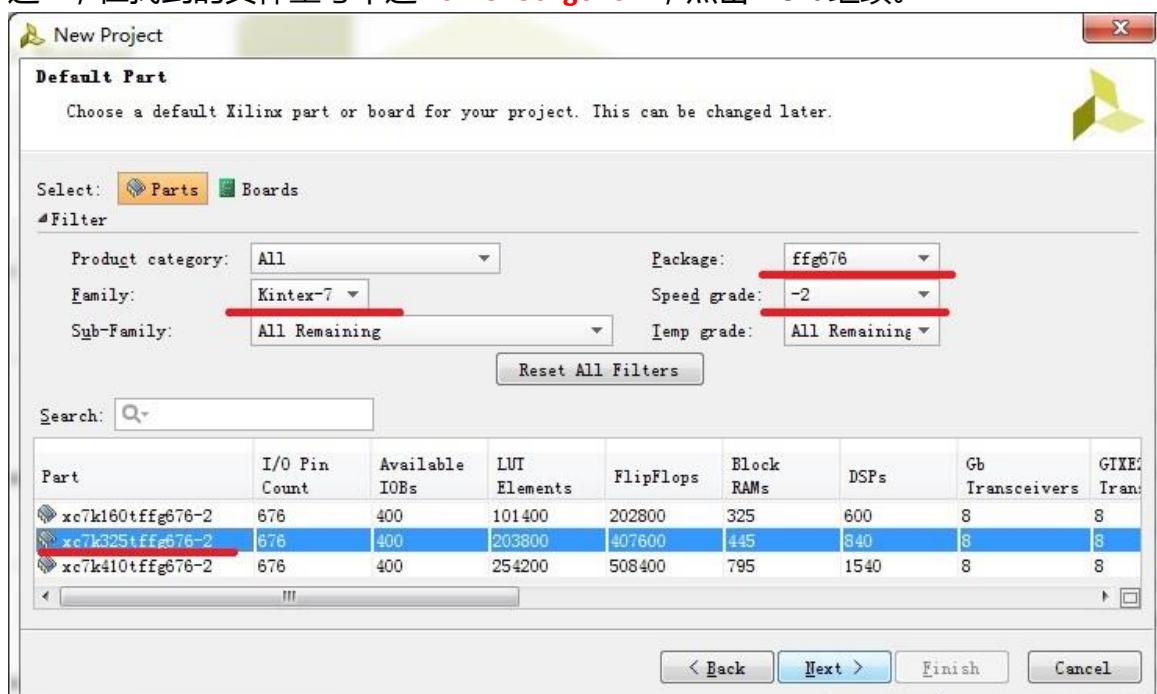


图 2-6 FPGA 型号

XINGDENG	标题	文档编号	版本	页
	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	10 of 39
作者	修改日期			
Hawk	2019/1/21		公开	

点击 Finish 结束工程的创建。

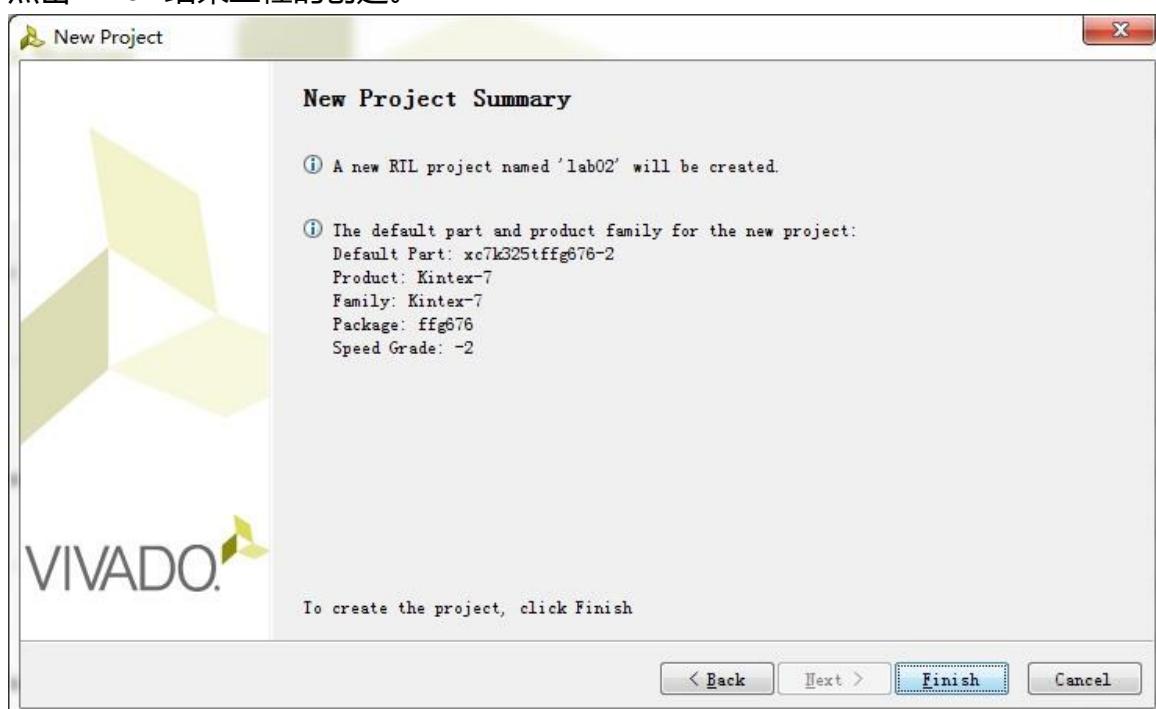


图 2-7 新建工程完毕

2.2 增加文件

在 Design Source 上点击右键，点击 Add Sources。

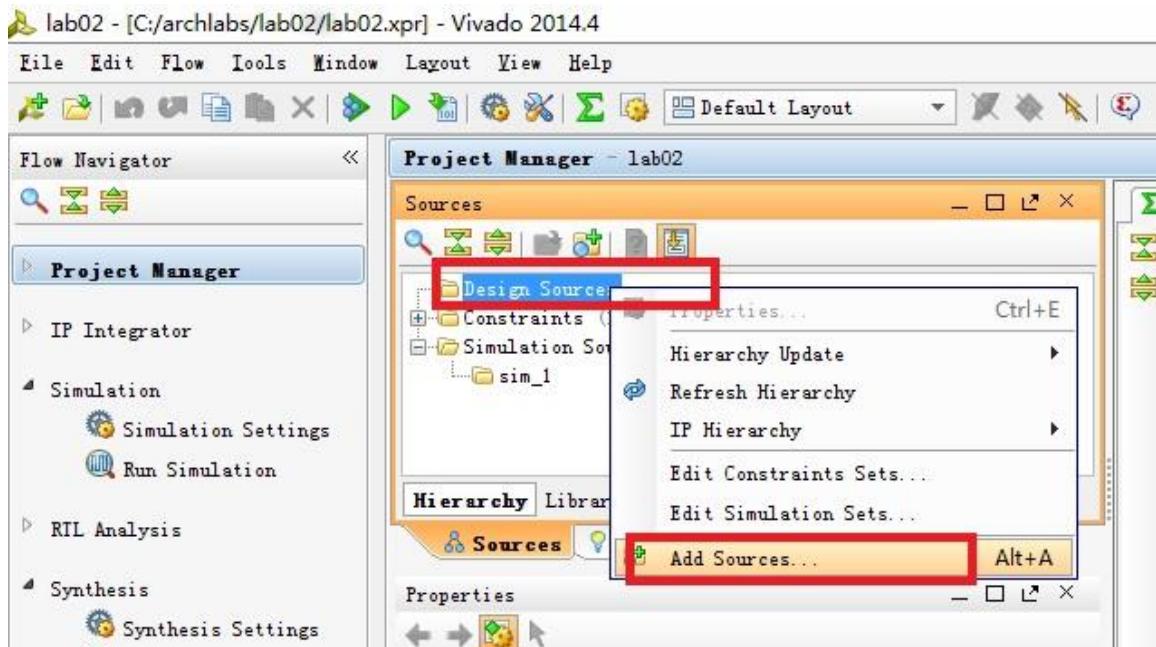


图 2-8 增加文件

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	11 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

选中 Add or create design sources , 点击 Next。

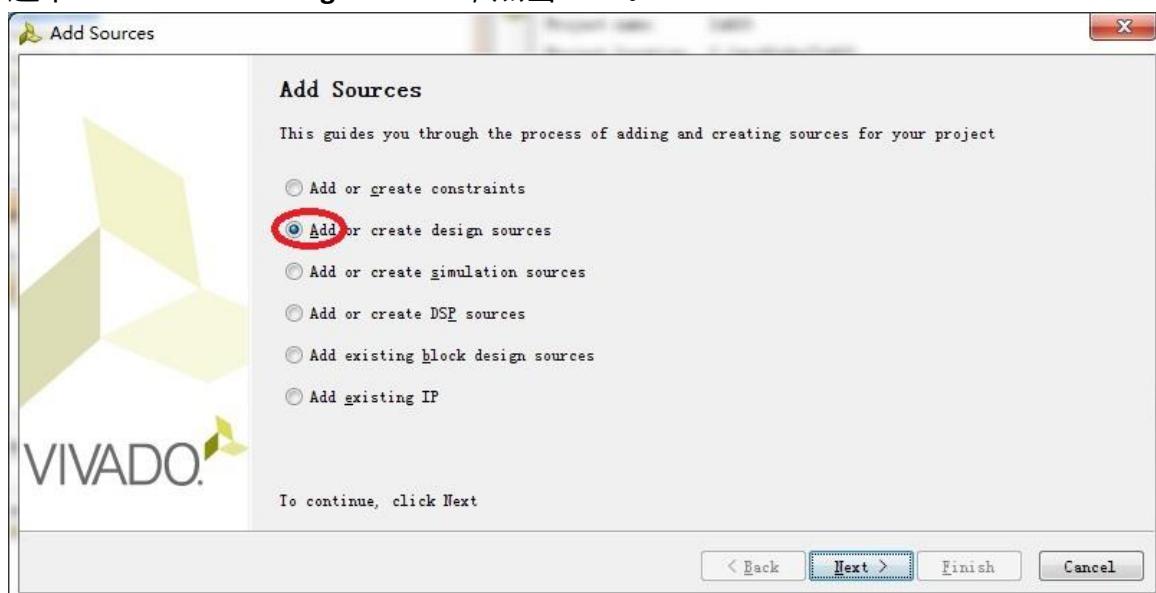


图 2-9 增加 design sources

点击 Add Files。

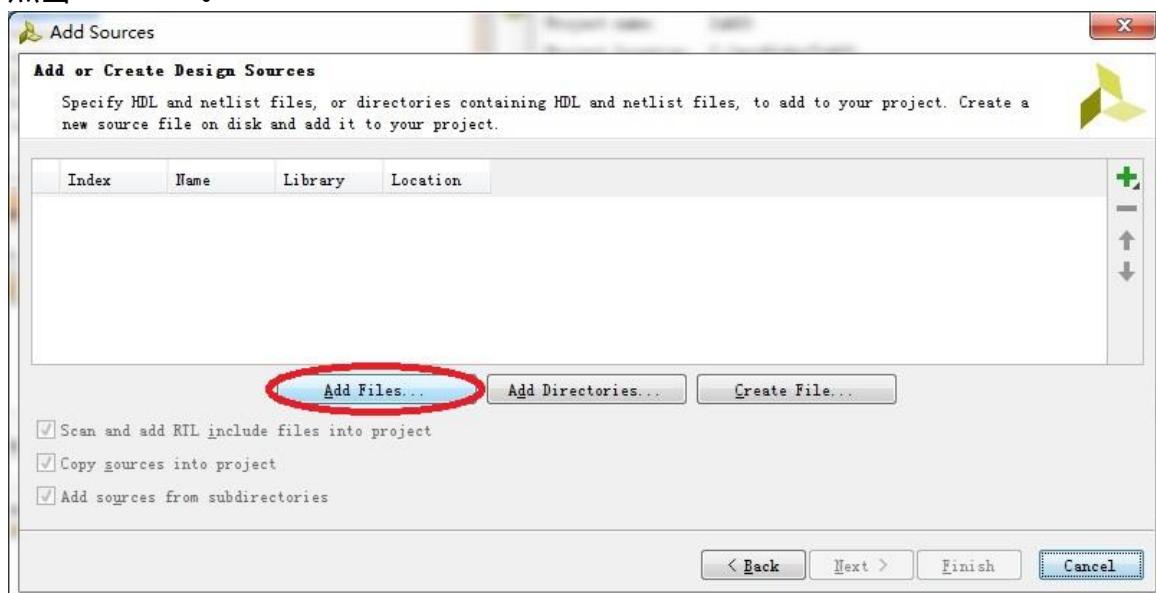


图 2-10 add files

XINGDENG	标题	文档编号	版本	页
	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	12 of 39
作者	修改日期			
Hawk	2019/1/21			公开

进入 c:\archlabs\ComputerArchitecture\lab_source\lab02\sources\cpu 目录。

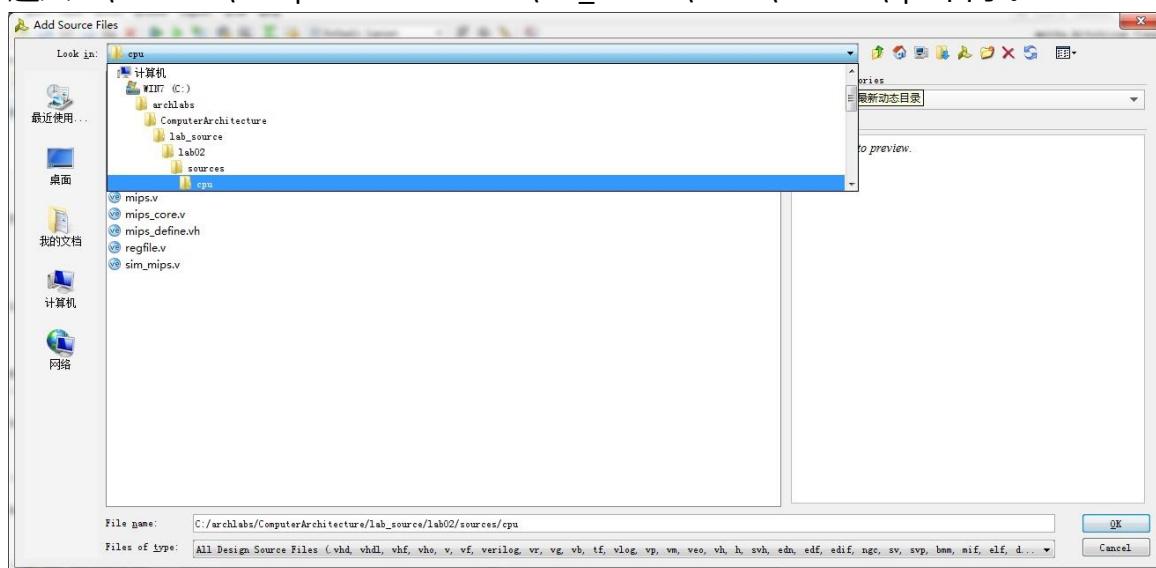


图 2-11 切换目录

选中所有文件，点击 OK。

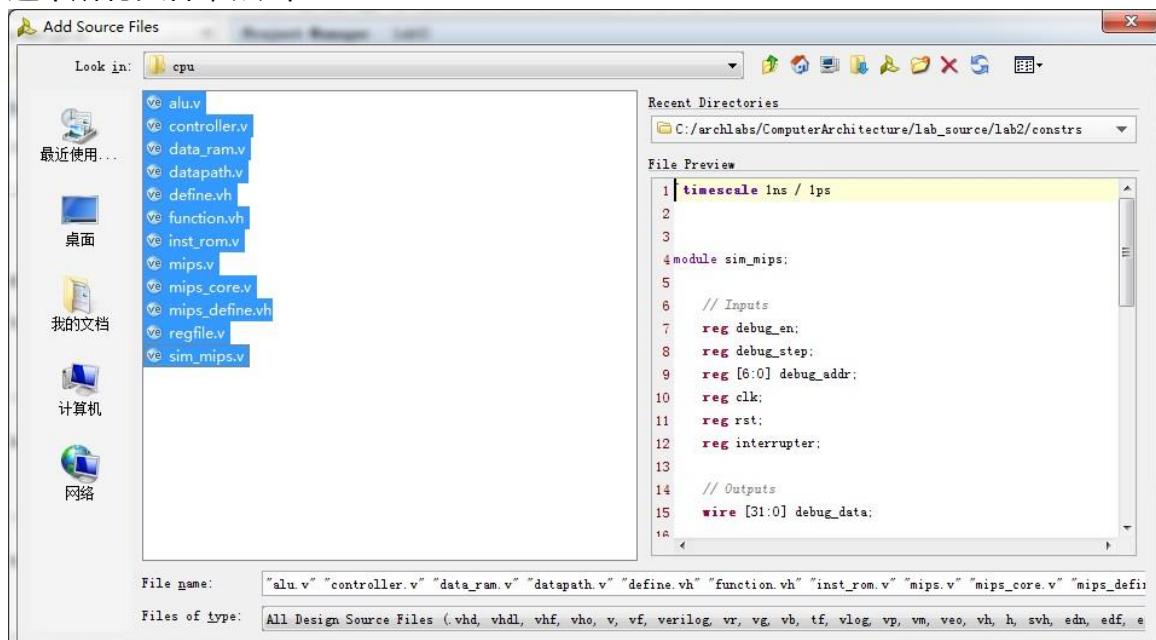


图 2-12 选择文件

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	13 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

列表中会显示要添加到工程中的文件，本次共 12 个。选中 **Scan and add RTL**

include files into project 和 **Copy sources into project**，点击 **Finish**。

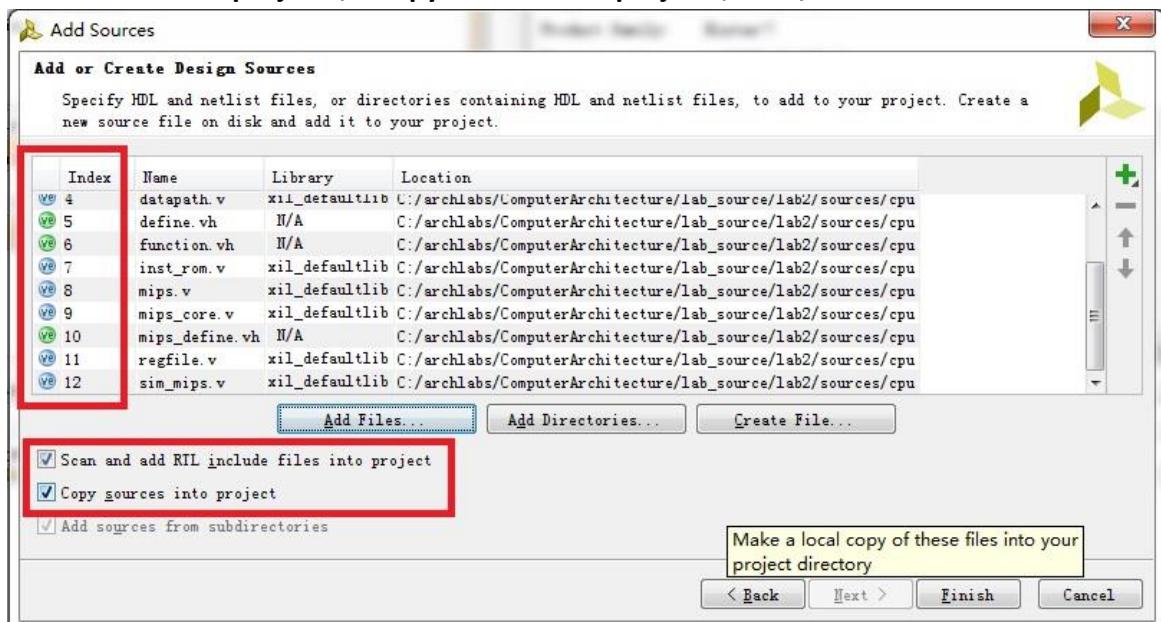


图 2-13 增加 design sources 完成

这里简单介绍一下各.v 文件的用途：

表 2-1 CPU 相关文件列表说明

文件名	说明
sim_mips.v	仿真文件，生成仿真激励信号
mips.v	主要功能文件，包含处理器和存储器结构
mips_core.v	CPU，只包含运算器和控制器
controller.v	流水线 cpu 控制器文件
datapath.v	流水线 cpu 数据通路，包含运算器和寄存器
regfile.v	寄存器
alu.v	运算器单元
inst_rom.v	指令存储器
data_rom.v	数据存储器

XINGDENG	标题	文档编号	版本	页
	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	14 of 39
作者	修改日期			
Hawk	2019/1/21			公开

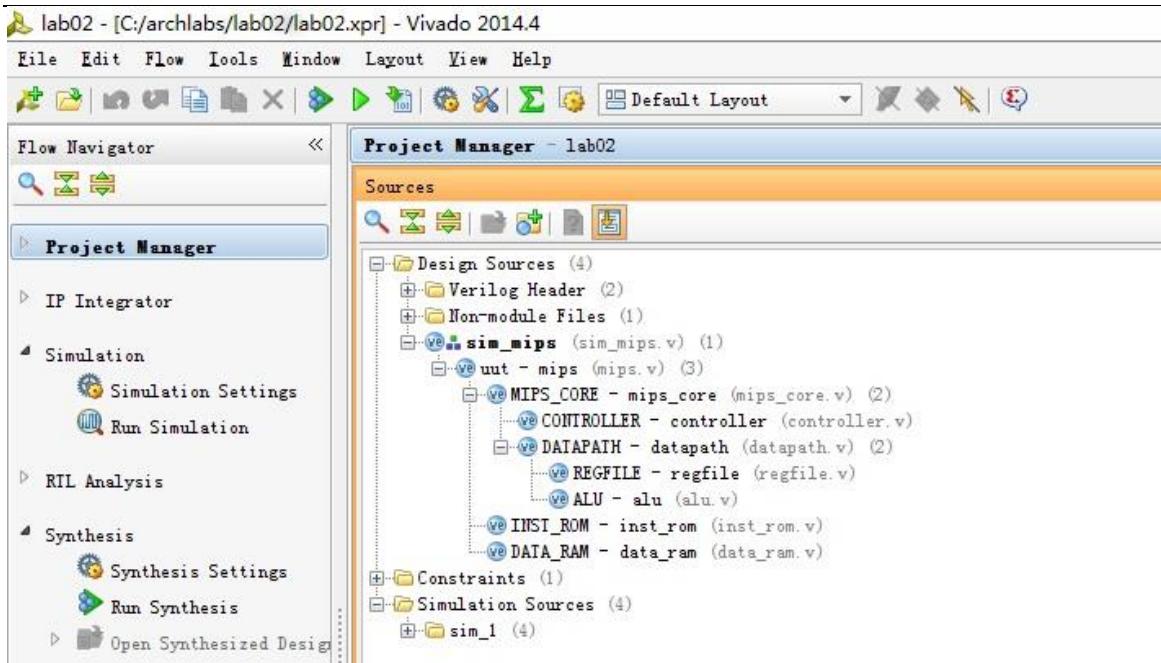


图 2-14 流水线 CPU 主要文件

用 Add Sources 增加数据文件。

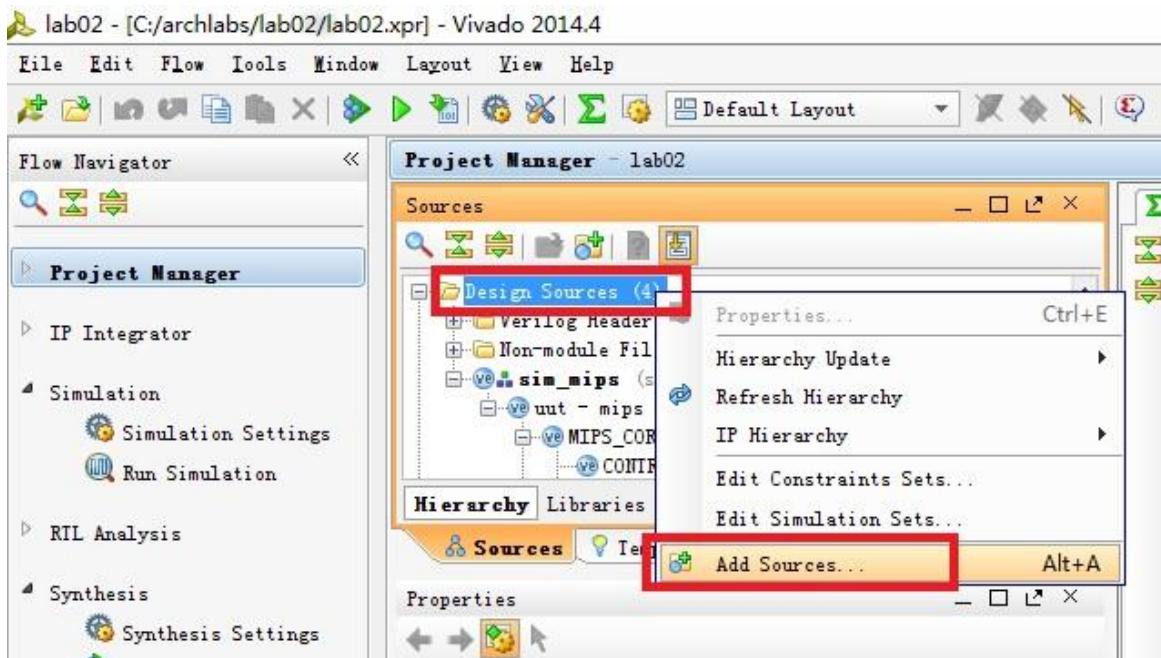


图 2-15 继续 Add Sources

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	15 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

选中 Add or create design sources , 点击 Next。

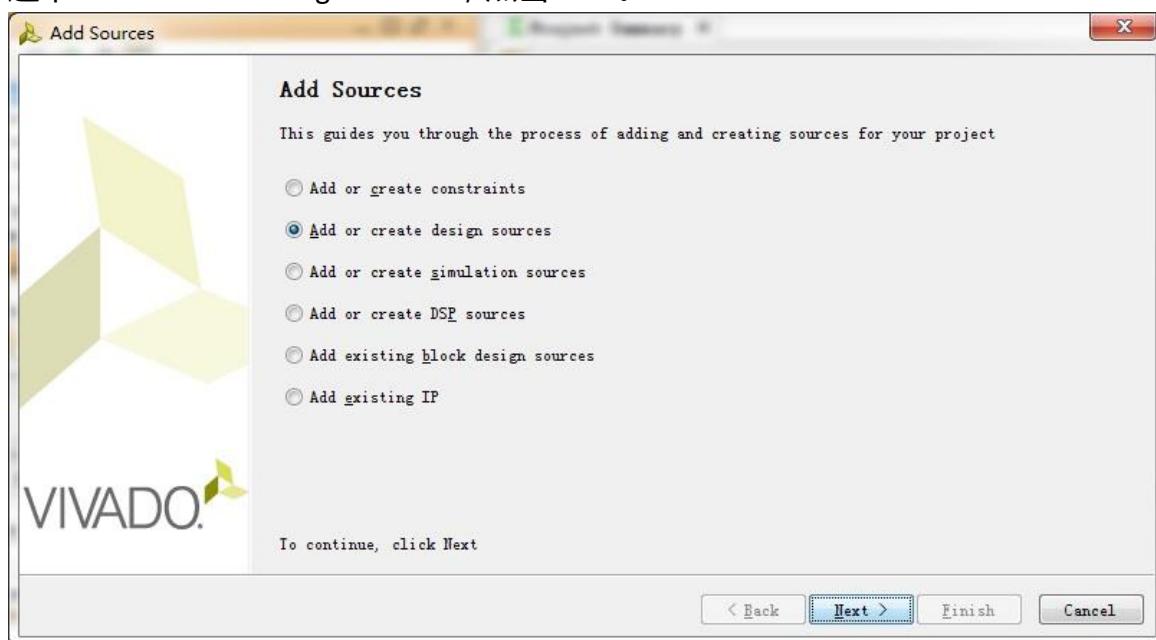


图 2-16 Next

用 Add Files 添加文件。

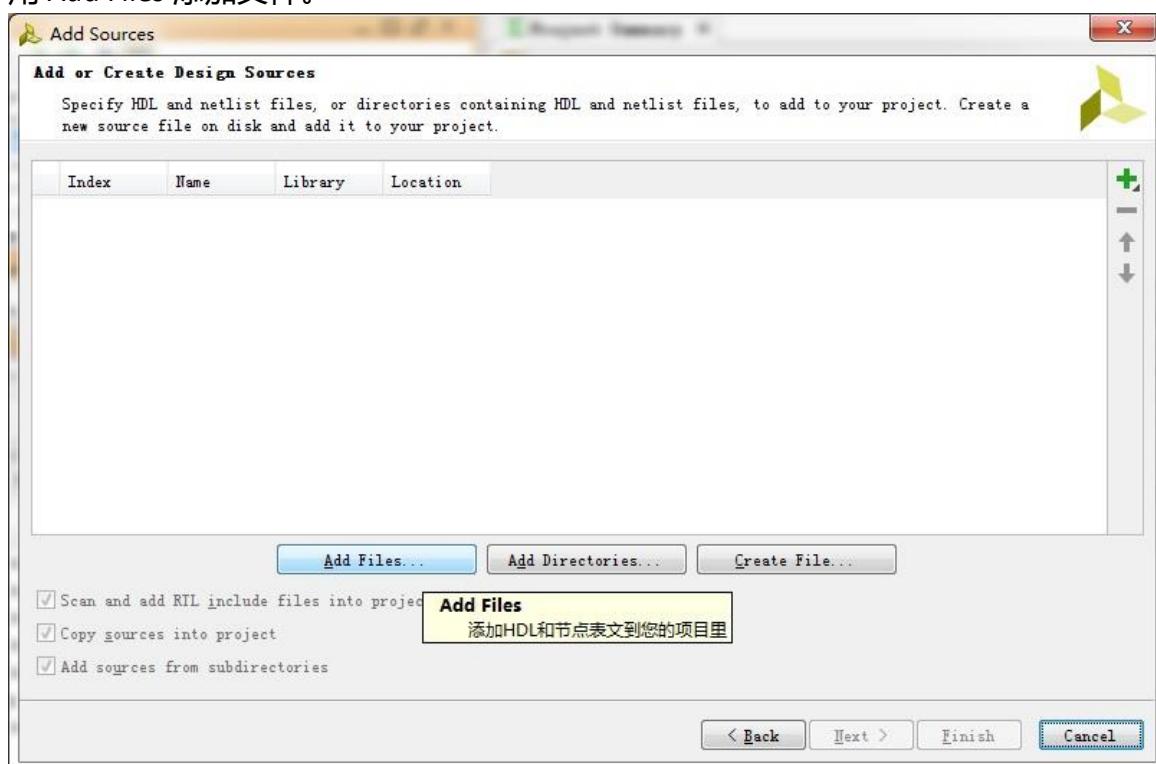


图 2-17 添加文件

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	16 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

指定文件类型为 All Files

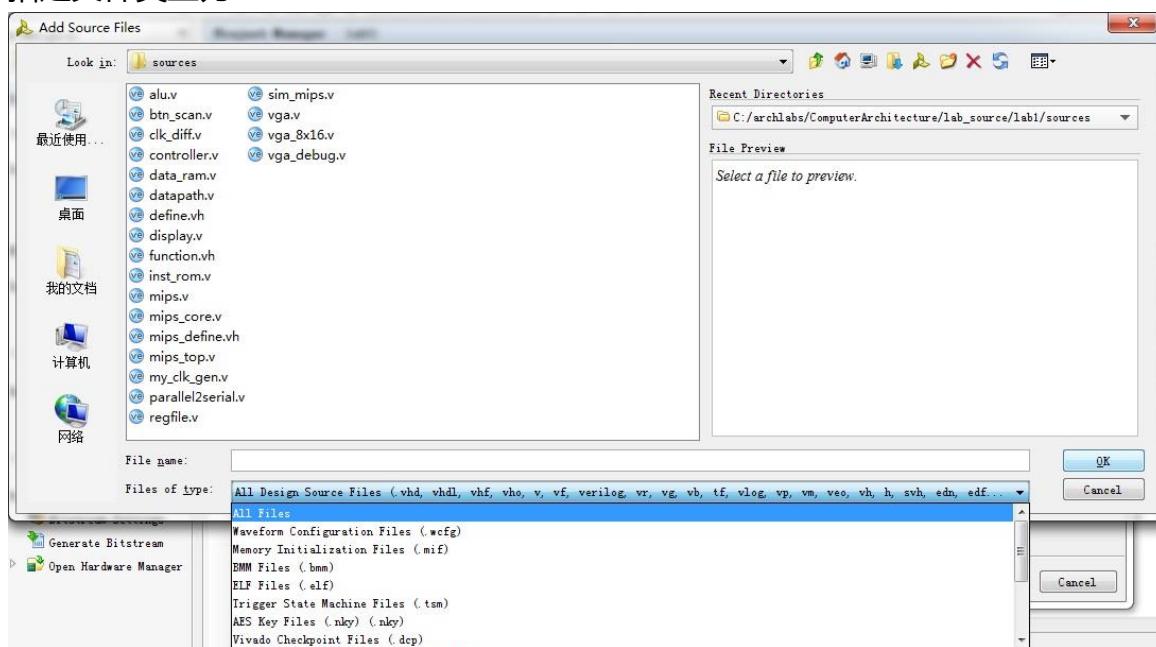


图 2-18 指定全部类型文件可见

切换到 lab_source\lab02\data 目录

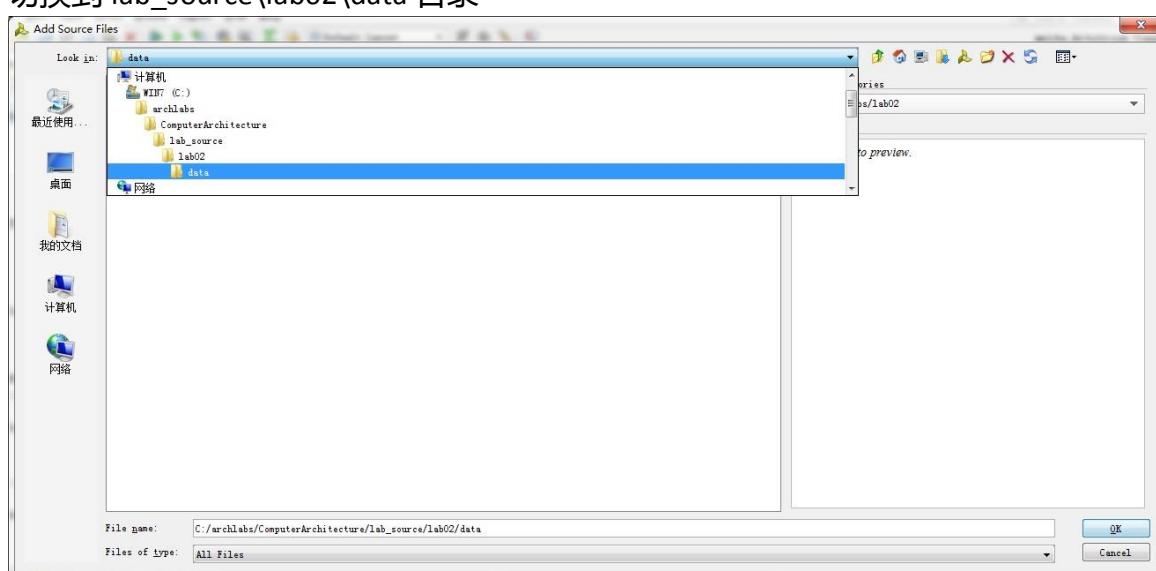


图 2-19 切换目录

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	17 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

选择 data_mem.hex 和 inst_mem.hex 文件

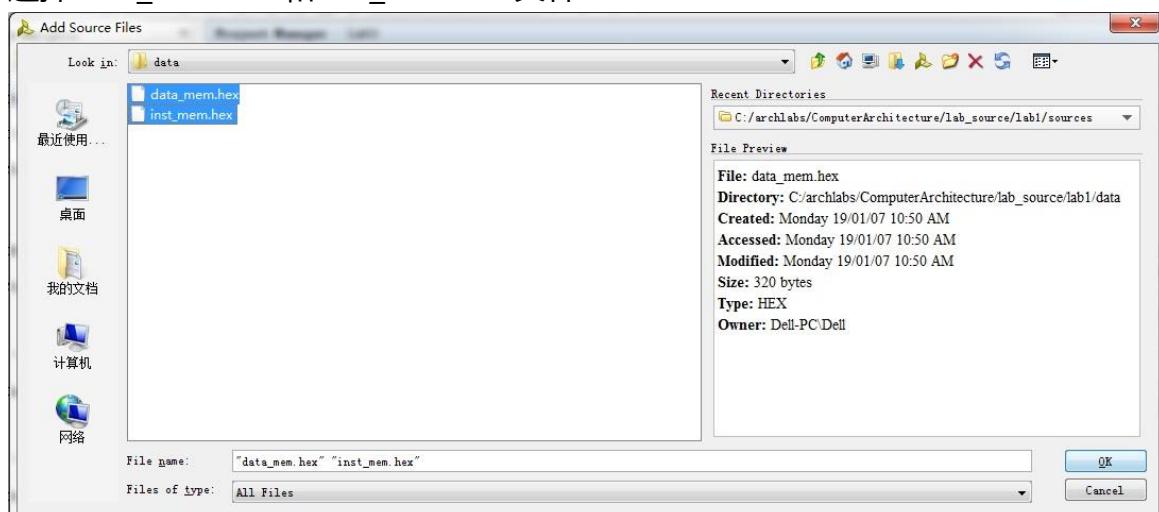


图 2-20 选择 hex 文件

选中 Scan and add RTL include files into project 和 Copy sources into project , 点击 Finish 把文件加入到工程。

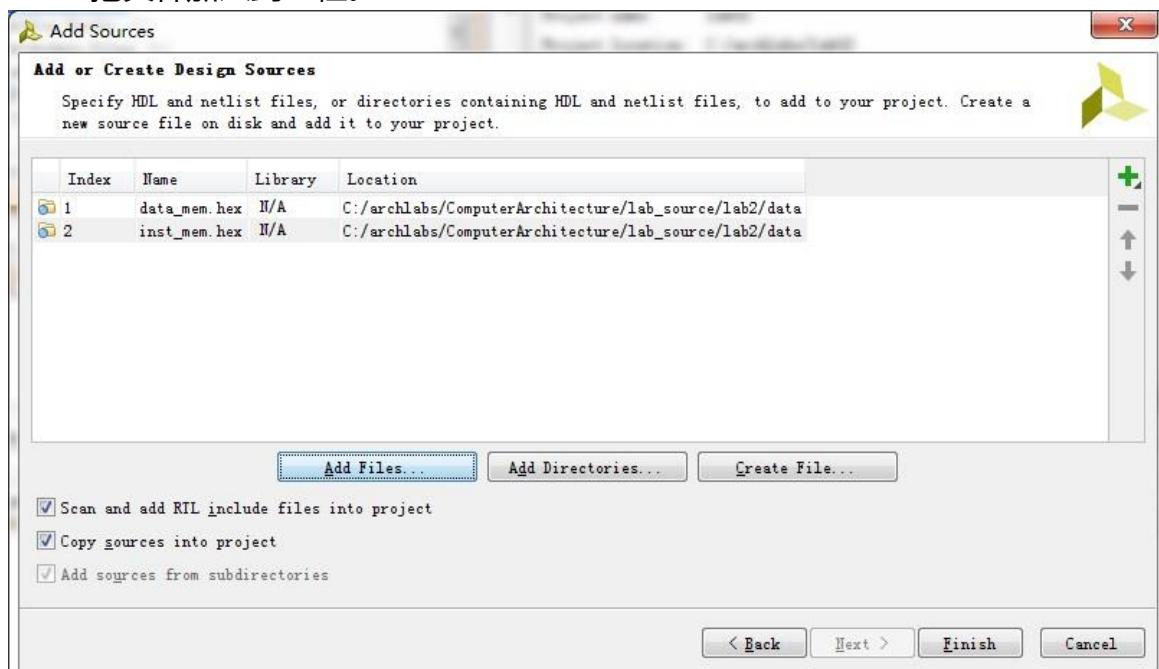


图 2-21 增加到工程

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	18 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

点击“+”展开 Unknown，在 data_mem.hex 上点击右键，点击 Set File Type。

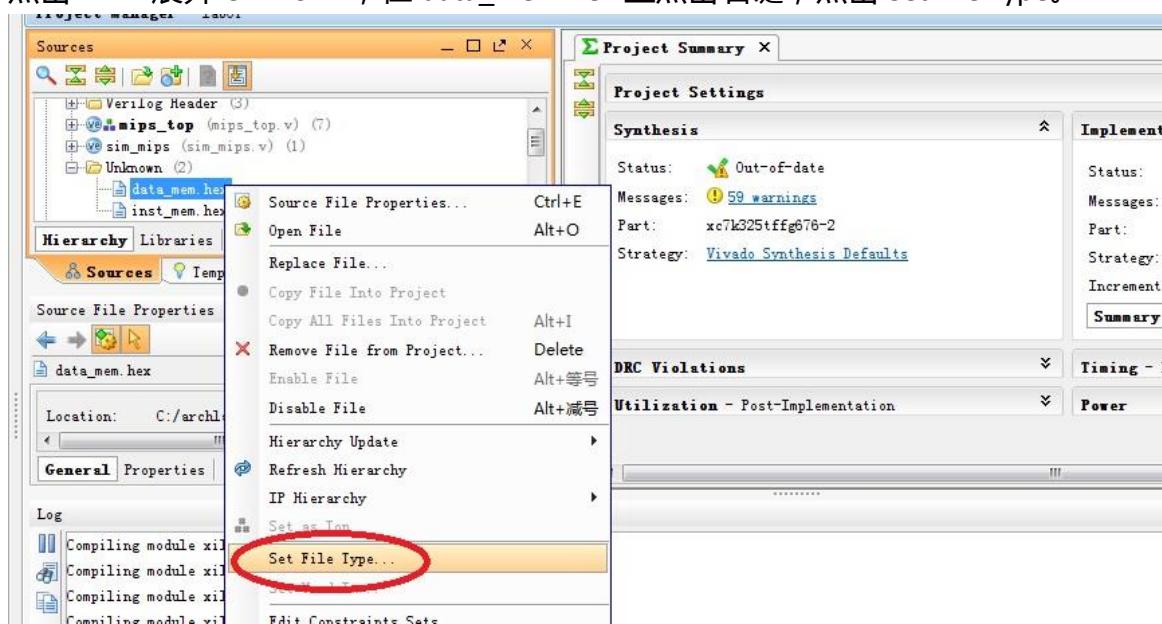


图 2-22 设置文件类型

选择 Data Files，点击 OK。

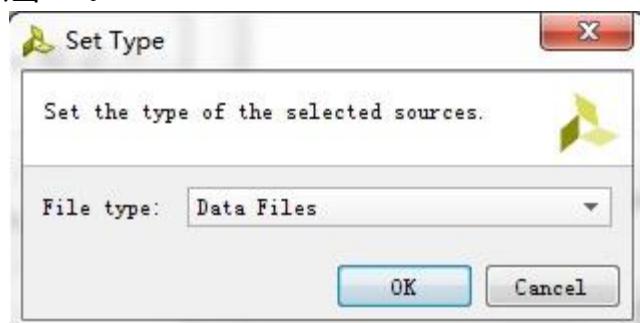


图 2-23 设置类型为 Data Files

XINGDENG	标题	文档编号	版本	页
	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	19 of 39
作者	修改日期			
Hawk		2019/1/21	公开	

同样设置 inst_mem.hex 的类型。

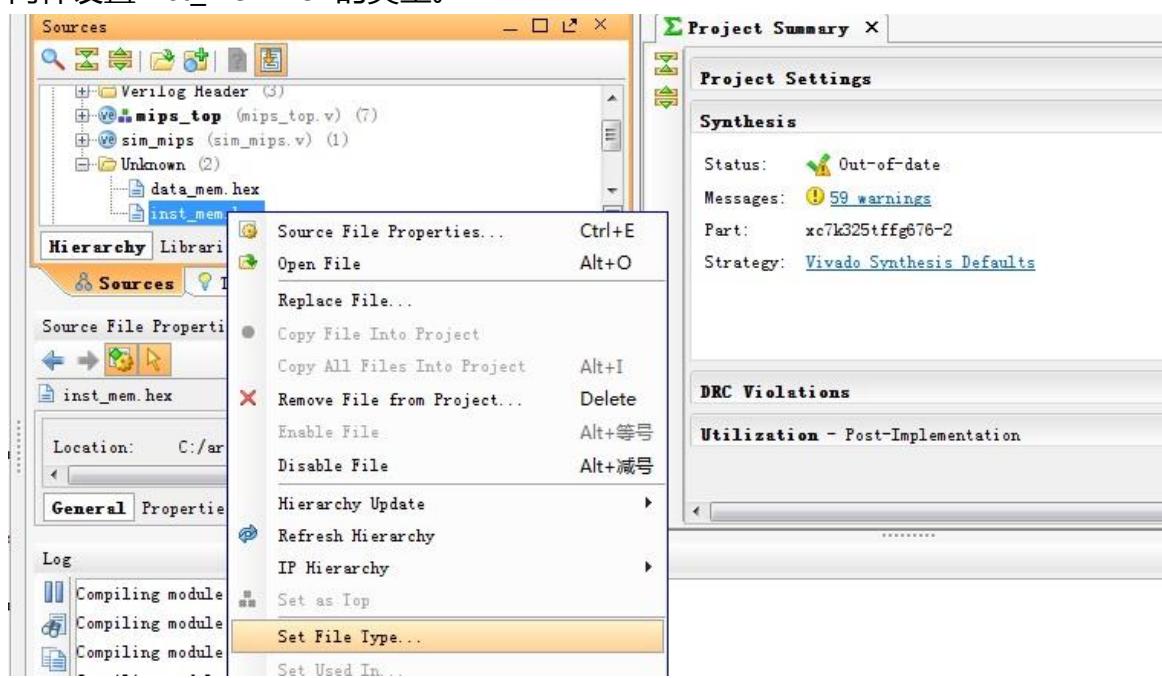


图 2-24 设置文件类型

设置为 Data Files。

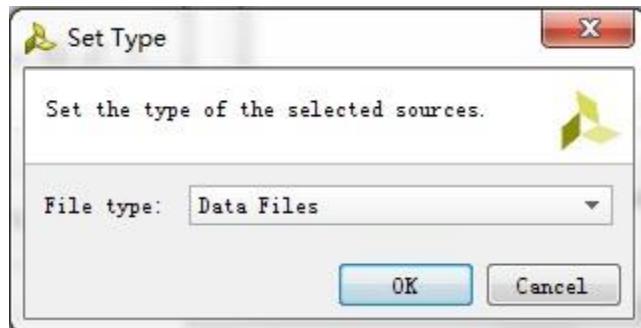


图 2-25 设置类型为 Data Files

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	20 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

在 data_mem.hex 上点击右键，点击 Refresh Hierarchy 更新视图。

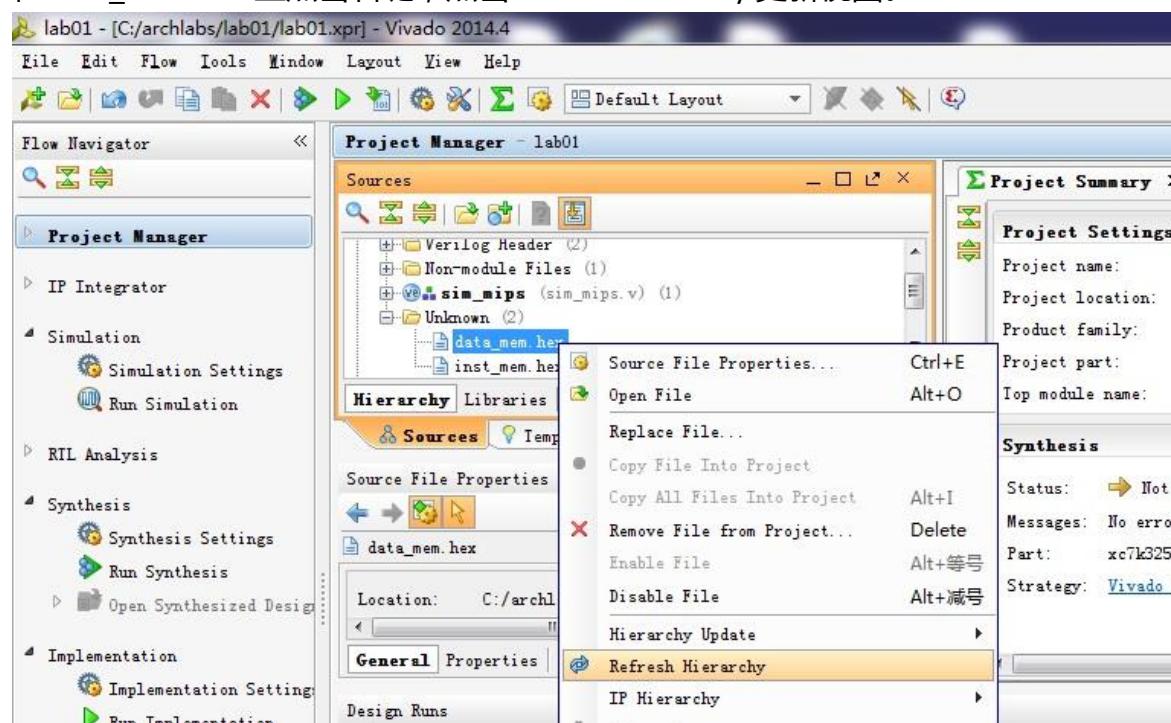


图 2-26 Refresh Hierarchy

现在 data_mem.hex 和 inst_mem.hex 都在 Data Files 下了，这两个文件包含指令存储器和数据存储器的初始化信息。

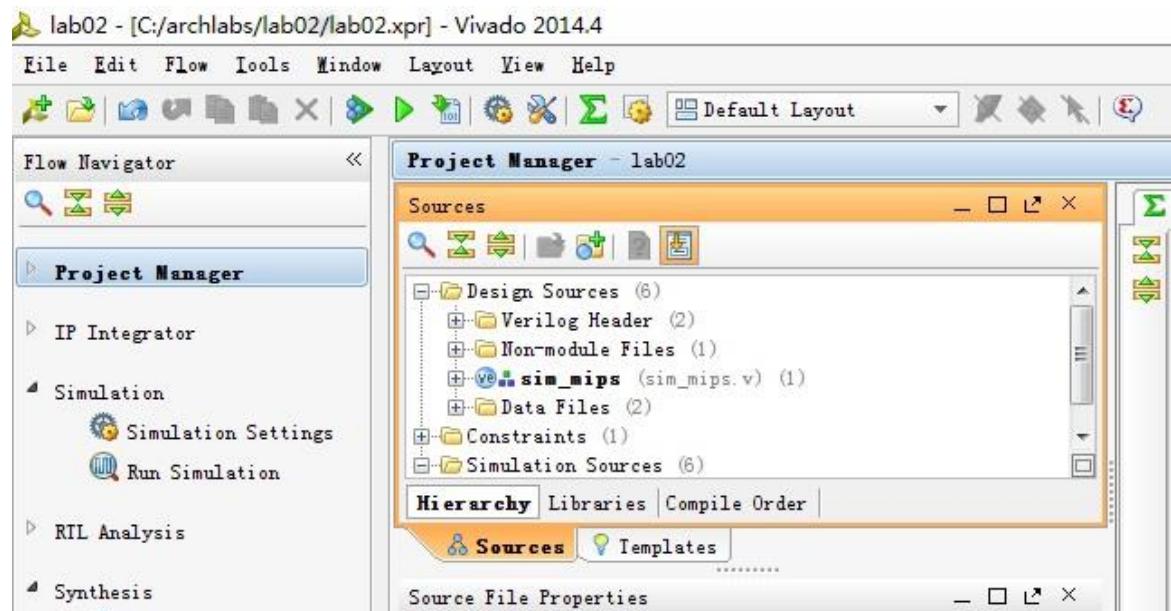


图 2-27 Data Files

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	21 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

2.3 功能仿真

点击 Run Simulation 下的 Run Behavioral Simulation。

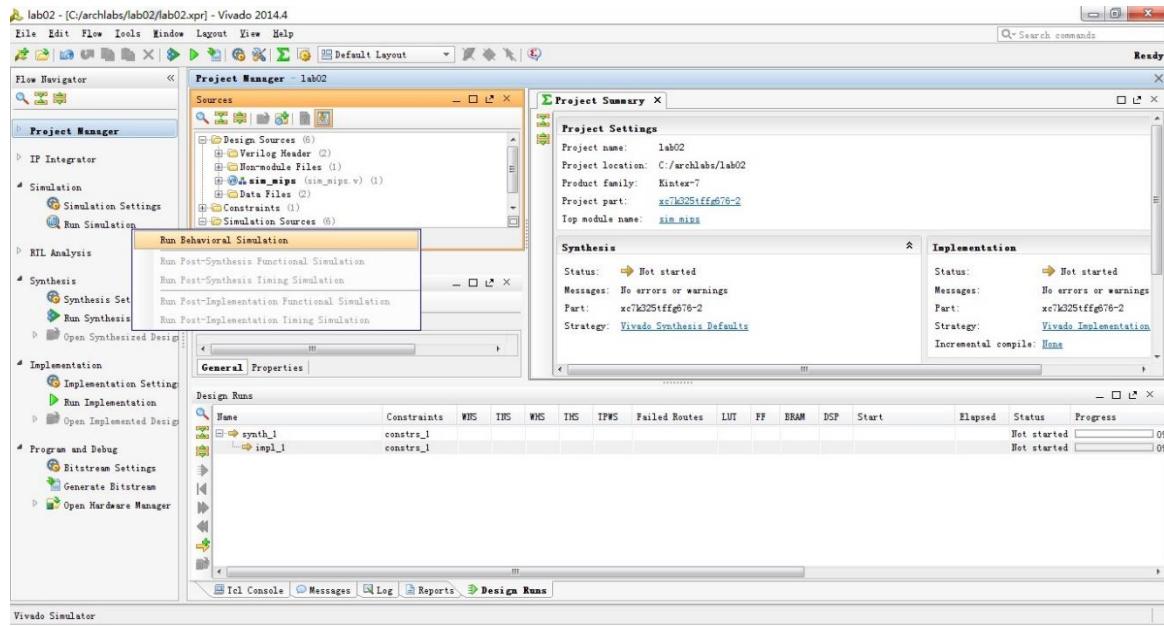


图 2-28 开始仿真

用“Ctrl”+鼠标左键选择除了 clk 和 rst 外的信号并删除。

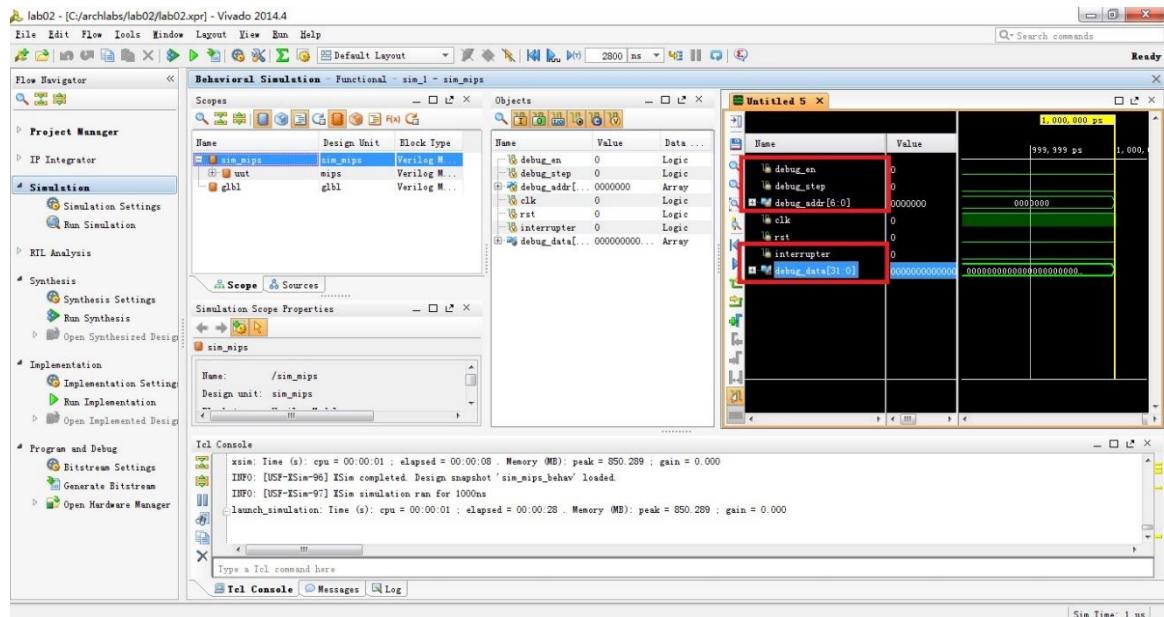


图 2-29 删除多余信号

XINGDENG	标题	文档编号	版本	页
	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	22 of 39
作者	修改日期			
Hawk	2019/1/21			公开

增加 DATAPATH 下 if_rst、if_en...等信号。

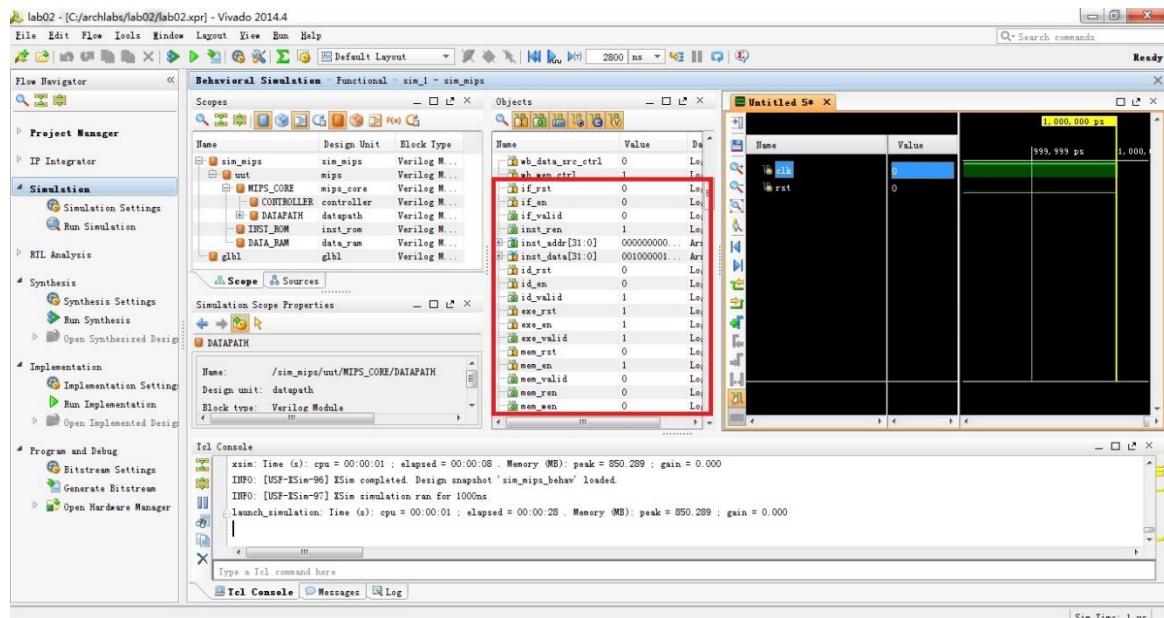


图 2-30 增加信号

增加 DATAPATH 下 mem_addr[31:0]...mem_wen_mem 等信号。

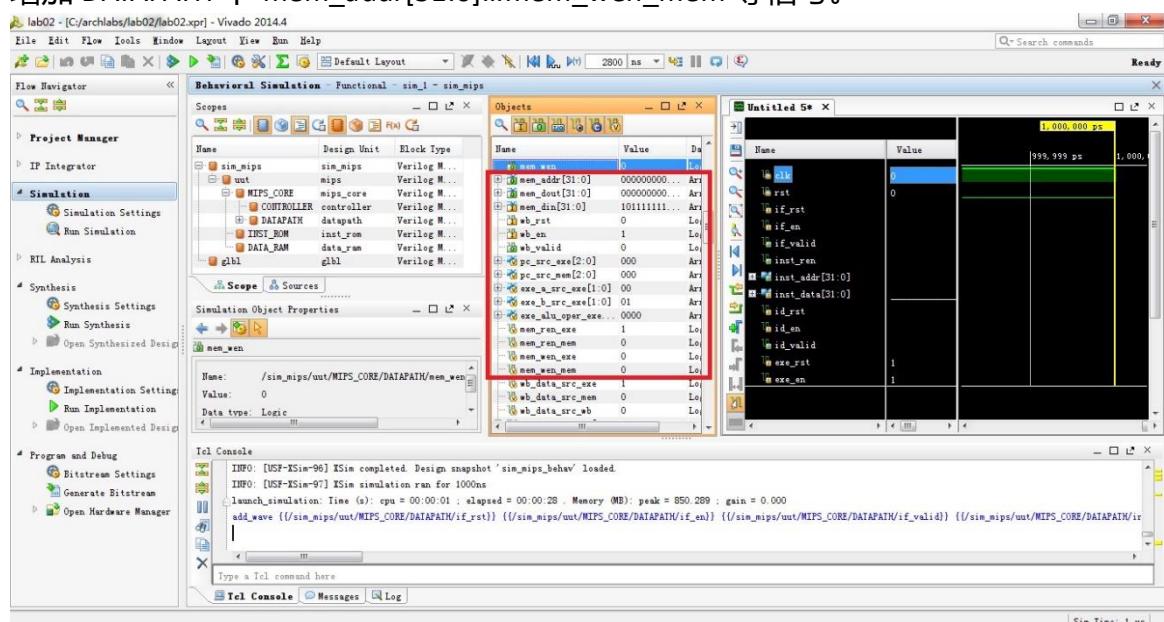


图 2-31 增加信号

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	23 of 39
作者	修改日期		
Hawk	2019/1/21		公开

将所有信号都设置成 16 进制显示。

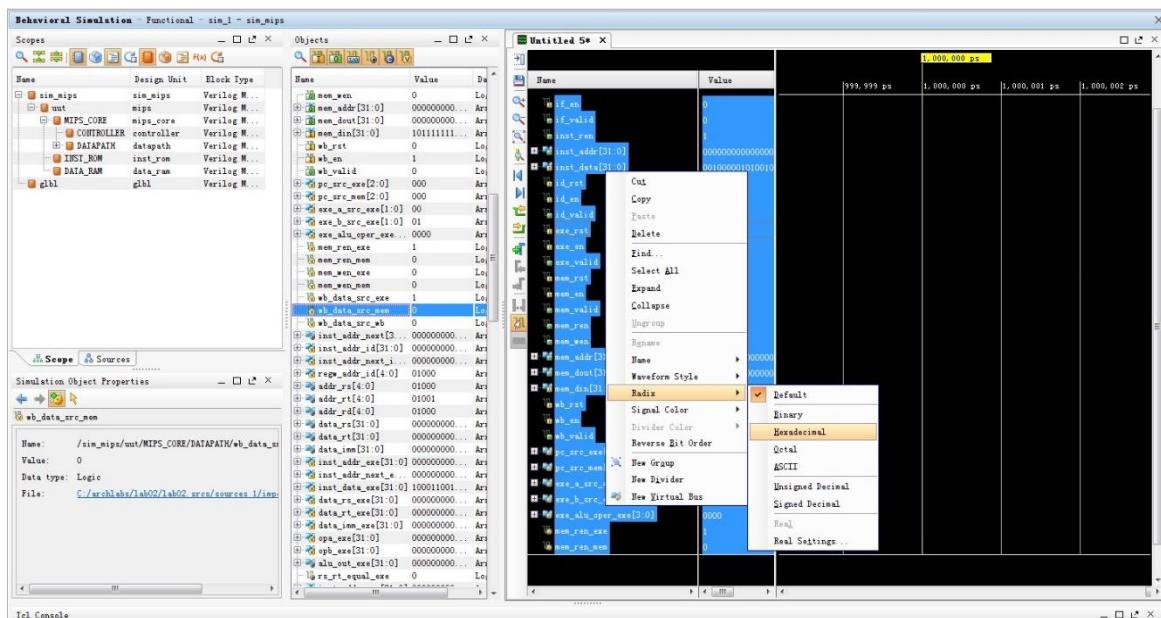


图 2-32 设置 16 进制显示

增加信号后需要使用 Run 菜单下的 Restart，重新开始。

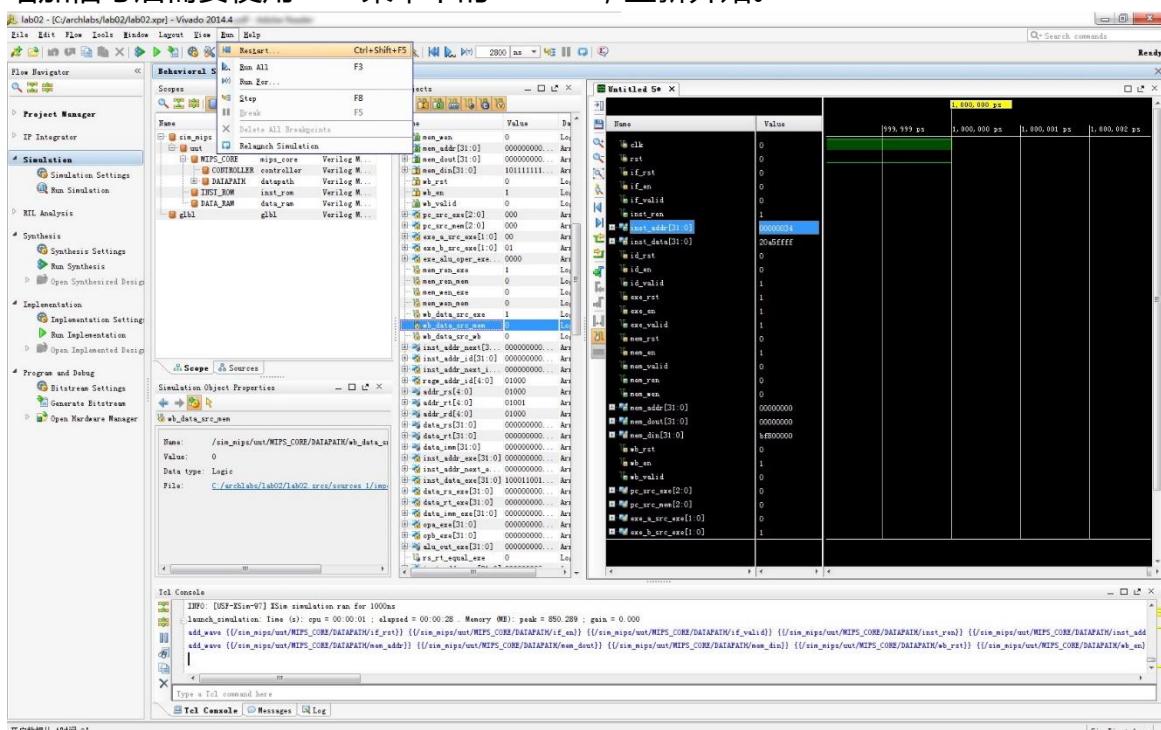


图 2-33 Restart Simulation

标题	文档编号	版本	页
xingdeng	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0 24 of 39
作者	修改日期		
Hawk	2019/1/21		公开

使用 Run for... 仿真指定时间长的波形。

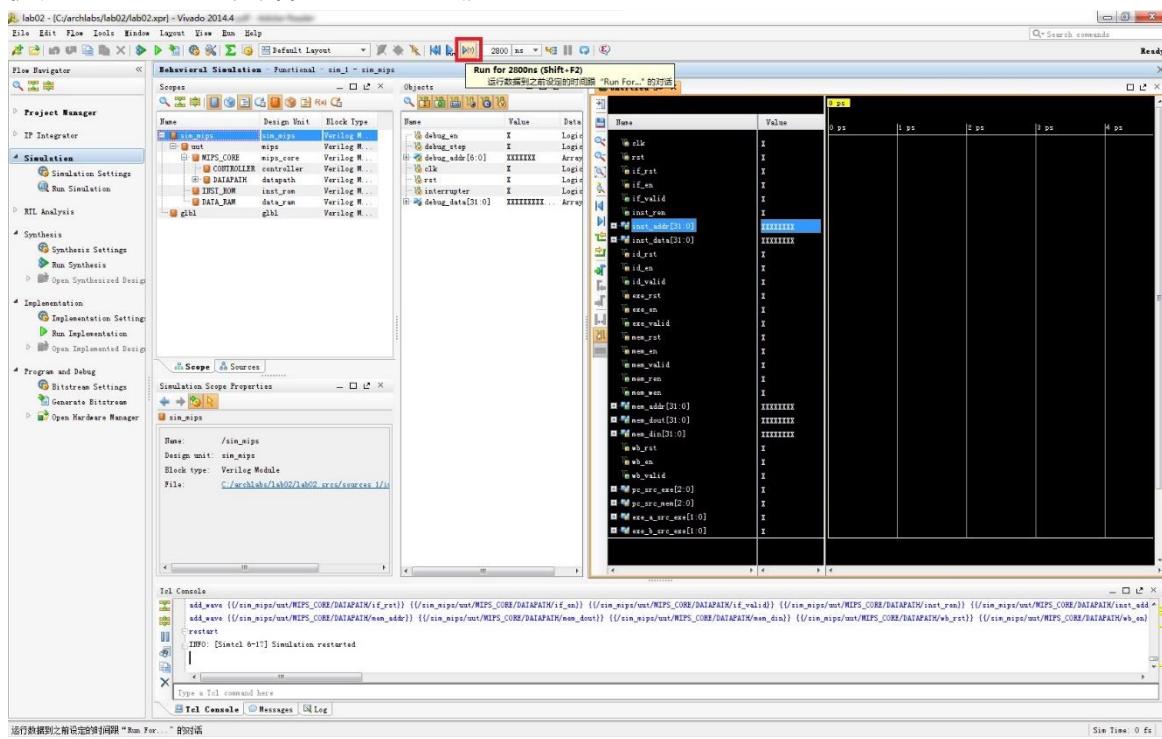


图 2-34 Run for...

通过键盘 Shift+ “-” 和 Shift+ “+” 可以对波形图进行缩放。

将仿真出的波形和本文档提供的波形对比，可以知道设计的电路是否正常工作。

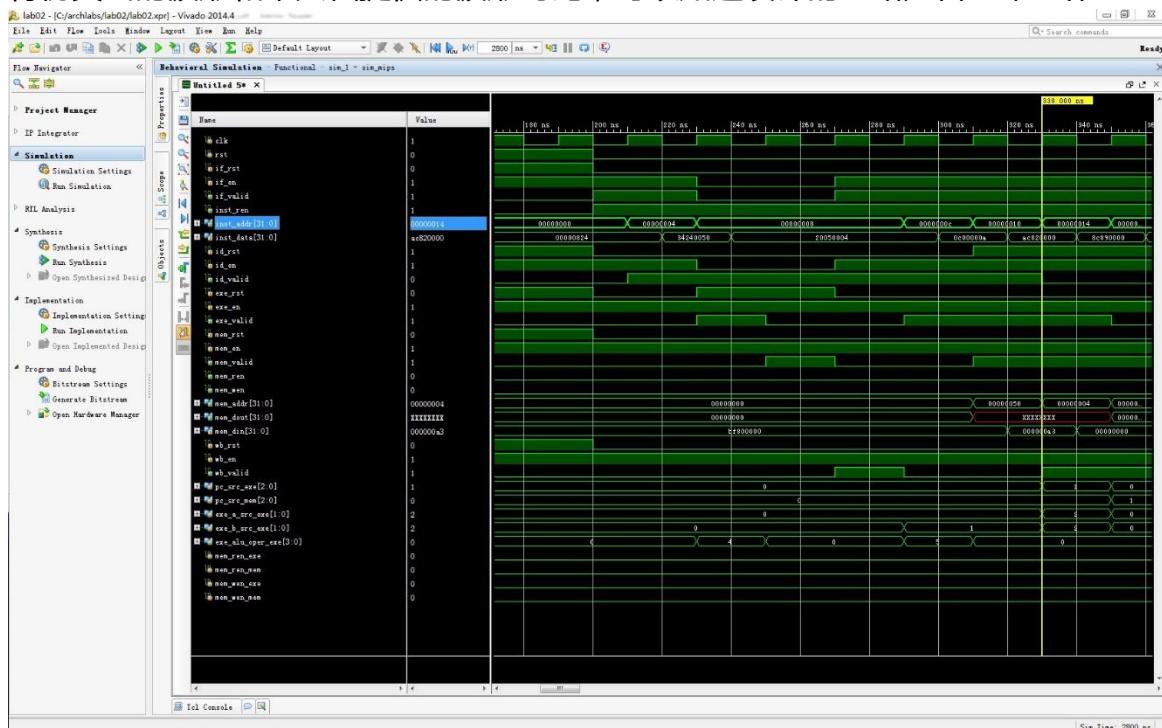


图 2-35 仿真结果 1

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	25 of 39
作者 Hawk	修改日期 2019/1/21		公开

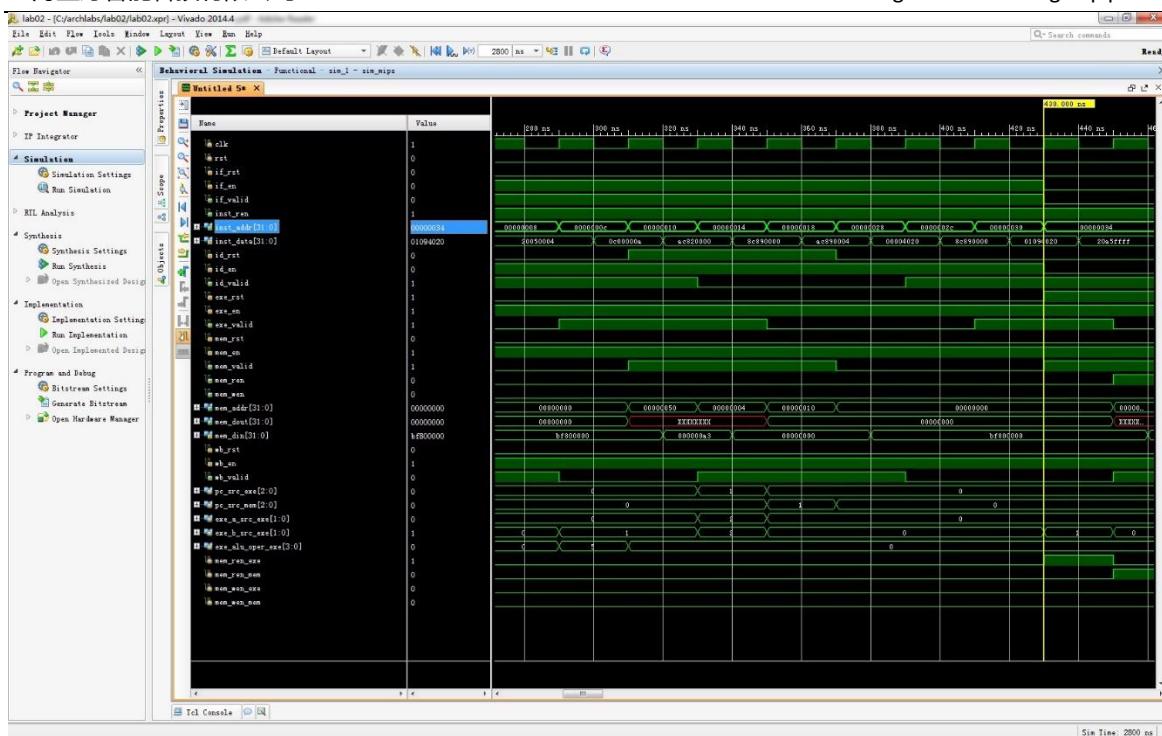


图 2-36 仿真结果 2

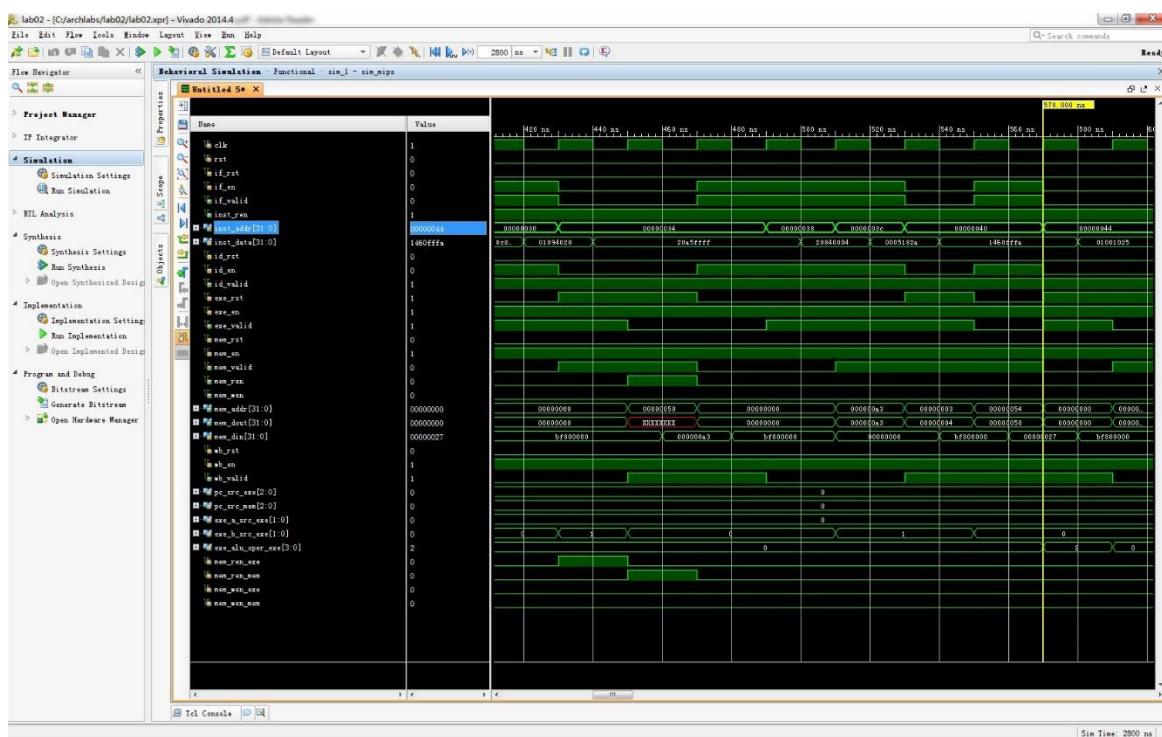


图 2-37 仿真结果 3

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	26 of 39
作者	修改日期		
Hawk	2019/1/21		公开

2.4 连接外设模块

仿真结束后，我们增加各外设模块，在 Design Sources 上点击右键，点击 Add Sources。

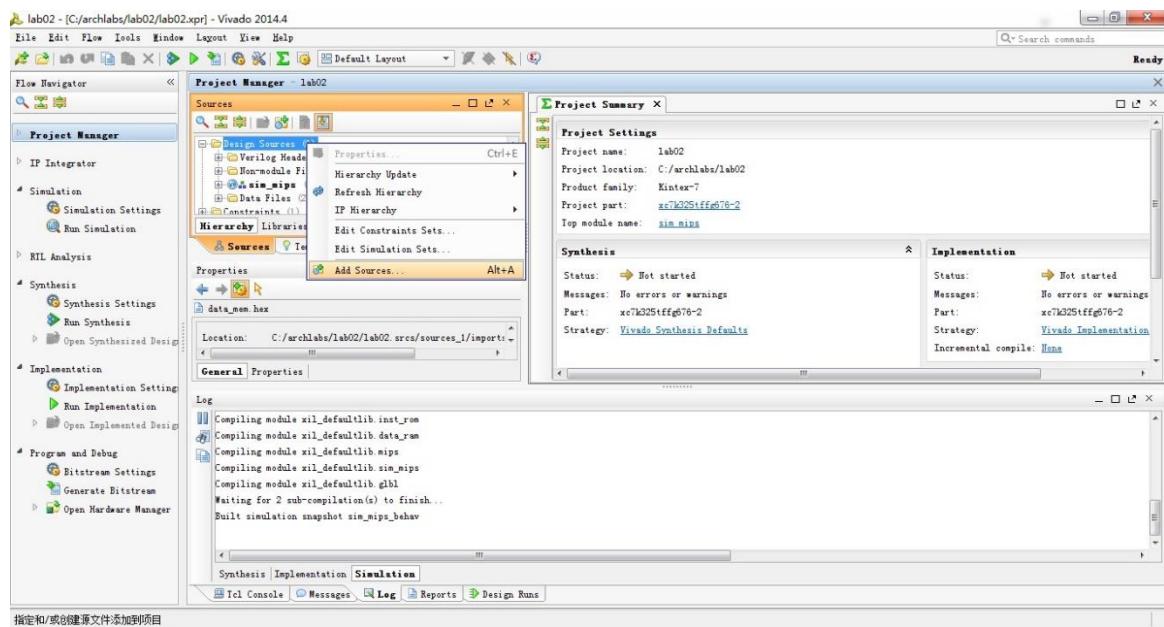


图 2-38 增加外设.v 文件

选择 Add or create design sources , 点击 Next。

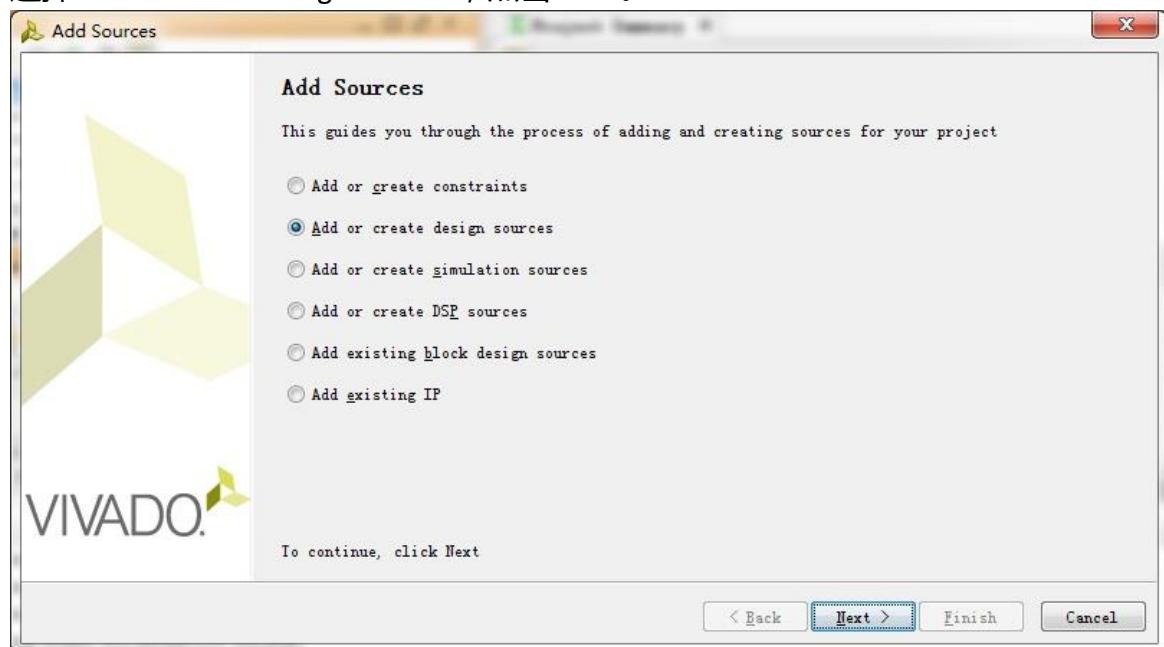


图 2-39 Next

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	27 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

点击 Add Files。

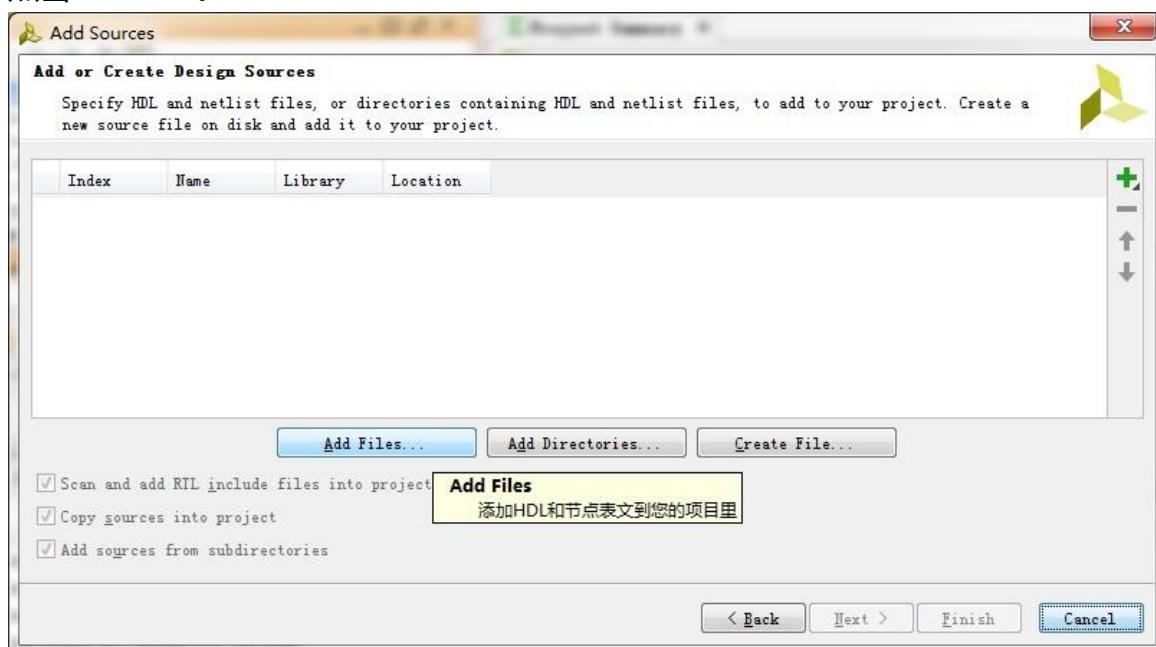


图 2-40 Add Files

切换目录到 lab_source\lab02\sources\peripherals。

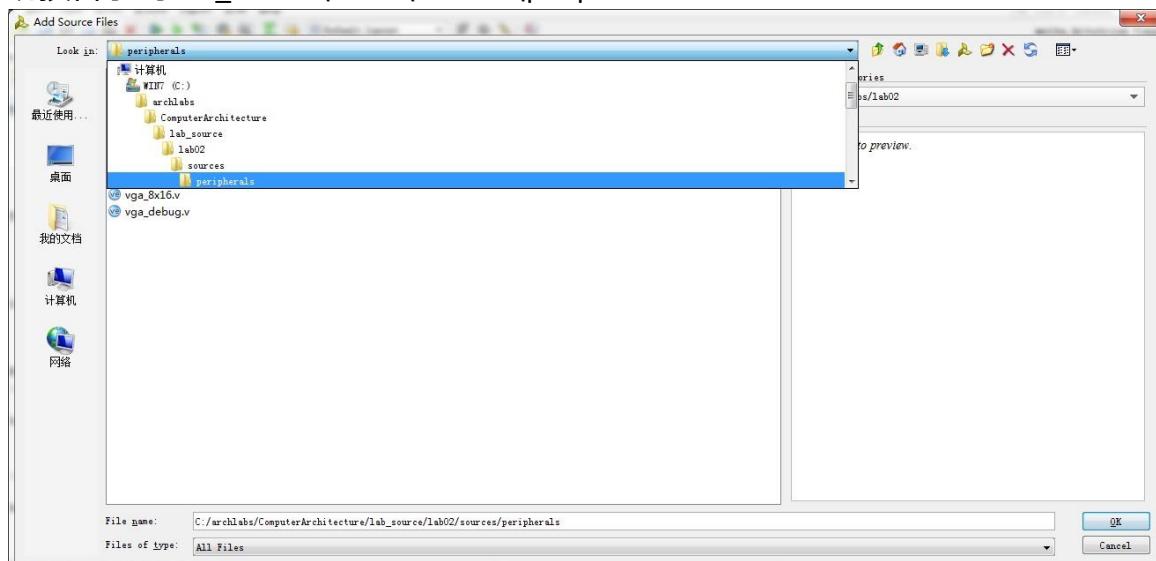


图 2-41 切换目录

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	28 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

将各模块增加到工程，各模块简介：

表 2-2 待添加的外设模块简介

文件名	说明
btn_scan.v	按键扫描模块
clk_diff.v	差分时钟转换单端时钟
display.v	七段数码管和 LED 显示模块
mips_top.v	开发板顶层模块
my_clk_gen.v	时钟生成器模块
parallel2serial.v	并转串模块，用于七段数码管和 LED
vga.v	液晶屏/VGA 显示模块
vga_8x16.v	字库（8x16 点阵）
vga_debug.v	调试文字信息生成模块

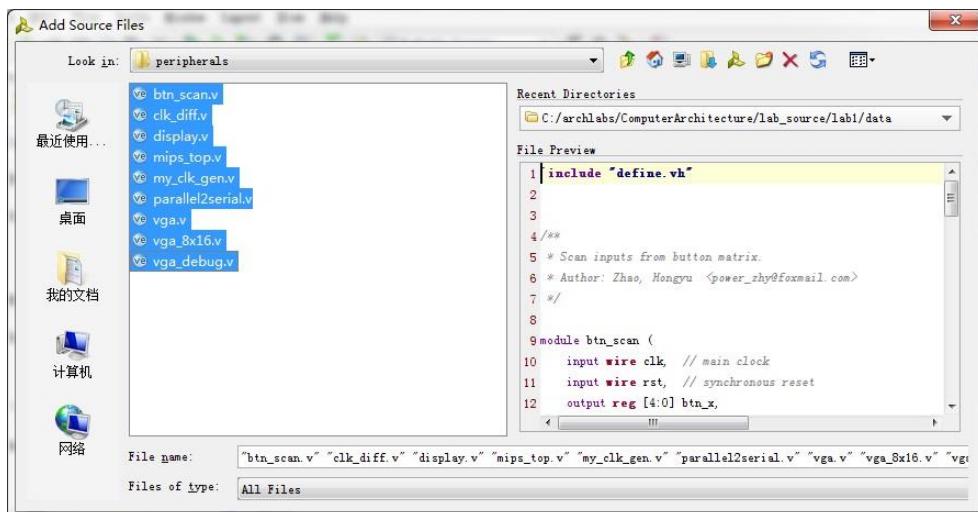


图 2-42 外设模块

XINGDENG	标题	文档编号	版本	页
	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	29 of 39
作者	修改日期			
Hawk	2019/1/21			公开

本次共加入 9 个文件，选中 Scan and add RTL include files into project 和 Copy sources into project，点击 Finish。

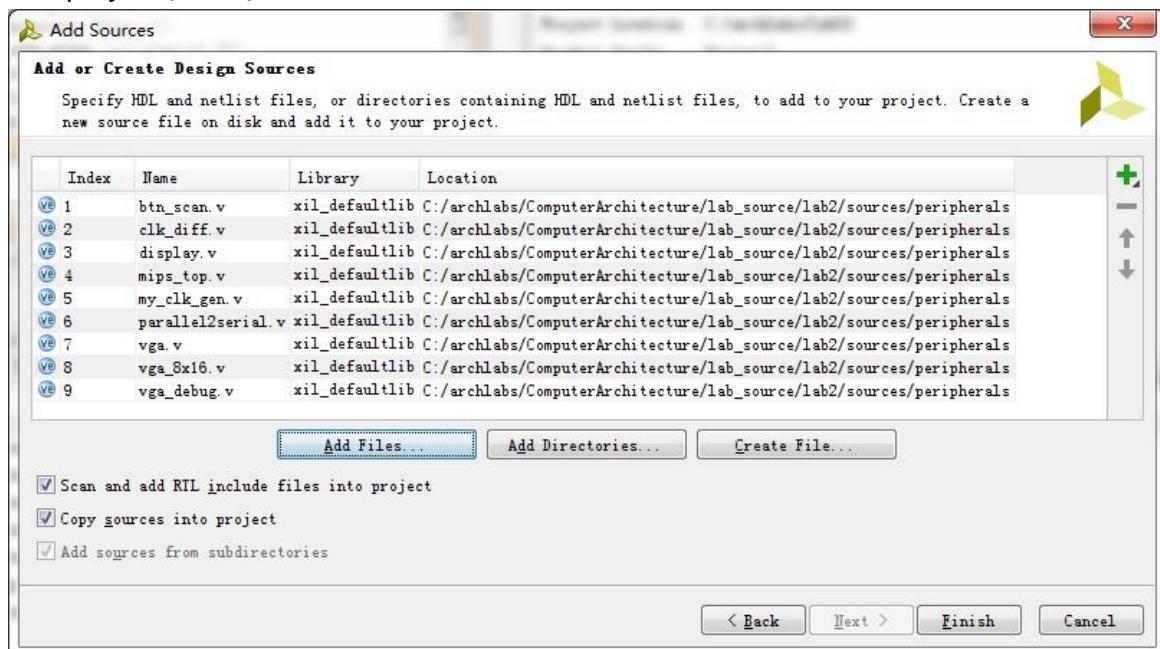


图 2-43 增加模块

在 Constraints 上点击右键，点击 Add Sources。

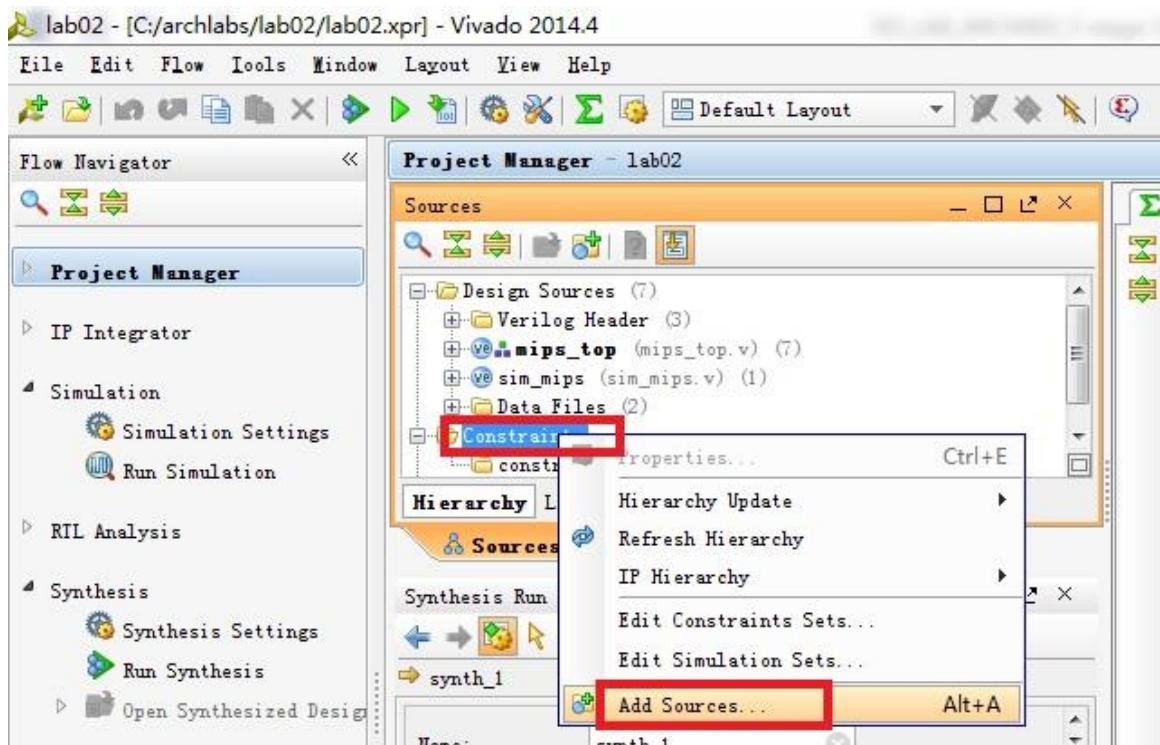


图 2-44 增加文件

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	30 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

选中 Add or create constraints , 点击 Next 继续。

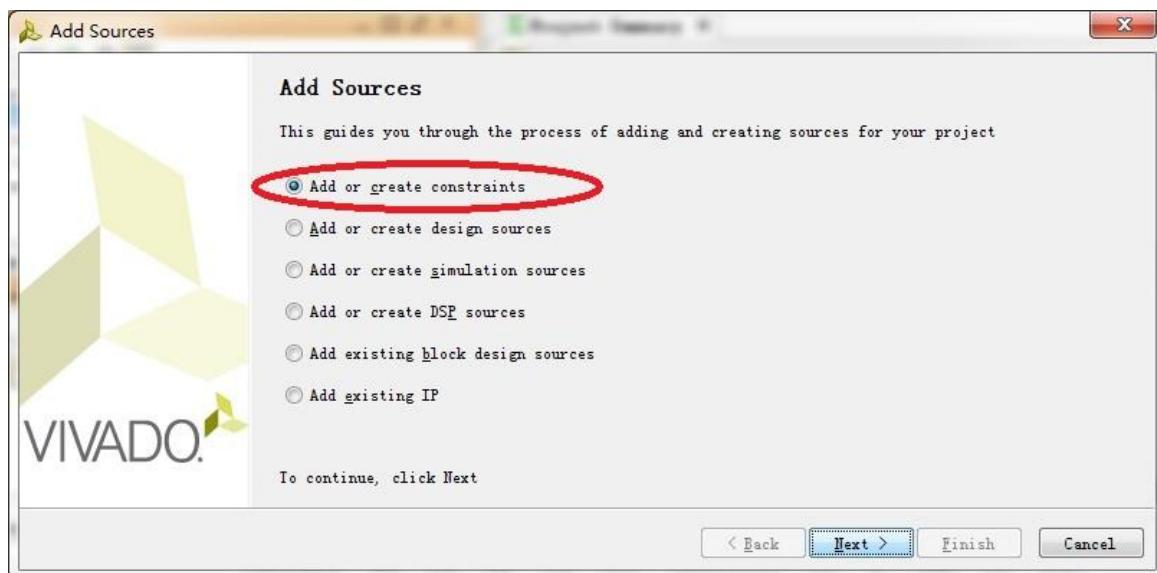


图 2-45 增加 constraints

点击 Add Files。

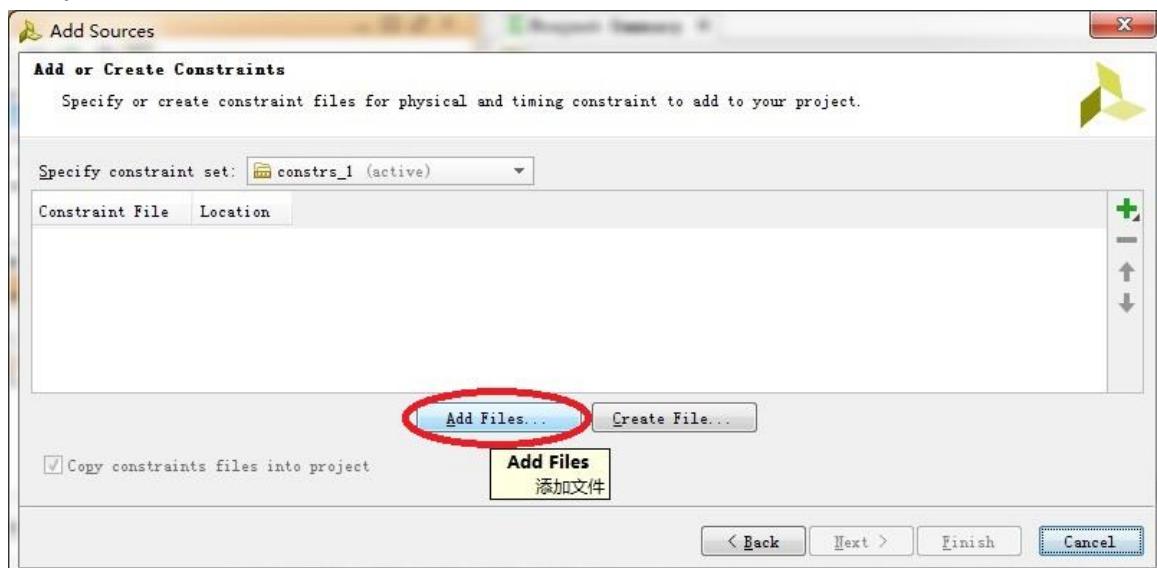


图 2-46 增加文件

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	31 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

进入 lab_source\lab02\constrs 目录。

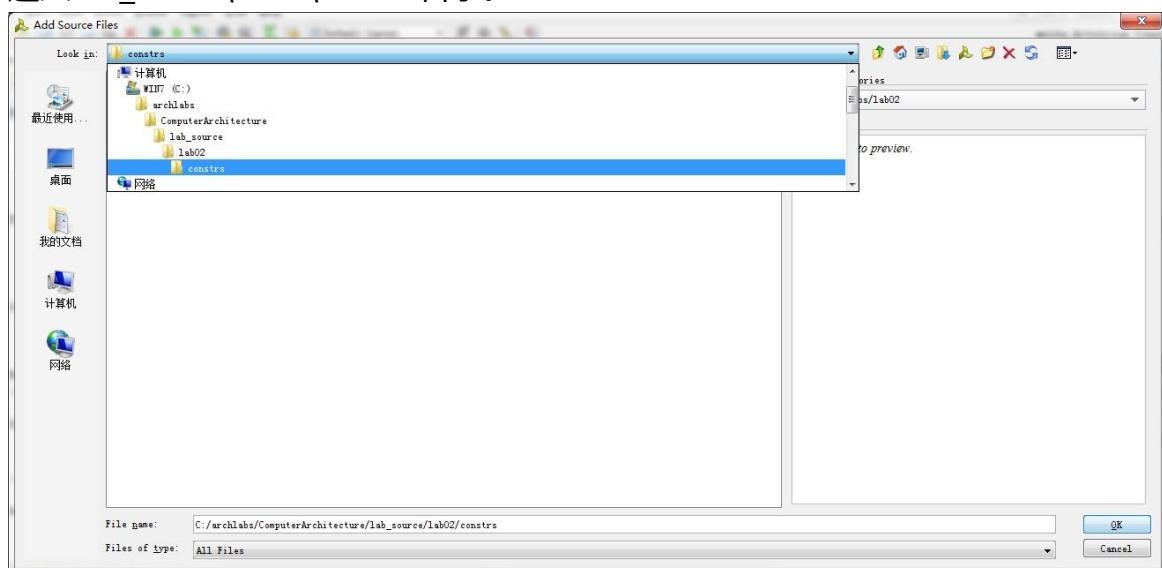


图 2-47 切换目录

选择 sword4.xdc 文件，点击 OK，将 SWORD4.0 板的 constraints 文件加入工程。

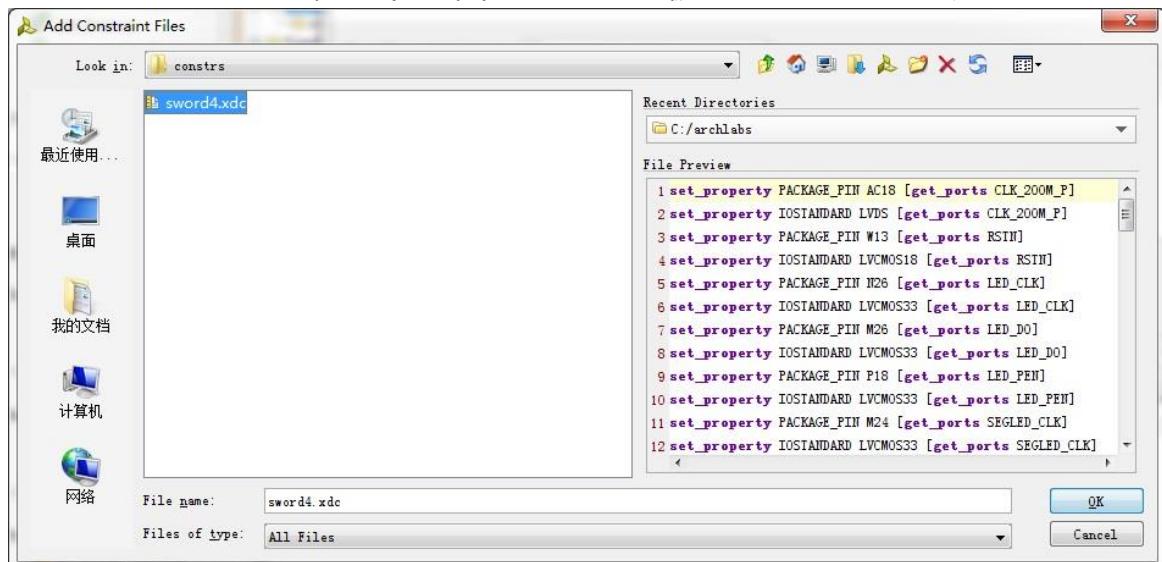


图 2-48 sword4.xdc

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	32 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

选中 **Copy constraints files into project**，点击 **Finish**。

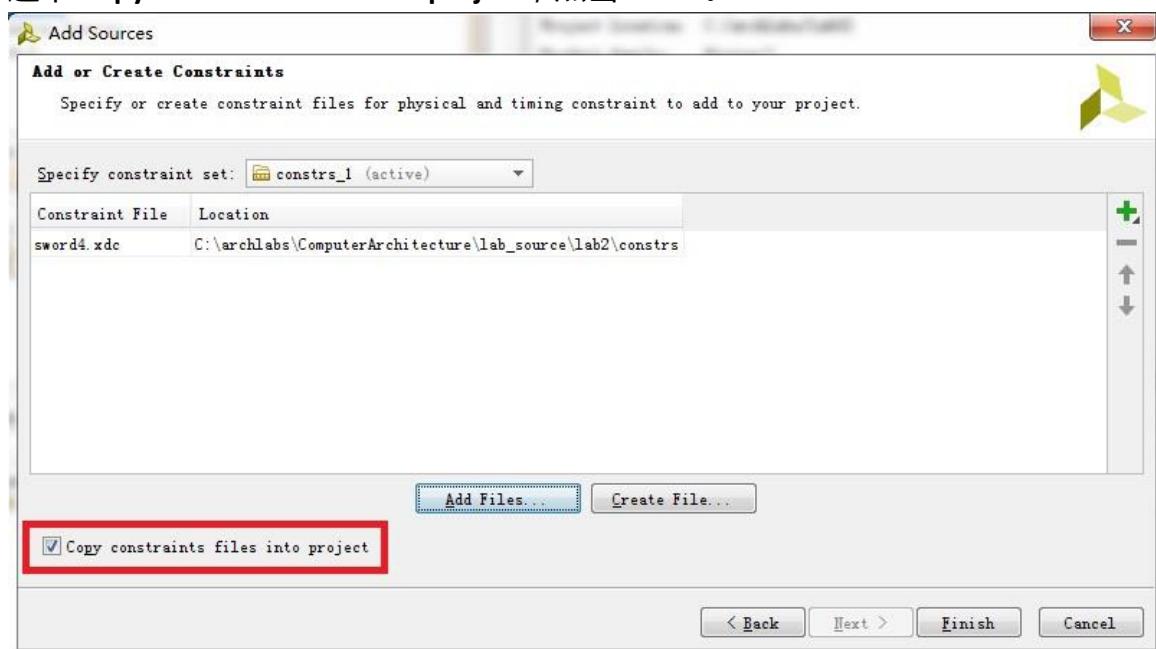


图 2-49 完成增加 constraints

在 mips_top 上点击右键，点击 Set as Top，将 mips_top 设置为顶层模块。

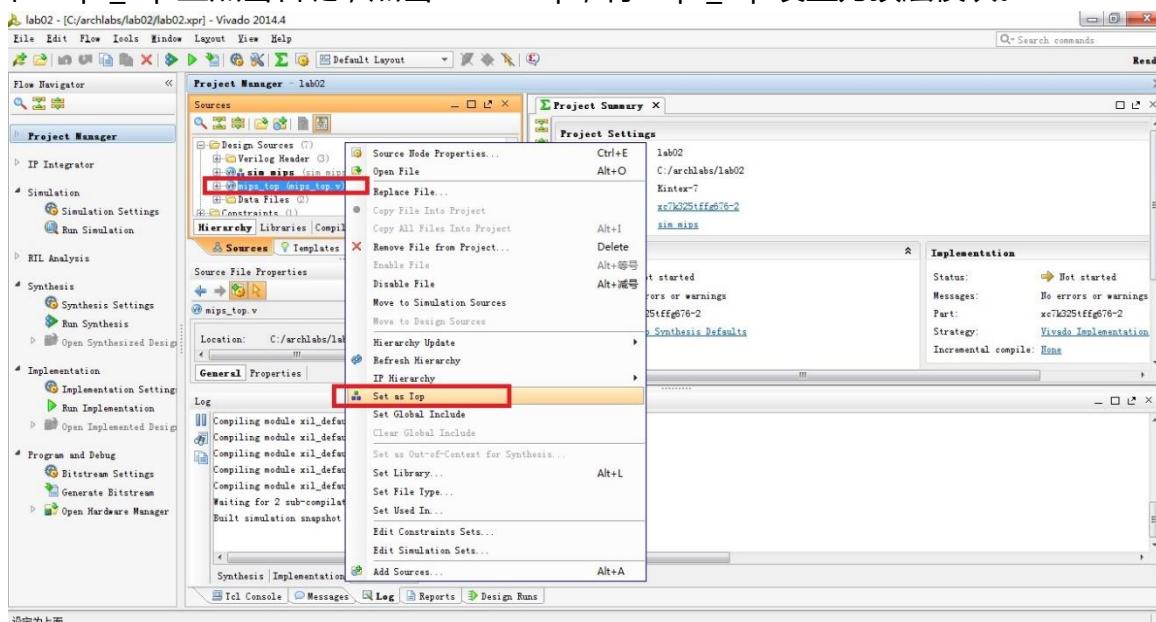


图 2-50 设置顶层模块

2.5 生成 bitstream 文件

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	33 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

mips_top.v 被设置为顶层文件后。点击 Generate Bitstream 生成 FPGA 配置文件。

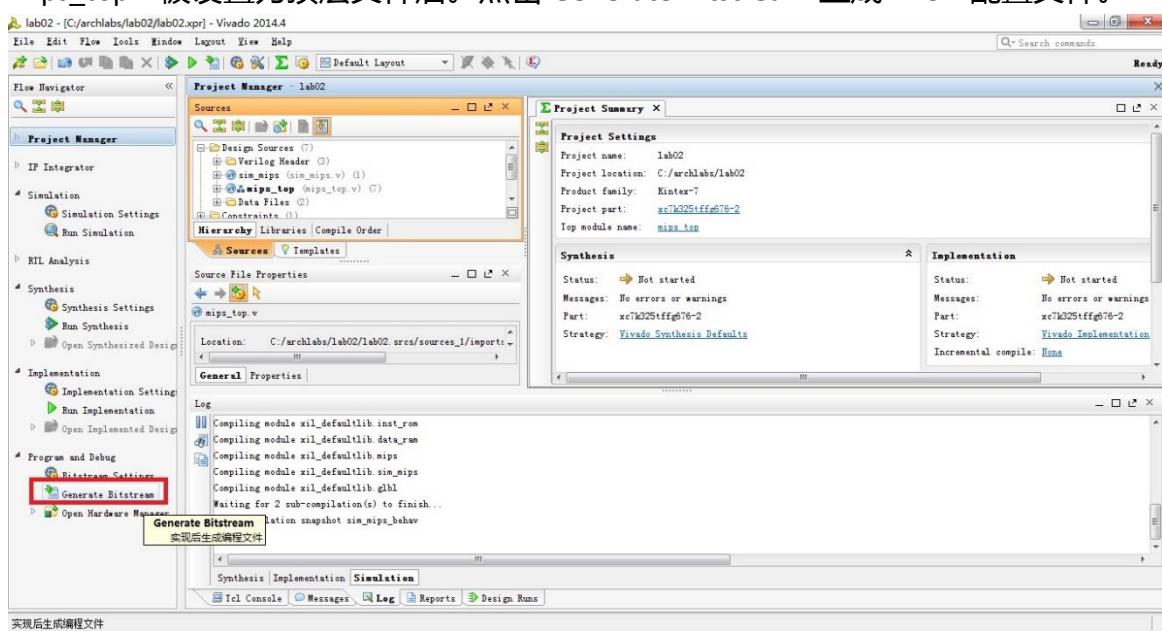


图 2-51 生成 bitstream

在询问对话框中选择 Yes , 自动运行 synthesis 和 implementation。

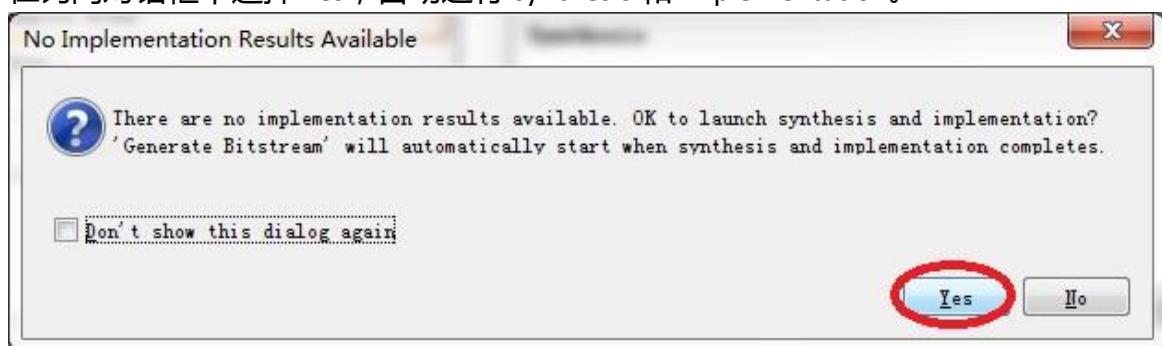


图 2-52 自动运行中间步骤

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	34 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

当显示 Bitstream Generation Completed 时表示文件成功生成，点击 Cancel 结束。

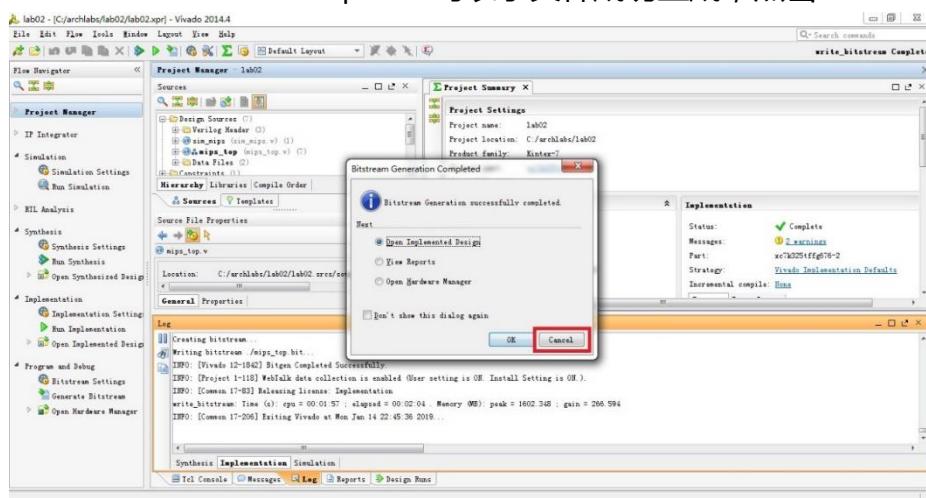


图 2-53 生成 bitstream 成功

2.6 下载验证

仿真完成后，下载 bit 文件到 SWORD4.0 开发平台查看真实效果。按图连接 SWORD4.0 的 12V 电源和 JTAG，然后打开开关。

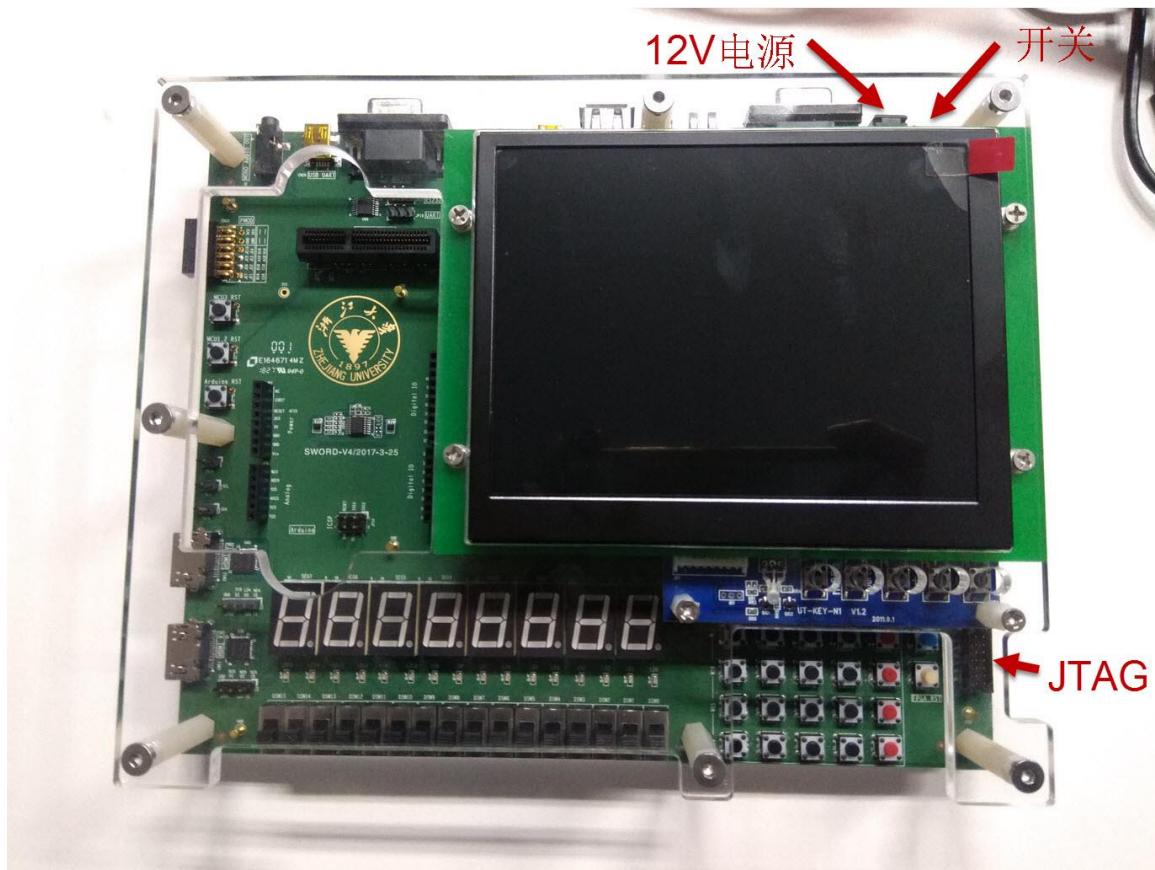


图 2-54 连接 SWORD4.0

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	35 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

SWORD4.0 的控制开关主要有拨码开关、键盘矩阵、复位按钮等。

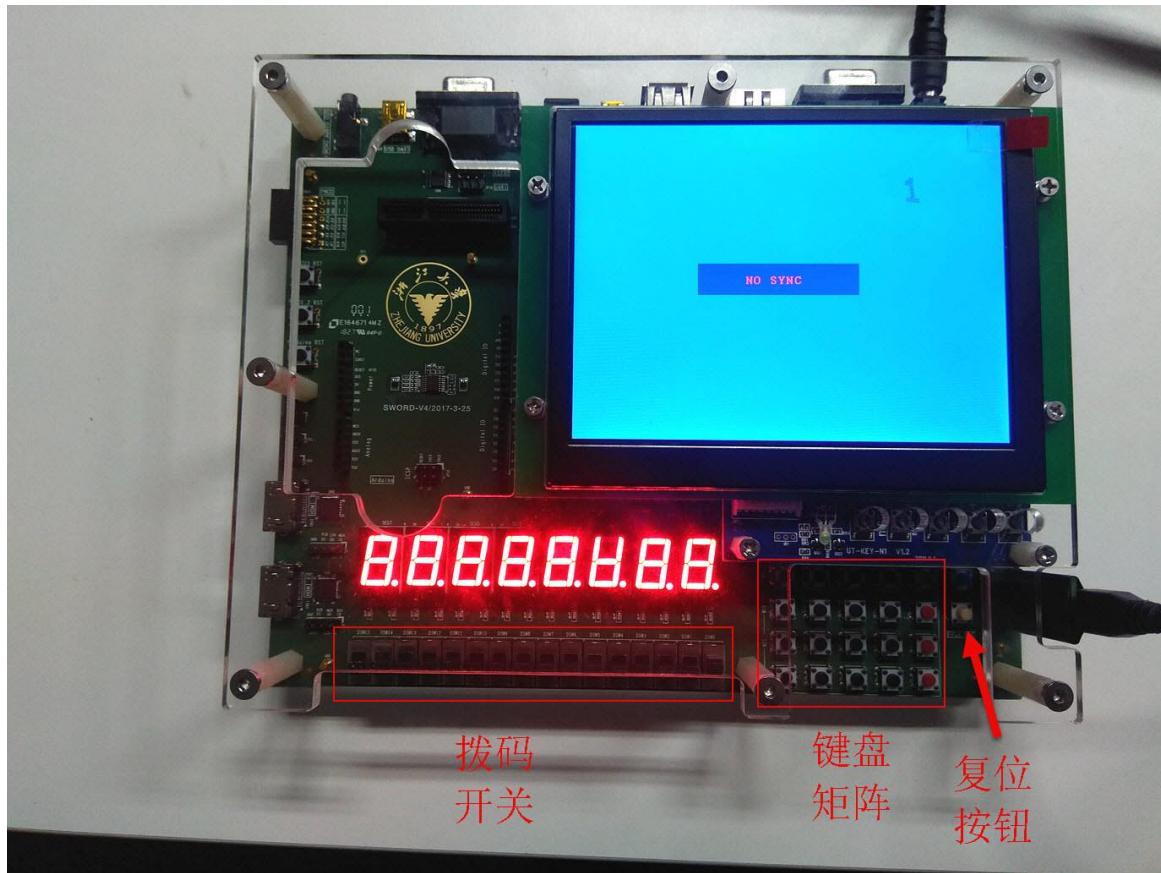


图 2-55 主要控制 IO

在 Vivado 中点击 Open Hardware Manager。

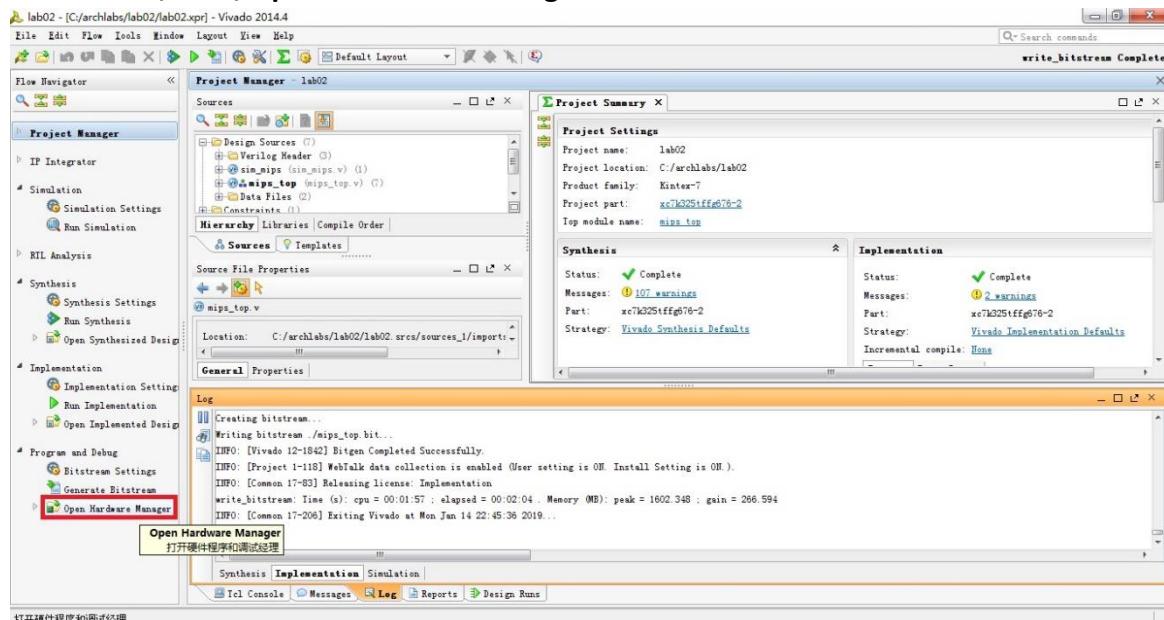


图 2-56 进入 Hardware Manager

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	36 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

点击 Open target , 然后点击 Auto Connect。

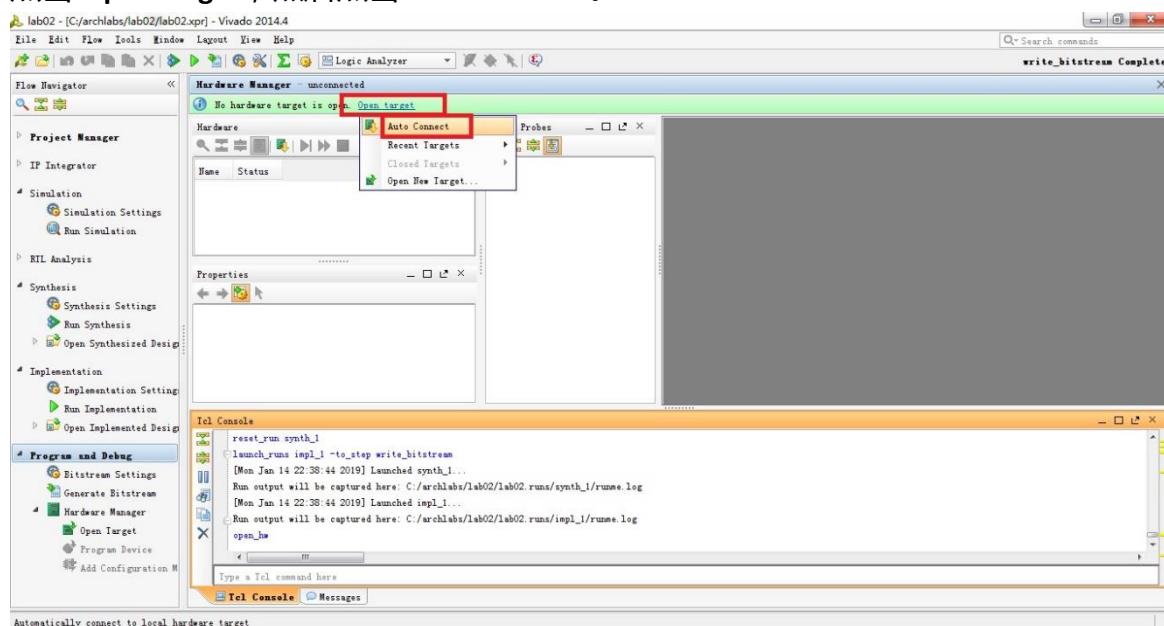


图 2-57 自动连接到 SWORD4.0

右键点击找到的 xc7k325t_0 , 选择 Program Device。

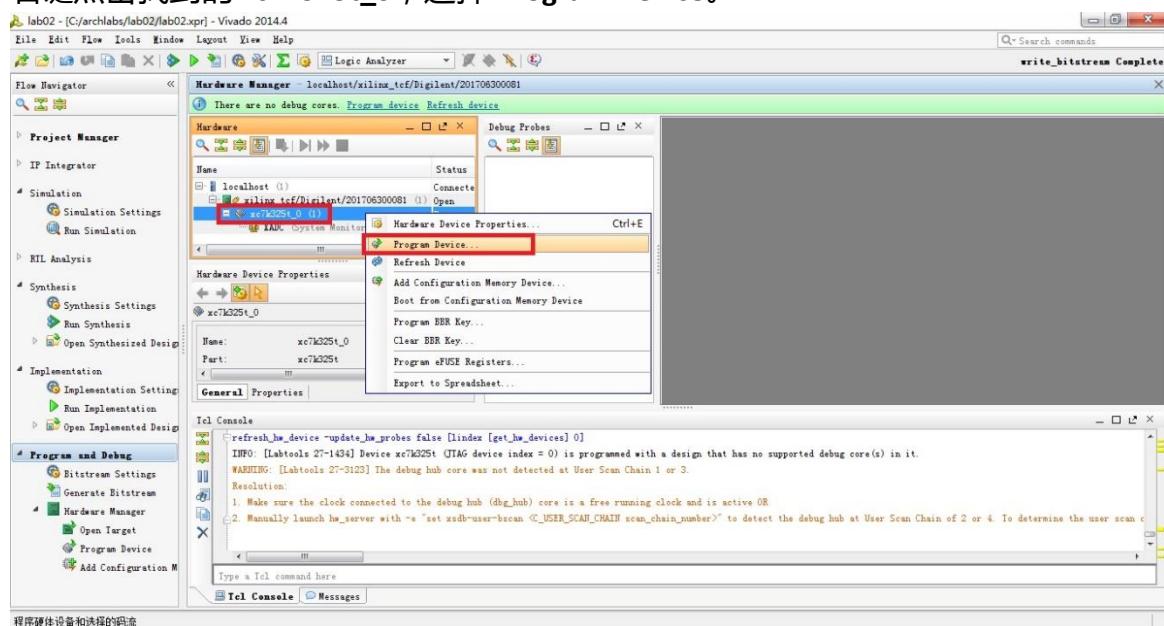


图 2-58 Program Device

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	37 of 39
作者 Hawk	修改日期 2019/1/21		公开

点击 Program 下载 bit 文件。

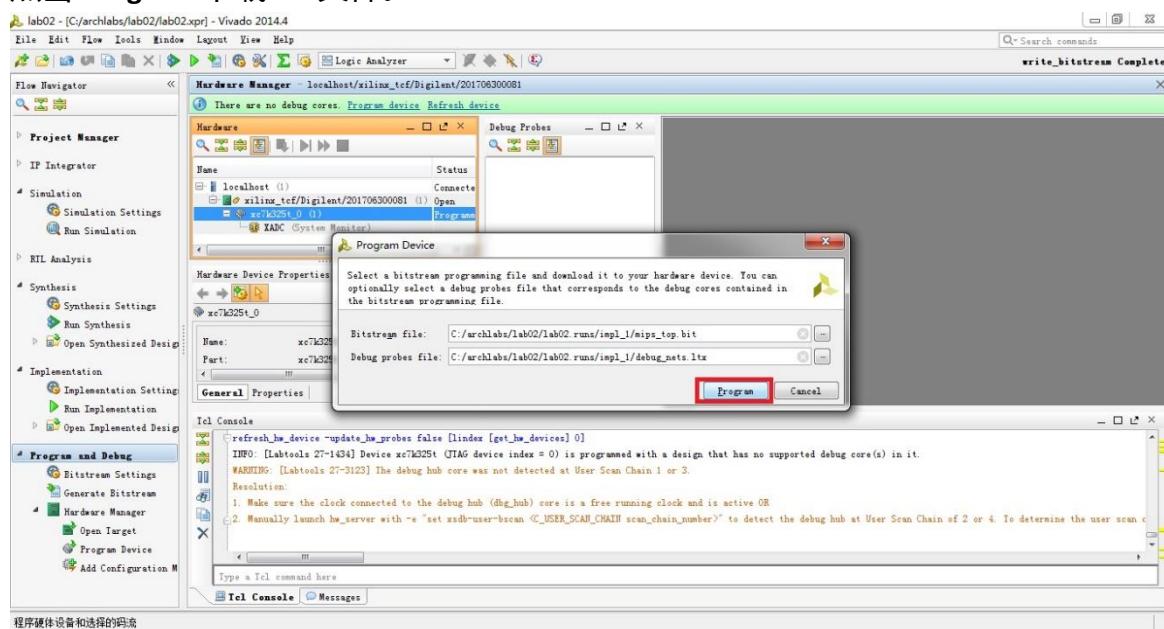


图 2-59 下载 bit 文件

下载完成后 SWORD4.0 上的反应，液晶屏上会显示调试信息。

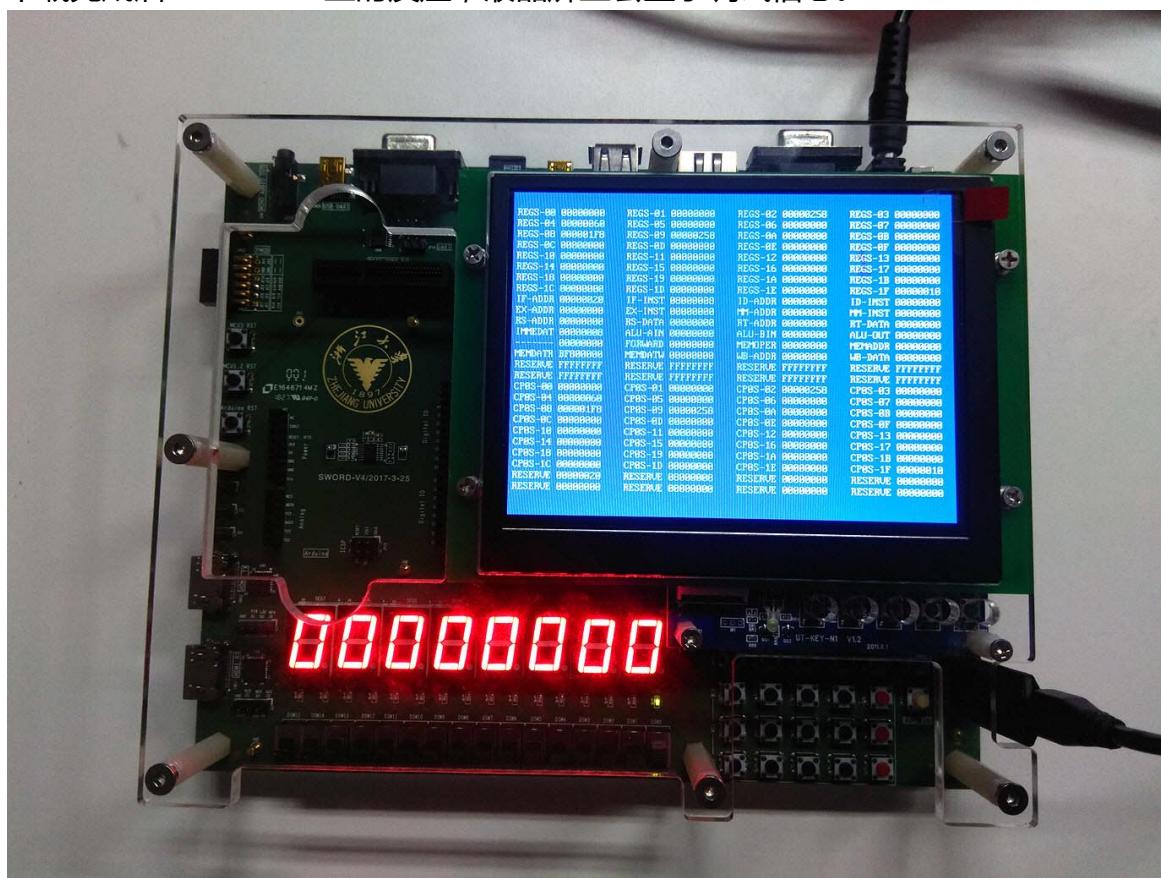


图 2-60 运行效果

通过将拨码开关 DSW0 拨向上，可以开启单步模式。之后每按一下键盘矩阵左下角

标题	文档编号	版本	页
Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	38 of 39
作者	修改日期		
Hawk	2019/1/21	公开	

的 BTNX4Y0 , CPU 就执行一条指令。按复位键 FPGA RST 按钮回到初始状态。

在单步模式下，通过每一步液晶屏显示的数据与仿真波形的对比，查看流水线 cpu 是否正常工作。

XINGDENG	标题	文档编号	版本	页
	Lab2: 5 stage CPU executing in pipeline	XD-LAB-ARCH-002	1.0	39 of 39
作者	修改日期			
Hawk	2019/1/21		公开	