

SDRAM和DDR布线指南

优酷之家制作: <http://www.youku1234.com/>

ecos 应用是与硬件平台无关的, 虽然开发板没有涉及到 SDRAM 和 DDR, 不过, 在某些高端平台上使用 ecos 可能会遇到内存布线问题, 为了完整叙述, 这里一并给出说明。

很多人对内存布线感到迷茫, 找不到切入点, 不知如何下手, 其实高速硬件设计的主要任务就是与干扰做斗争, 内存布线也不例外。可以这样考虑: 内存是做什么用的呢? 是用来存储数据的, 写入 1 读出 1, 写入 0 读出 0, 即保证数据访问正确。那么, 在什么情况会导致数据访问错误呢?

1、判决错误, 0 判成 1, 1 判成 0。可能参考电平不准(为什么不准? 信号线内阻造成的压降), 也可能是加性干扰, 或者阻抗不匹配引起信号畸变。

2、时序错误, 不满足建立/保持时间, 或者采样点相位错误, 不在有效信号位置上。触发器需要维持一段时间的能量供给才能正常工作, 这个时间就是建立/保持时间。

那么只要解决好这两个问题, 保证内存正确访问, 你的内存电路就设计成功了。

有了这个指导思想, 内存布线就可以按部就班地完成。不过, 不同的 RAM 类型, 虽然目标都是避免判决和时序错误, 但实现方法因工作模式不同而有较大差异。

高速系统一般采用低压信号, 电压低, 摆幅小, 容易提高速度, 降低功耗, 但这给布线带来了困难, 因为低压信号功率受信号线内阻影响大, 是电压平方关系, 所以要尽量减少内阻, 比如使用电平面, 多打孔, 缩短走线距离, 高压传输在终点用电阻分压出较低电压的信号等。SDRAM、DDR-I、DDR-II、DDR-III 信号电压一个比一个低, 越来越不容易做稳定。

电源供给也要注意, 如果能量供给不足, 内存不会稳定工作。

经常看到“等长布线”, 其实, 等长不是目的, 真正的目的是满足建立保持时间, 同频同相, 采样正确。等长只不过可以最简单地实现这个目的罢了。要定量分析线长, 必须按照时钟模型公式计算。时钟同步电路的类型在后面有简单介绍, 这里只要知道 SDRAM 是公共时钟同步, DDR 是源同步就可以了。

SDRAM 是公共时钟同步模式, 只关心建立时间, 不关心保持时间。这些时间和各段飞行时间, 经过各个门电路延时, clock skew, jitter, cycle 等有关, 需要按照公式精确计算。算出各种参数后下规则, 让 EDA 软件辅助设计。选出最长的一根线, 不需要计算什么, 只要与之等长即可。有些软件能自己算, 有些只能自己一段段计算, 可以编程让 EXCEL 表格对某种格式的报告文件自动求和, 也算半自动化了。

DDR 的所有信号都要加匹配, 不论多复杂, 为了稳定性。

始端匹配串接一个 22/33 欧电阻即可, 终端匹配分为 AC 匹配和 DC 匹配, 阻容可以对噪点抑制, 戴维宁电路可以提供高压输电, 使参考电平更准确, 虽然直流功耗大, 但比单个 50 欧功耗小。

CPU 和 DDR 都是高速器件, DDR 热量高, 应远离。而且 DDR 是源同步时钟模式, 对保持时间有要求, 不是线越短越好, 有最小距离要求。保证时钟稳定, 同频同相, 冗余大即

可。

有时，信号线有交叉的情况，此时，可以在 PCB 里调线，再反标回去，因为 RAM 的各个数据线不需要一一对应，只要有地方存储 bit 就可以了。注意：刷新线 A10 不能调，需要读取 RAM ID 时也不能调整。

评价设计的好坏要看 Margin(冗余), setup time margin 和 hold time margin, SDRAM/DDR 工作没问题并不意味着 margin 小，也许在实验室可以正常工作，可一到现场就死机。频率漂移，时钟抖动，相差，介电常数变化等都会导致采样错误/不满足建立保持时间，而 margin 大就可以尽量抵抗这些干扰，在一个恶劣的环境里仍然保持稳定。

内存的表现形式有两种：内存颗粒和内存条。内存条自身有走线长度，需要计算在内。问个问题：内存条有 3 种安装方式：竖插、斜插、平插，你认为那种方式好呢？

附：时钟同步电路的类型

源同步就是指时钟选通信号 clk 伴随发送数据一起由驱动芯片发送。公共时钟同步是指在数据的传输过程中，总线上的驱动端和接收端共享同一个时钟源，在同一个时钟缓冲器 (clock buffer) 发出同相时钟的作用下，完成数据的发送和接收。

公共时钟同步，将同一个时钟信号用时钟分配器分成 2 路，一路接发送器，一路接接收器。在时钟上升沿发送数据，在下一个周期的上升沿采样接收。速率在 200-300MHZ 以下。

源同步是时钟和数据一起发送，时钟稍稍滞后发送，传输速率主要由数据和时钟信号间的时差决定。因此速率快。

公共时钟同步电路走线长度有最大值 $len \leq$ ，源同步电路走线长度有最小值 $len \leq$ 源同步关心保持时间，TBI+10bit 数据和 DDR 的 DQS+DATA 属于源同步电路。

```

----- 等长线
|时钟|----->发送端时钟
clk--->|驱动|----->接收端时钟
| |---
----- |
| |
---<---PLL 补偿
公共时钟同步

```

```

-----
|驱 |----->clk
|动 |
| |=====>data
-----
源同步

```

----- -----
-----< >< >-----
----- -----

 | |
----- -----
|<--->|<--->|
建立 保持