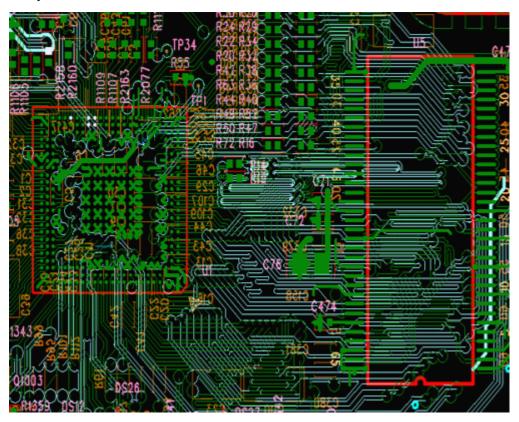
# 【RF 工作】DDR 内存布线指导

在现代高速数字电路的设计过程中,工程师总是不可避免的会与 DDR 或者 DDR2,SDRAM 打交道。DDR 的工作频率很高,因此,DDR 的布线(或者 Layout)也就成为了一个十分关键的问题,很多时候,DDR 的布线直接影响着信号完整性。下面本文针对 DDR 的布线问题(Layout)进行讨论。



# 信号引脚说明

VSS 为数字地, VSSQ 为信号地, 若无特别说明, 两者是等效的。VDD 为器件内核供电, VDDDQ 为器件的 DQ 和 I/O 供电, 若无特别说明, 两者是等效的。

对于 DRAM 来说, 定义信号组如下:

数字信号组 DQ, DQS, xDM, 其中每个字节又是内部的一个信道 Lane 组,如 DQ0~DQ7, DQS, LDM 为一个信号组。

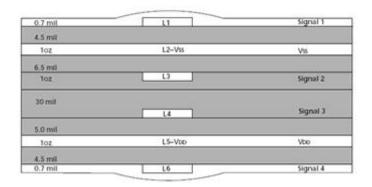
地址信号组: ADDRESS

命令信号组: CAS#, RAS#, WE#

控制信号组: CS#, CKE 时钟信号组: CK, CK#

印制电路板叠层, PCB Stackups

推荐使用6层电路板,分布如下:



### 电路板的阻抗控制在50~60ohm

印制电路板的厚度选择为 1.57mm(62mil)

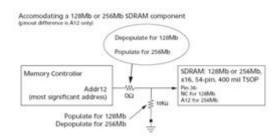
填充材料 Prepreg 厚度可变化范围是 4~6mil

电路板的填充材料的介电常数一般变化范围是 3.6~4.5, 它的数值随着频率, 温度等因素变化。FR-4 就是一种典型的介电材料, 在 100MHz 时的平均介电常数为 4.2。推荐使用 FR-4 作为 PCB 的填充材料, 因为它便宜, 更低的吸湿性能, 更低的电导性。

一般来说,DQ,DQS和时钟信号线选择 VSS作为参考平面,因为 VSS 比较稳定,不易受到干扰,地址/命令/控制信号线选择 VDD 作为参考平面,因为这些信号线本身就含有噪声。

#### 电路板的可扩展性

根据 JEDEC 标准,不同容量的内存芯片一般引脚兼容,为了实现电路板的可扩展性,可以做如下处理,如 128Mb 与 256Mb 的兼容应用。



#### 未用的 DQ 引脚

对于 x16 的 DDR 器件来说,未用的引脚要作一定的处理。例如 x16 的 DDR 来说,DQ15: DQ8 未用,则处理如下,将相关的 UDM/DQMH 拉高用来屏蔽 DQ 线,DQ15: DQ8 通过  $1\sim10k$  的电阻接地用来阻止迸发写时的噪声。

### 端接技术

串行端接,主要应用在负载 DDR 器件不大于 4 个的情况下。

对于双向 I/O 信号来说,例如 DQ,串行端接电阻 Rs 放置在走线的中间,用来抑制振铃,过冲和下冲。

对于单向的信号来说,例如地址线,控制线,串行端接电阻放置在走线中间或者是信号的发送端,推荐放置在信号的发送端。

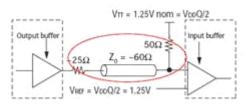
Memory Type	Resistor	Location	Range	Units	
SDRAM	CLK	midpoint	22-36	Ω	
DDR	CK, CK#	midpoint1	-	Ω	
DDR and SDRAM	DQ/DQS <sup>2</sup> , address, command/ control		10-33	Ω	

说明: DDR 的 CK 与 CK# 是差分信号,要用差分端接技术。

并行端接,主要应用在负载 SDRAM 器件大于 4 个,走线长度>2inch,或者通过仿真验证需要并行端接的情况下。

并行端接电阻 Rt 取值大约为 2Rs, Rs 的取值范围是 10~33ohm, 故 Rt 的取值范围为 22~66ohm。

#### Single-Ended Parallel Termination for DDR Component(s)



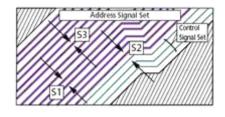
Notes: 1. Dashed lines indicate inside of the controller or DRAM device.

如果有必要的话,所有 DDR 的数据,地址,命令,控制线都是 SSTL\_2 接口,要使用 single-ended Parallel Termination,如上图。CKE 也可以使用这种端接。

导线宽度和间距:

导线间距和导线宽度 S1, S2, S3 的定义如下:

- S1表示同一信号组内两相邻导线之间的间距
- S2 表示不同信号组之间两相邻导线之间的间距
- S3 表示导线的宽度



导线宽度选择为:

Recommended S3 for functional signal sets:

- · DQ lines = 4 mil minimum, 6 mil nominal
- · DQS lines = 4 mil minimum, 6 mil nominal
- · Address lines = 4 mil minimum, 6 mil nominal
- · Command/control lines = 4 mil minimum, 6 mil nominal
- Clock lines = 4 mil minimum, 6–10 mil nominal

### 导线间距选择:

Signal Set	Signals	Spacing Type	Min	Nom	Max	Unit	Notes
Data/Data strobe	DQ to DQ	S1	8	12	-	troit	
	DQ to DQS	S2	8	12	-	mil	
	DQS in byte lane #1 to DQS in byte lane #2	S1	-		-	mil	.1
	DQ and DM	S2	8	12		mil	
Address	Adjacent address lines	S1	6	12	-	mil	
	Address lines	S2	6	12	1 - 1	mit	
Command/Control	CAS#, RAS#, WE#, CS#, CKE	.\$1	6	15		mil	
Clock	CK#-to-CK	S1	4	-	-6	mil	
	CK# (or CK in group of two) to DQS line	S2	-		:	mil	2
	Differential pair (CK, CK#) to any other signal	S2	8	12	-	mil	

## 几点说明:

DQS 一般布线的位置是数据信号组内同一信号组中 DQ 走线的中间,因此 DQS 与 DQS 之间的间距一般不提

DOS 与时钟信号线不相邻

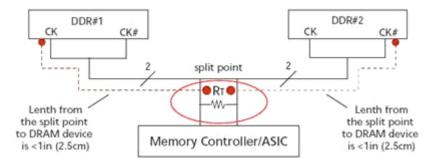
为了避免串扰,数据信号组与地址/命令/控制信号组之间的走线间距至少 20mil, 建议它们在不同的信号层走线

时钟信号组走线尽量在内层,用来抑制 EMI 导线走线长度

所有 DDR 的差分时钟线 CK 与 CK#必须在同一层布线,误差+-20mil,最好在内层布线以抑制 EMI。如果系统有多个 DDR 器件的话,要用阻值 100~200ohm 的电阻进行差分端接。

(1) 若时钟线的分叉点到 DDR 器件的走线长度<1000mil,要使用 100~120ohm 的差分端接,如下图:

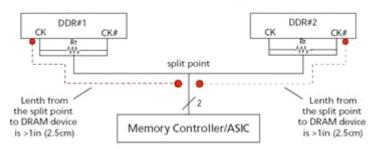
Single CK-CK# Differential Resistor Placement at Split Point



(2) 若时钟线的分叉点到 DDR 器件的走线长度>1000mil,要使用 200~240ohm 的电阻差分端

接,因为两个200~240ohm的电阻并联值正好为100~120ohm。如下图所示。

#### Two CK-CK# Differential Resistors Placement at Component



数据信号组的走线长度与时钟信号线的误差为+-500mil,组内同一信道的信号线走线误差为+-50mil,从而可以得到,组内不同信道的走线误差为+-1000mil,相同信道的DQS一般走线在DQ中间

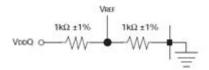
地址线/命令/控制信号线与时钟信号走线的误差为+-400mil,组内走线误差为+-50mil 所有信号的走线长度控制在 2inch(5cm)最好 去耦电容

推荐使用低 ESL(2nH)的电容,大小在 0.01uF~0.22uF,其中 0.01uF 针对高频, 0.22uF 针对 低频

建议使用钽电容。相对于电解电容来说,虽然它比较贵,但它具有较好的稳定性,较长的使用周期。一般电解电容随着使用时间的加长,性能下降较多 参考电压

对于较轻的负载(<4DDR 器件),可使用下图的方法:

### **VREF Generation with Resistor Divider**



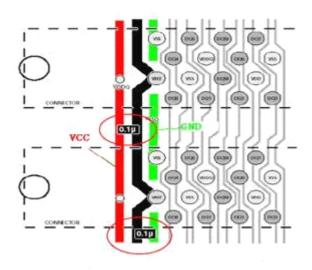
对于较重的负载(>4 DDR 器件),可使用 IC 来产生 VREF。IC 内部集成了两种电压 VTT 和 VREF,其中 VTT 在重负载的情况下最高电流可达 3.5A,平均电流为 0A, VREF 的电流比较小,一般只有 3mA 左右。

 $Appropriate \, DDR \, termination \, regulator \, vendors \, offering \, products \, with \, Vtt, \, Vref, \, VddQ, \, and \, Vdd \, outputs \, include: \, vendors \, offering \, products \, with \, Vtt, \, Vref, \, VddQ, \, and \, Vdd \, outputs \, include: \, vendors \, offering \, products \, with \, Vtt, \, Vref, \, VddQ, \, and \, Vdd \, outputs \, include: \, vendors \, offering \, products \, with \, Vtt, \, Vref, \, VddQ, \, and \, Vdd \, outputs \, include: \, vendors \, offering \, products \, with \, Vtt, \, Vref, \, VddQ, \, and \, Vdd \, outputs \, include: \, vendors \, offering \, products \, vendors \, offering \, products \, vendors \, offering \, vendors \, outputs \, vendors \, offering \, vendors \, offering \, vendors \, outputs \, outputs \, vendors \, outputs \, vendors \, outputs \, vendors \, outputs \, output$ 

- Fairchild—ML6554 and FAN1655
- Linear Technology—LTC3413 and LTC3831
- National Semiconductor—LP2995 and LP2996
- Phillips—NE57810 and NE47814

VREF 走线控制

具体如下图所示:



### DDR 的 VTT 设计

当数据线地址线负载较重时, VTT 的暂态电流峰值可达到 3.5A 左右,这种暂态电流的平均值为 0A。一些情况下不需要 VTT 技术(并行端接)。

系统中有2个或更少的DDR

总线上需要的电流不是很高, 中等左右

通过仿真验证不需要

VTT 电压的产生一般用 IC,厂商包括: Intersilm Philips, Semiconductors, Fairchild, National, TI 等等。

选用了IC 实现 VTT, 推荐使用下面的原则:

VTT 用 Rt 端接地址/控制/命令信号线,端接数据信号组 VTT=VDDQ/2

VTT 并不端接时钟信号线,时钟信号线使用前面说的差分端接技术

VTT 与 VREF 走线/平面在同一层,必须具有 150mil 的距离,推荐它们在不同层

VTT 走线/平面需要至少 2 个 4~7uF 的解耦电容,2 个 100uF 的电容。具体放置位置是 VTT 的两个端点(at each end)

VTT 表面走线宽度至少 150mil, 推荐 250mil

上电时序: VTT 开始上电必须在 VDDQ 之后, 避免器件 latch-up, 推荐 VTT 和 VREF 同时上电

如果走线要分支的话,建议使用 T 型分支。具体见下图

# VTT Island and Regulator PCB Layout for Multiple DDR Components

