

# DDR I 的PCB设计

雷 勇 锋

[Lyongf@chinafastprint.com](mailto:Lyongf@chinafastprint.com)

020-32213305

[www.chinafastprint.com](http://www.chinafastprint.com)

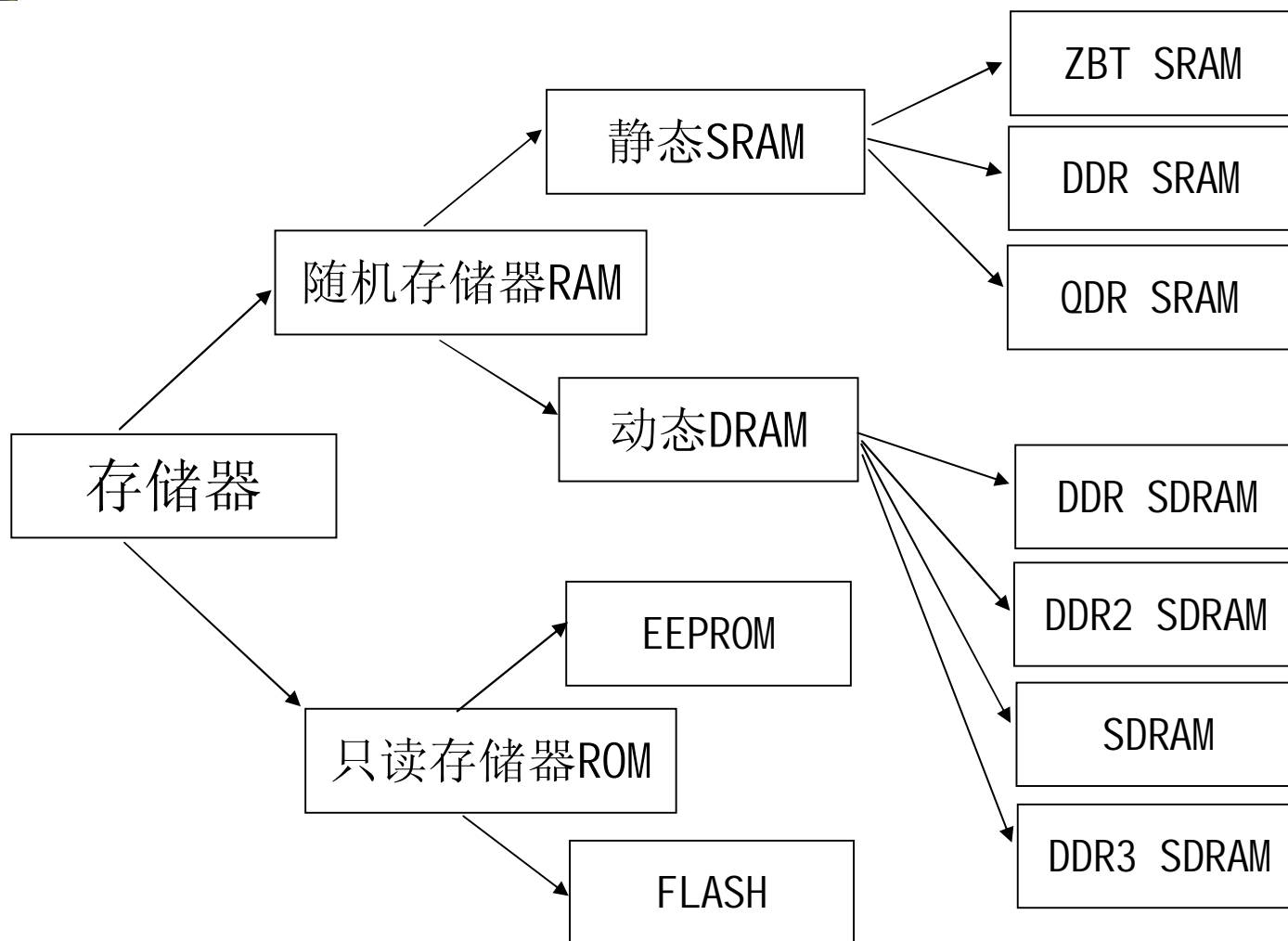


# 目 录

- 一、DDR系列概述
- 二、通用DDR I I 的布局 and 布线
- 三、DSP带DDR I I 的PCB设计
- 四、FPGA带DDR I I 的PCB设计
- 五、MPU带DDR I I 的PCB设计
- 六、ARM带DDR I I 的PCB设计
- 七、主板的DDR I I 的PCB设计
- 八、特殊案例介绍



# 一、DDR系列概述





# 一、DDR系列概述

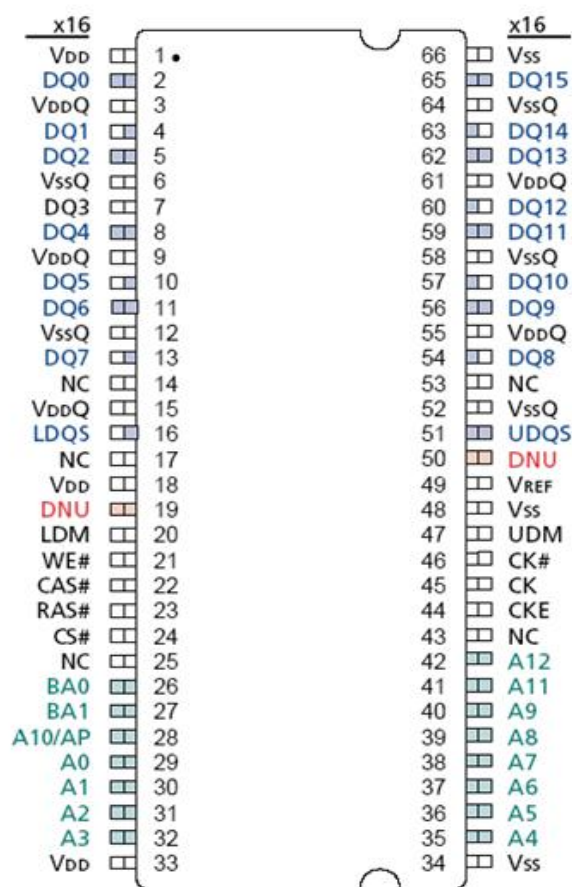
SDRAM 器件比较			
条目	DDR3 SDRAM	DDR2 SDRAM	DDR SDRAM
时钟频率	400/533/667/800 MHz	200/266/333/400 MHz	100/133/166/200 MHz
传输数据速率	800/1066/1333/1600 Mbps	400/533/667/800 Mbps	200/266/333/400 Mbps
输入/输出宽度	x4/x8/x16	x4/x8/x16	x4/x8/x16/x32
预取位宽	8 位	4 位	2 位
时钟输入	差分时钟	差分时钟	差分时钟
突发长度 (Burst length)	8, 4 (突发突变)	4, 8	2, 4, 8
数据选通	差分数据选通	差分数据选通	单数据选通
电源电压	1.5V	1.8V	2.5V
接口	SSTL_15	SSTL_18	SSTL_25
/CAS 延迟(CL)	5, 6, 7, 8, 9, 10 时钟	3, 4, 5 时钟	2, 2.5, 3 时钟
片内终结器 (ODT)	支持	支持	不支持
组件封装	FBGA	FBGA	TSOP(II) / FBGA / LQFP



[www.chinafastprint.com](http://www.chinafastprint.com)



# 一、DDR系列概述



DDR SDRAM 封装结构图

管脚数	信号名	功能描述
2	CK, CK#	全局时钟输入。
1	CKE	时钟使能信号输入。
1	CS#	片选信号输入。
3	RAS#, CAS#, WE#	命令信号输入。
2	LDM, UDM	数据 mask 信号输入。
13*	A<0..12>	地址信号输入。
2	BA0, BA1	BANK 选择信号输入。
16*	DQ<0..15>	数据信号输入/输出。
2	LDQS, UDQS	数据锁存信号输入/输出。
5*	NC	空引脚。
2	DNU	不使用引脚。
5	VDDQ	DQ 电源电压 (2.5V)。
5	VSSQ	DQ 地。
3	VDD	器件电源电压 (2.5V)。
3	VSS	器件地。
1	VREF	SSTL_2 参考电压。

DDR SDRAM 管脚功能说明





# 一、DDR系列概述

CK/CK#是DDR的全局时钟，DDR的命令信号（ACTIVE、READ、WRITE、PRECHARGE、AUTO RECHARGE等），地址信号都是以CK/CK#为时序参考的；

CKE为时钟使能信号，与SDRAM不同的是，在进行读写操作时CKE要保持为高电平，当CKE由高电平变为低电平时，器件进入断电模式（所有BANK都没有激活时）或自刷新模式（部分BANK激活时），当CKE由低电平变为高电平时，器件从断电模式或自刷新模式中退出。

CS#为片选信号，低电平有效。当CS#为高时器件内部的命令解码将不工作。同时，CS#也是命令信号的一部分。

RAS#、CAS#、WE#分别为行选择、列选择与写使能信号，低电平有效。这三个信号CS#一起组成了DDR的命令信号。

LDM、UDM为数据掩码信号。写数据时，当DM为高电平时对应的写入数据无效。LDM与UDM分别对应与数据信号的低8位与高8位。

A<0..12>为地址总线信号。在读写命令时行列地址都由该总线输入。

BA0、BA1为BANK地址信号，用以确定当前的命令操作对哪个BANK有效。

DQ<0..15>为数据总线信号。读写操作时的数据信号通过该总线输出或输入。

LDQS、UDQS为数据锁存信号，双沿有效写数据时输入，读数据时输出。写数据时信号沿与数据中心对齐，读数据时信号沿与数据边沿对齐。

VREF为SDRAM内部进行高低电平判决的参考电压。



# 一、DDR系列概述

常见DDR（系列）的型号：

Standard	Vendor	Part Number	Width	Density
DDR3	Micron	MT4IJ64M16xx-187E	16	1 Gb
DDR3	Micron	MT4IJ256M8xx-187E	8	2 Gb
DDR3	Micron	MT4IJ128M8xx-187E	8	1 Gb
DDR3	Micron	MT4IJ256M4xx-187E	4	1 Gb
DDR3	Micron	MT4IJ512M4xx-187E	4	2 Gb
DDR2	Micron	MT47II256M4xx-25E	4	1 Gb
DDR2	Micron	MT47H64M8xx-25E-IT	8	512 Mb
DDR2	Micron	MT47H128M8xx-25	8	1 Gb
DDR2	Micron	MT47H128M16xx-3	16	2 Gb
DDR2	Micron	MT47II256M4xx-3	4	1 Gb
DDR2	Micron	MT47H16M16xx-3	16	256 Mb
DDR2	Micron	MT47II32M16xx-37E	16	512 Mb
DDR2	Micron	MT47II32M8xx-37E	8	256 Mb

Standard	Vendor	Part Number	Width	Density
DDR2	Micron	MT47I64M16xx-3	16	1 Gb
DDR2	Micron	MT47I256M4xx-37E	4	1 Gb
DDR2	Micron	MT47I128M8xx-3	8	1 Gb
DDR2	Elpida	EDE1116ACBG-8E	16	1 Gb
DDR2	Elpida	EDE5116AJDG-8E	16	512 Mb
DDR2	Hynix	HYB181C512160B2F-2.5	16	512 Mb
DDR	Micron	MT46V32M16xx-5B-II	16	512 Mb
DDR	Micron	MT46V32M8xx-5B	8	256 Mb
DDR	Micron	MT46V64M4xx-5B	4	256 Mb
LPDDR	Micron	MT46H32M16xxx-5	16	512 Mb
LPDDR	Micron	MT46H16M16xxx-6-II	16	256 Mb
LPDDR	Micron	MT46H16M16xxx-75-IT	16	256 Mb
LPDDR	Micron	MT46I16M16xxx-5L-IT	16	1 Gb
LPDDR	Micron	MT46I16M16xxx-6L-IT	16	1 Gb

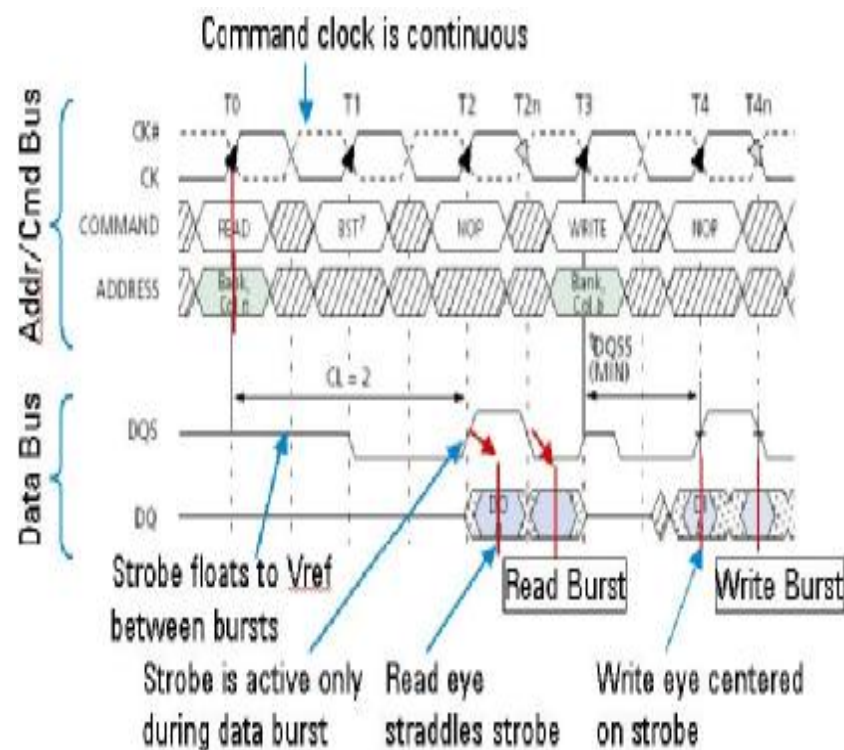




# 一、DDR系列概述

## DDR SRAM的工作原理

DDR SDRAM的读写操作时序左图所示。图中，命令信号与地址信号参考CK信号上升沿输入到DDR。读数据时DQ随着DQS并参考DQS信号沿输出，写数据时DQ随着DQS并参考DQS的信号沿输入，读写数据时DQS都是双沿有效。读数据时，输出的DQS由送入DDR的差分时钟CK/CK# 产生，且使用DDR存储器中的一个DLL生成DQS，并使之与输出数据对齐。虽然DDR存储器不用差分输入时钟来发送或捕捉数据，但是所用的DQS信号与输入时钟的频率有关。





# 一、DDR系列概述

DDR是典型的源同步时序系统。与SDRAM相比不同的是：地址和控制线是用差分时钟锁存，一个周期锁存一次（CK上升沿），而数据是用DQS锁存，一个周期内锁存两次（上升沿和下降沿）。源同步的时序计算公式基本与SDRAM相同。

由源同步时序的计算公式：

$$T_{\text{setup margin}} = T_{vb} - T_{\text{setup}} - T_{\text{jitter}} - T_{\text{pcb skew}}$$

$$T_{\text{thold margin}} = T_{va} - T_{\text{thold}} + T_{\text{pcb skew}}$$

其中， $T_{\text{pcb skew}} = T_{\text{flt data}} - T_{\text{flt strobe}}$ 。

Tvb: Valid Before, 驱动端的数据在选通脉冲前有效存在的时间

Tva: Valid After, 驱动端的选通信号脉冲之后数据仍然有效持续的时间

Tpcb skew: 数据和选通信号飞行时间的差异。只要严格控制数据和选通信号的等长，Tpcb skew就会足够小



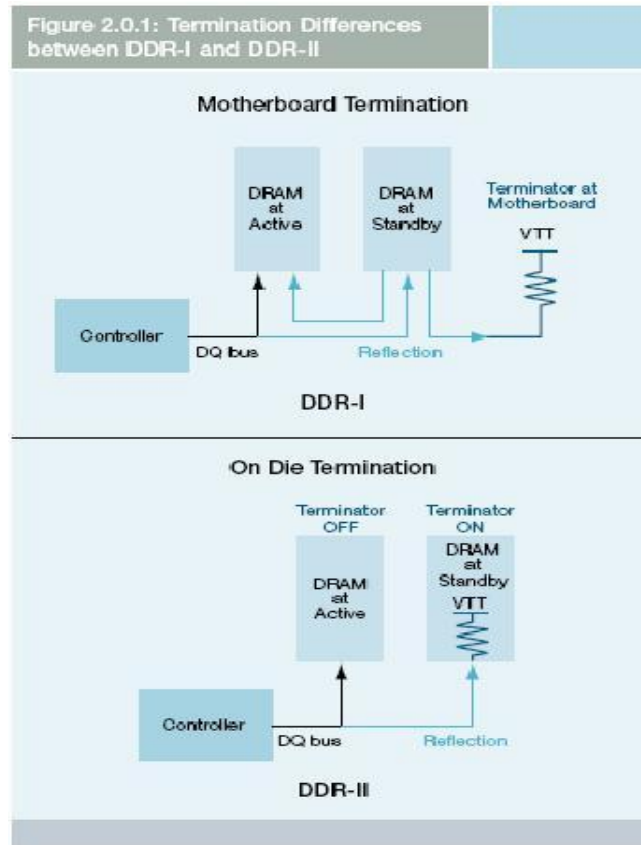
# 一、DDR系列概述

ODT: On-Die Termination, 即芯片内部匹配终结技术,

一方面可以节省大量的PCB板面积, 另外一方面端接电阻的放置位置也很难同时兼顾读和写两个方向。而在DDR2芯片提供一个ODT引脚来控制芯片内部终结电阻的开关状态。在写操作时、由于DDR2作为接受端, ODT引脚为高电平打开芯片内部的终结电阻, 读操作时, DDR2作为发送端, 所以ODT引脚为低电平以关闭芯片内部的终结电阻。

ODT允许配置的阻值为关闭、75  $\Omega$ 、150  $\Omega$ 、50  $\Omega$  四种模式中的一种。

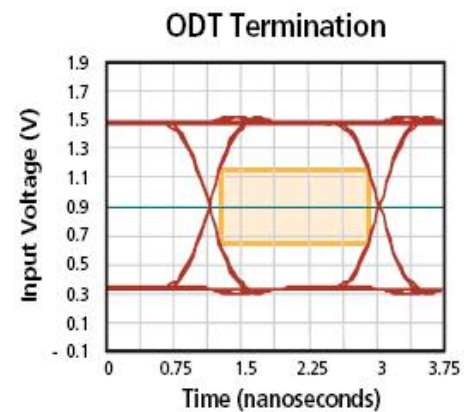
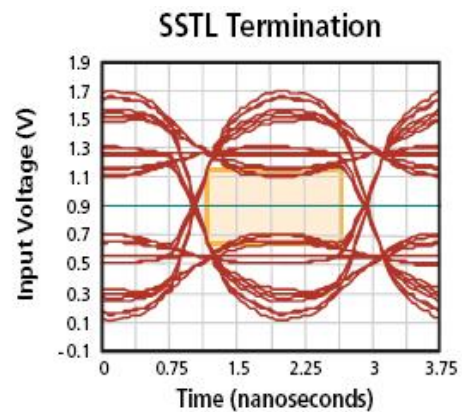
一般ODT只是对DQ\DM\DQS等信号, 对于地址和控制仍然需要外部的匹配终结。



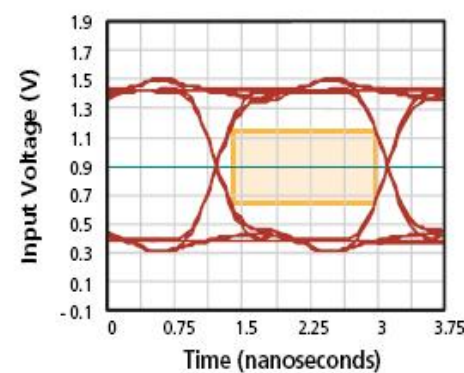
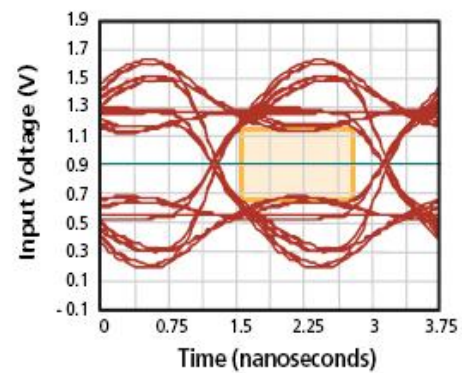


# 一、DDR系列概述

One Single-Rank Module



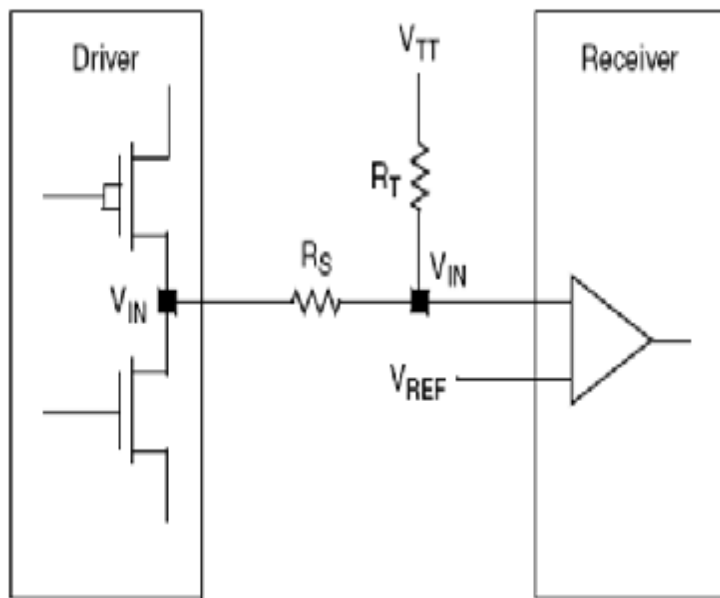
Two Dual-Rank Modules  
(Second Module)





## 二、DDR II 布局和布线设计

SSTL-18存储器接口的典型拓扑端接方式见下，串联电阻 $R_S$ 与并联电阻 $R_T$ 的阻值与端接位置需要由仿真决定，典型的DDR信号仿真端接电阻选择范围见下：

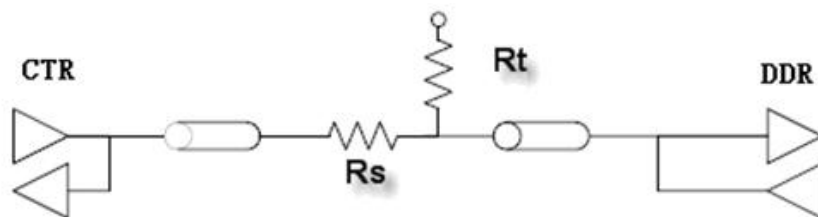


Group	Series Resistor ( $R_S$ ) in $\Omega$	Parallel Resistor ( $R_T$ ) in $\Omega$
Clocks	22-36	Optional—25-57
Data	0-33	25-57
Address/command	0-36	25-57
Address/command (compensation method)	—	25-57
Control	0-36	25-57
Feedback	15-33	Optional—25-57

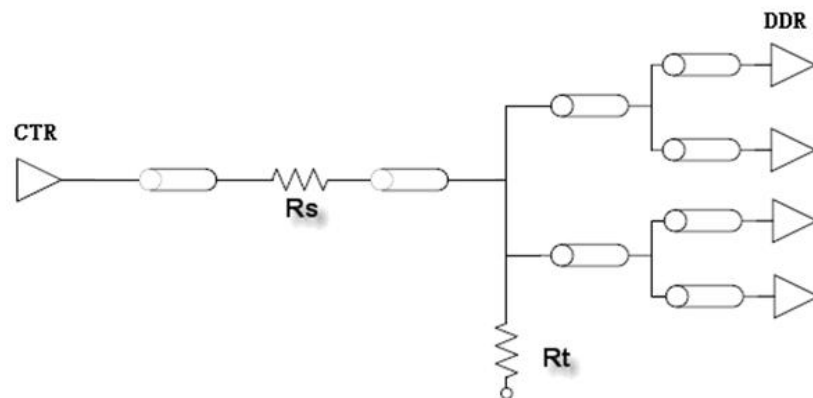


## 二、DDR I 布局和布线设计

数据信号与数据锁存信号是双向信号，为达到对双向信号都进行阻抗匹配的效果，建议 $R_s$ 和 $R_t$ 靠近放置，如下图。 $R_s$ 具体位置可根据仿真决定。



地址信号与控制信号是单向信号，且一般都是点到多点的拓扑结构。如图3.7，要求串联电阻靠近存储器控制器端，多个DDR间使用T型拓扑，拓扑的各分支尽量短且臂长相等，并联电阻放在接收端的第一个T节点上。

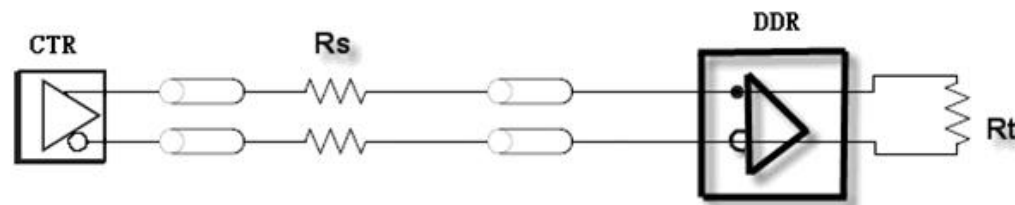




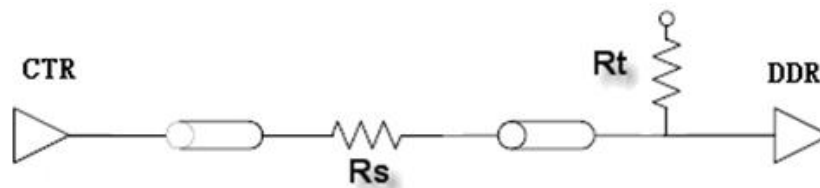


## 二、DDR I 布局和布线设计

差分时钟信号一般都是点到点拓扑，有时候也有使用点到多点的结构。图3.8为差分信号时钟的点到点拓扑结构，终端匹配电阻要求尽量靠近接收端，或者放置在接收端之后。对点到多点的结构，则使用如地址线的端接拓扑。



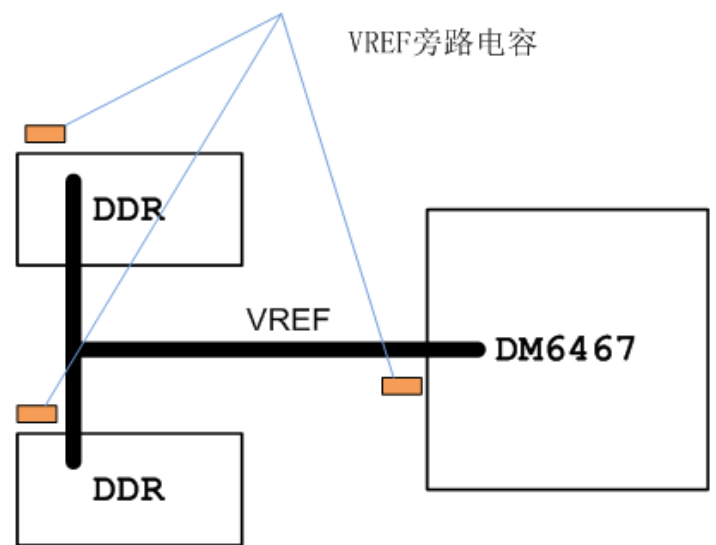
Data Mask信号是点到点单向拓扑结构，要求串联电阻放在控制器端，并联电阻放在DDR端。





## 二、DDR II 布局和布线设计

Vref电源（0.9V）的电容必须紧靠DDR II \CPU管脚。



对于DIMM内存条，一般还有一个VTT（0.9V）电压，其电容必须紧靠DDR II 管脚，线宽最好大于80mil，而且最好铺面过去。

1.8V电源的电容必须紧靠DDR II \CPU管脚，有的客户将DDR II 和CPU的电源分开，建议合并。



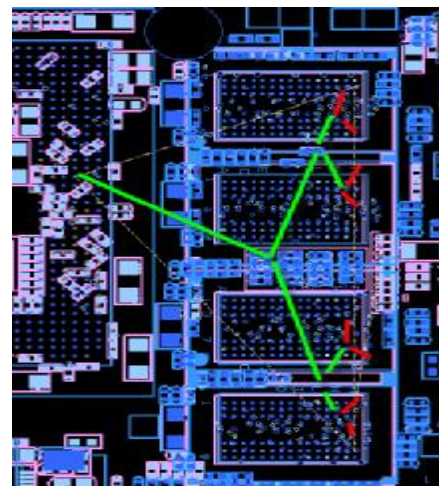
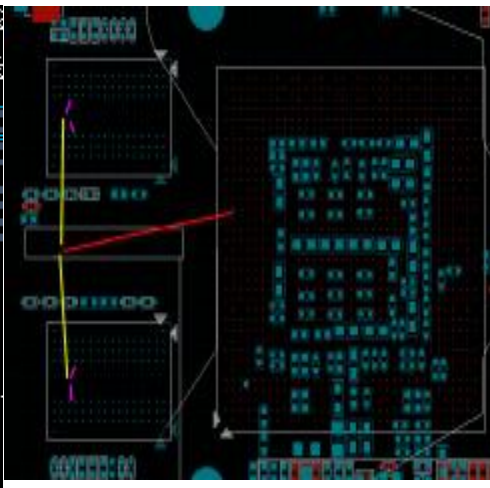
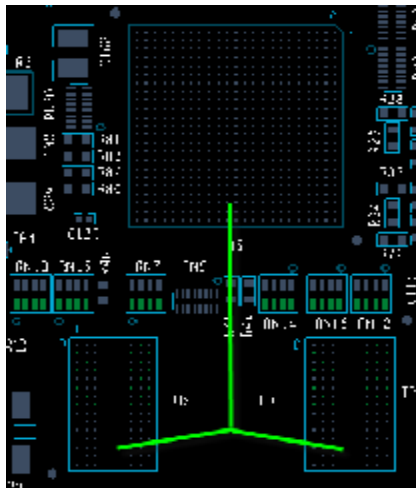
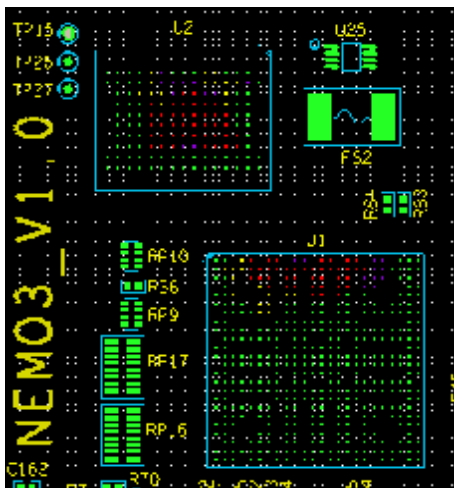
## 二、DDR II 布局和布线设计

一带一的DDR II：注意按照网络鼠线显示将DDR放在主芯片的旁边，留出绕等长的空间。

一带二的DDR II：一般采用对称布局，注意地址线的走线和排阻布放位置。

一带四的DDR II：一般采用两两正反对贴，如果将DDR II 放置在同一面，导致远端分支过长。

一带八的DDR II：必须采用两两正反对贴，如果将DDR II 放置在同一面，使远端分支的走线很困难。





## 二、DDR II 布局和布线设计

- 1) 推荐DDR2接口的所有信号走线都布置在有良好地参考平面的内层信号层上，以保证阻抗的连续以及最短的回流路径。如果不能完全满足要求，优先将时钟与数据信号布置在良好地参考平面的信号层，其他信号可以布置在以电源为参考平面的信号层上。注意参考平面的完整性与连续性；
- 2) 同一个字节的DQ/DQSN(P)/DM（共11根信号线）要求一起走线（中间不能夹杂任何其它信号线），并要求DQS与其他信号线的间距满足3W原则；本组的信号与其他组的信号间距要求在20mil以上；打过孔的数量一致，并走在同一层。同一组的信号等长要求在10mil（+、-5mil），不同组的等长要求在200mil，尽量做到等长，优先考虑同一组等长。
- 3) 布线时，最好少换层，以避免过孔效应。
- 4) 布线时，不允许有跨分割的信号线存在，特别是相邻的电源层平面。
- 5) 布线时，所有信号线都尽量保证3W的间距。
- 6) 引入到内层的高速信号线是否在表层引出小于1mm打过孔。
- 7) DDR2走线与参考平面边界的距离必须大于40mil。
- 8) 在换层的地方增加回流地过孔。
- 9) 对于单端线控制阻抗最好在50---60ohm之间（有的器件厂商会要求55---65ohm之间，最好60ohm），对于差分信号线，阻抗控制在100---120ohm之间。重点考虑阻抗的连续性，拒绝叠层时内外层阻抗相差20ohm以上，最好能控制在0.5ohm以内。



## 二、DDR II 布局和布线设计

10) 一般情况下地址采用远端分支, 可以根据器件手册要求或者仿真更改为菊花链。

11) 对于DIMM内存条, 一般DDR2的信号线被分成四组, 分别为:

lane组: DQS/DQS#N、DMN、DQN[7:0]

数据组: DQS/DQS#[8:0]、DM[8:0]、DQ[63:0]、MECC[7:0]

地址组: BA[2:0]、A[15:0]、RAS#、CAS#、WE#

命令组: CS[3:0]、CKE[3:0]、ODT[3:0]

时钟组: CK/CK#[5:0]

等长要求: 一般lane数据组控制在10miI以内, 不同lane组在200miI以内, 地址、命令、时钟组控制在50miI以内, 差分对内控制在10miI以内。

地址组、命令组、时钟组合数据组的等长范围最好控制在1000miI (+、-500miI) 以内。

如果有串阻, 串阻之前等长, 串阻之后等长。(有20%的DDR2设计需要这么做, 只是建议)

时钟与数据等长范围控制在1000miI 以内。

12) 对于一般一带二的DDR2信号线被分成两组, 分别为:

lane组: DQS/DQS#N、DMN、DQN[7:0]

数据组: DQS/DQS#[8:0]、DM[8:0]、DQ[31:0]

其它组: BA[2:0]、A[13:0]、RAS#、CAS#、WE#、CS[1:0]、CKE[1:0]、CK/CK#

等长要求: 一般lane数据组控制在10miI以内, 不同lane组在200miI以内, 其它组总的等长范围控制在100miI 以内, 差分对内控制在10miI 以内注意远端分支两个分支的等长范围控制在25miI 以内, 最好做到所有的分支都等长, 其它组与数据组的长度差不要超过1000miI (+、-500miI) 。

如果有串阻, 串阻之前等长, 串阻之后等长。(有20%的DDR2设计需要这么做, 只是建议)

时钟与数据等长范围控制在1000miI 以内。



## 二、DDR II 布局和布线设计

13) DQGATE组: DQGATE组分为低16位和高16位。前者由DQGATE0, 端接电阻, DQGATE1组成; 后者由DQGATE2, 端接电阻, DQGATE3组成。依下列公式分别计算DQGATE网络低、高16位的连线长度, 然后按照下图所示的拓扑结构进行布线。

$$DQGATE\_L = DDRCLKOUTP + (DDRDQSOP + DDRDQS1P) / 2$$

$$DQGATE\_H = DDRCLKOUTP + (DDRDQS2P + DDRDQS3P) / 2$$

注意计算网络长度时, 请将端接电阻两侧的线路合并计算。布线时, 请控制DQGATE走线长度的误差在100mil 以内。

14) Vref的走线宽度必须大于20mil, Vref上纹波过大, 有可能造成读写操作出错。Vref与同层其它信号线间距最好达到20mil 以上, Vref必须跟随VDDQ电源变化, 可以通过分压电阻产生, 分压电阻的精度要求为1%。

15) 反复检查VTT、Vref、Vddq的电容滤波效果和电源平面是否能满足电流和功耗的问题, VTT电源平面应该和DIMM内存条紧紧相邻;

16) PCB走线顺序: VTT电源平面及匹配电阻、Vref电源、时钟组、数据组、地址组、命令组、VDDQ或VDD电源。

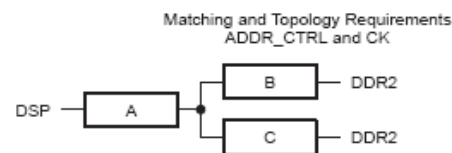
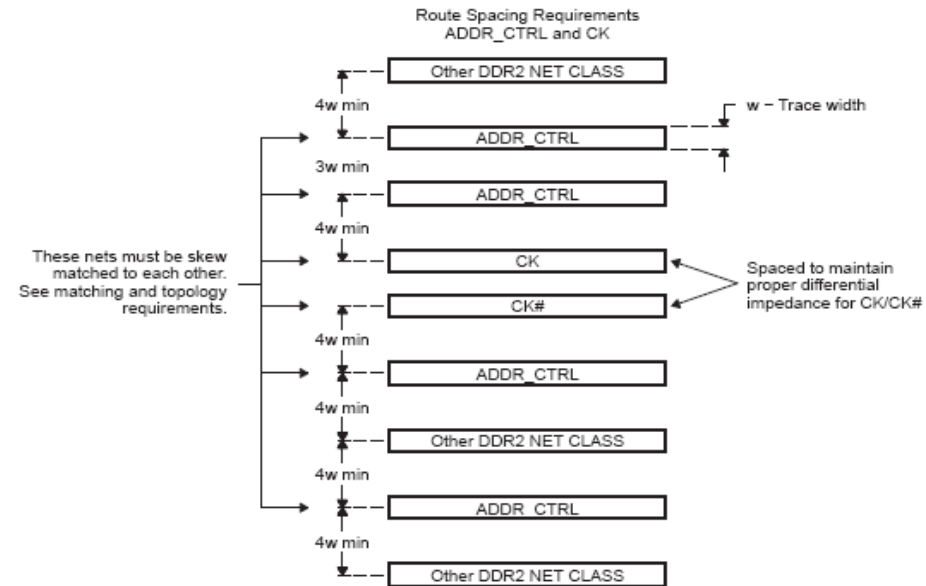
17) 串、并联电阻的位置以器件手册推荐、客户要求或者仿真结果为准, 在不能判定时一般串阻靠近主芯片放置, 并联电阻靠近DDR II 放置, 对于菊花链结构的一般放置在最末端, 对于远端分支结构的放置在第一个远端分叉点上, 分叉点到并联电阻的距离尽量短, 以减少STUB的长度。





## 二、DDR II 布局和布线设计

### 18) 间距要求



For ADDR\_CTRL and CK:

- 1) Length B should match length C within 100mils.
- 2) Length A to C and A to B should match within 100 mils within ADDR\_CTRL net class.
- 3) Series terminating resistor, if desired, should be located closest to DSP as possible.
- 4) Length A should be maximized while meeting the above specifications.

In addition, for CK:

- 5) The length of CK should match length of net CK# within +/-10 mils.



# 三、DSP带DDR I 的PCB设计

## DSP简介---TI 公司

### 数字信号处理器 (DSP) & ARM 微处理器



· 选择平台 · 选择器件 · 查找软件和工具 · 获取支持 · 开始使用

查找数字信号处理器 (DSP), Sitara™ 4E4E™ 和 ARM™ Cortex™ A8 微处理器 (MPU), 或 DaVinci™ 微处理器, Integrator™ DSP-ARM 处理器以及 OMAP™ 处理器。

#### 选择器件

按处理器类型

ARM 7E2 | DSP-ARM 多核 DSP

按应用

选择一个应用

按操作系统

选择一个操作系统

按编解码器

选择一个编解码器

· 器件更新及发布

#### ARM 微处理器

32 位 ARM9 MPU

· Sitara™ Cortex-A8 和 ARM9

固定浮点运算 (FPU)  
高性能应用 (如: 3D)

高达 1000 兆字节 (MB) 的片上存储器 (SRAM, DRAM, ROM)  
支持 ARMv7, ARMv7-M, ARMv7-EM, ARMv7-NEON

低功耗设计, 低功耗待机模式, 低功耗待机

500 兆  
1000 兆

#### 数字信号处理器(DSP)

DSP 和 DSP + ARM9

· C6000™ 单核  
· C6000™ + ARM9  
· DaVinci™ 视频处理器

高达 1000 兆字节 (MB) 的片上存储器

支持高达 1000 兆字节 (MB) 的片上存储器  
支持高达 1000 兆字节 (MB) 的片上存储器

低功耗设计, 低功耗待机模式, 低功耗待机

500 兆  
1000 兆

多核 DSP

· C6000™ 多核

高达 1000 兆字节 (MB) 的片上存储器

支持高达 1000 兆字节 (MB) 的片上存储器  
支持高达 1000 兆字节 (MB) 的片上存储器

低功耗设计, 低功耗待机模式, 低功耗待机

500 兆  
1000 兆

超低功耗 DSP

· C5000™

高达 1000 兆字节 (MB) 的片上存储器

支持高达 1000 兆字节 (MB) 的片上存储器  
支持高达 1000 兆字节 (MB) 的片上存储器

低功耗设计, 低功耗待机模式, 低功耗待机

500 兆  
1000 兆



# 三、DSP带DDR I 的PCB设计

## 按器件系列选择

- 数字信号处理器和 ARM 微处理器平台 (211)**
- Sitara ARM Cortex-A8 和 ARM9 微处理器 (14)**
- AM389x ARM Cortex-A8 性能 系列 (2)
  - AM37x ARM Cortex-A8 性能 系列 (2)
  - AM35x ARM Cortex-A8 超值系列 (2)
  - AM1x ARM9 高性能 系列 (6)
  - OMAP3503/15 ARM Cortex-A8 性能 系列 (2)
- C6000 高性能 DSP (85)**
- TMS320C674x 低功耗 DSP (6)
  - TMS320C67x DSP (21)
  - TMS320C645x DSP (12)
  - TMS320C64x DSP (37)
  - TMS320C62x DSP (9)
- C6-integra DSP+ARM 处理器 (4)**
- TMS320C6A816x 处理器 (2)
  - OMAP-L1x 处理器 (2)
- DaVinci™ 数字媒体处理器 (60)**
- TMS320DM37x SOC (4)
  - OMAP3525/30 处理器 (2)
  - 基于 TMS320DM3x ARM9 的 SOC (9)
  - TMS320DM646x SOC (5)
  - TMS320DM644x SOC (6)
  - TMS320DM643x DSP (13)
  - TMS320DM64x DSP (15)
  - TMS320DM814x SOC (2)
  - TMS320DM816x SOC (4)
- C6000 高性能多核 DSP (10)**
- TMS320C68x DSP (4)
  - TMS320C647x DSP (6)
- C5000 超低功耗 DSP (38)**
- TMS320C55x DSP (19)
  - TMS320C54x DSP (19)

Part Number	Status	RAM (KB)	Frequency (MHz)	UTOPIA	CPU	Peak MMIOs	On-Chip L1 SRAM	On-Chip L2 SRAM	EMIF	External Memory type Supported	DMA (Ch)	FMAC	PCI	HP1	McBSP	McASP	DC
TMS320C642-700	ACTIVE		700		1 C64x	3900	1121 B	1281 B	1	Asynchronous	34 Ch	10100	1	1	2	1	
TMS320C643-600	ACTIVE		600		1 C64x	4300	1121 B	1281 B	1	Asynchronous	34 Ch	10100	1	1	2	1	
TMS320C643-500	ACTIVE		500		1 C64x	4300	1121 B	1281 B	1	Asynchronous	34 Ch	10100	1	1	2	1	
TMS320C643-400	ACTIVE		400		1 C64x	4300	1121 B	1281 B	1	Asynchronous	34 Ch	10100	1	1	2	1	



# 三、DSP带DDR I 的PCB设计

Ti -DSP



TM320DM335  
DDR2



TMS320DM335  
DDR2



## 四、FPGA带DDR I 的PCB设计

### 一、Altera与DDR的连接

Table 4. Altera External Memory Interface Support (1)

Device	DDR3 SDRAM	DDR2 SDRAM	DDR SDRAM	RLDRAM II	QDRII/+ SRAM
Stratix IV	1,067 Mbps 533 MHz	800 Mbps 400 MHz	400 Mbps 200 MHz	1,600 Mbps 400 MHz	1,400 Mbps 350 MHz
Stratix III	1,067 Mbps 533 MHz	800 Mbps 400 MHz	400 Mbps 200 MHz	1,600 Mbps 400 MHz	1,400 Mbps 350 MHz
Stratix II/GX		667 Mbps 333 MHz	400 Mbps 200 MHz	1,200 Mbps 300 MHz	1,200 Mbps 300 MHz
HardCopy® IV	800 Mbps 400 MHz	667 Mbps 333 MHz	400 Mbps 200 MHz	1,600 Mbps 400 MHz	1,400 Mbps 350 MHz
HardCopy III	800 Mbps 400 MHz	667 Mbps 333 MHz	400 Mbps 200 MHz	1,600 Mbps 400 MHz	1,400 Mbps 350 MHz
HardCopy II		533 Mbps 267 MHz	400 Mbps 200 MHz	1,000 Mbps 250 MHz	1,000 Mbps 250 MHz
Stratix and Stratix GX			400 Mbps 200 MHz	400 Mbps 200 MHz	800 Mbps 200 MHz
Cyclone® III		333 Mbps 167 MHz	333 Mbps 167 MHz		333 Mbps 167 MHz (2)
Cyclone II		400 Mbps 200 MHz	333 Mbps 167 MHz		333 Mbps 167 MHz (2)
Arria® GX		466 Mbps 233 MHz	400 Mbps 200 MHz		



## 四、FPGA带DDR II 的PCB设计

Xilinx - FPGA



Adobe Acrobat  
Document



ddr2-400





## 五、 MPU带DDR I I 的PCB设计

Freescal e - MPU:



Adobe Acrobat  
Document



## 六、ARM带DDR I I 的PCB设计

Freescal e - ARM:



Adobe Acrobat  
Document



## 七、主板的DDR I 的PCB设计

AMD-DDR3



AMD-DDR3



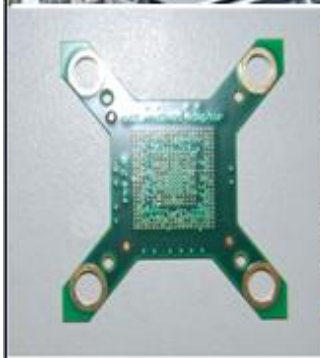
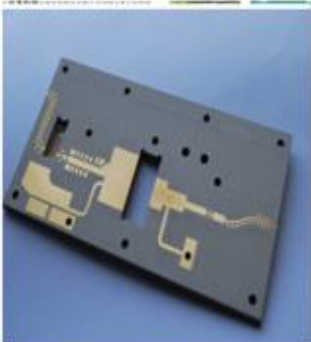
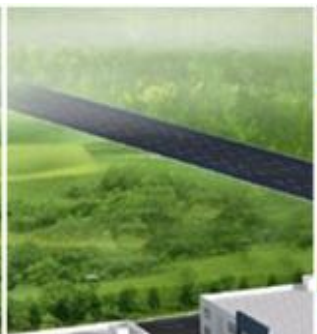
## 八、特殊案例介绍





# 问题答疑

✓ Any Question?



谢 谢