



实验五

时序逻辑电路

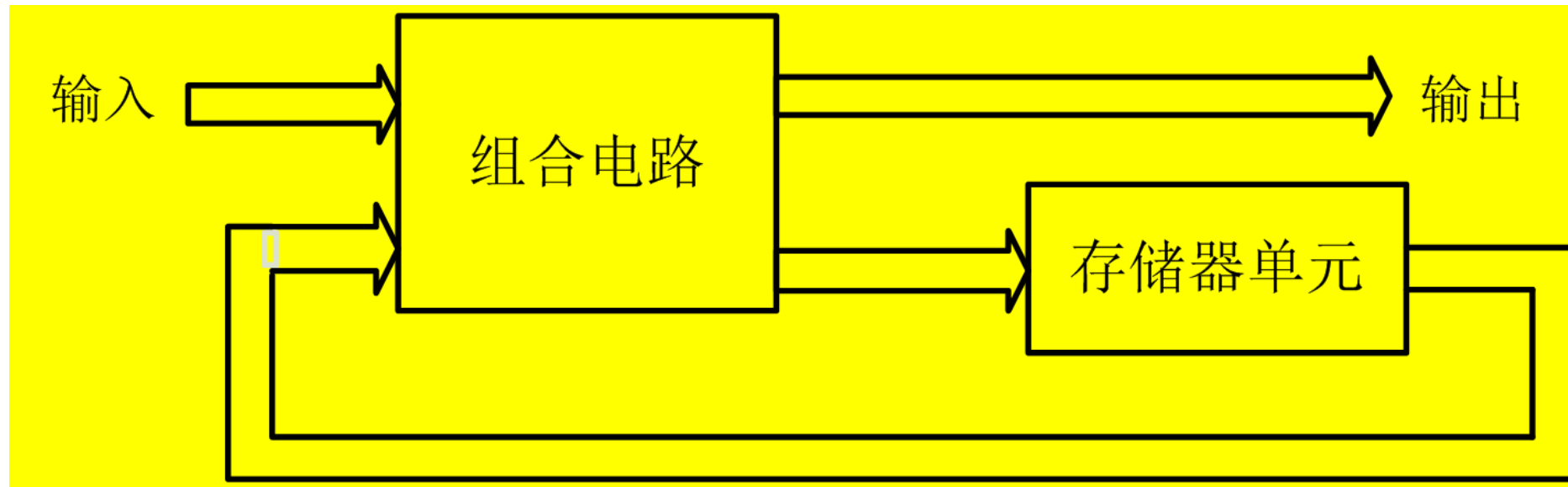
汤雪娇 tangxuejiao@seu.edu.cn

- ◀ **实验目的**
- ◀ **相关知识点**
- ◀ **实验内容**
- ◀ **预习要求**

- 1. 掌握时序逻辑电路的一般设计过程；
- 2. 掌握时序逻辑电路的时延分析方法，了解时序电路对时钟信号相关参数的基本要求；
- 3. 掌握时序逻辑电路的基本调试方法，熟练使用示波器观察波形图。

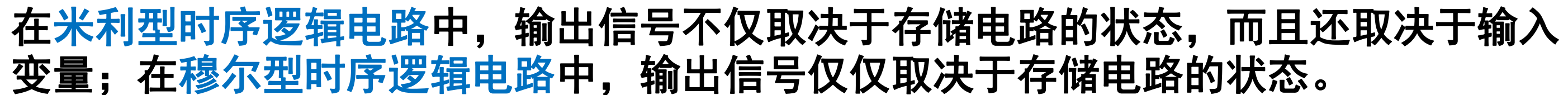
- ◀实验目的
- ◀相关知识**点**
- ◀实验内容
- ◀预习要求

1.时序电路概述



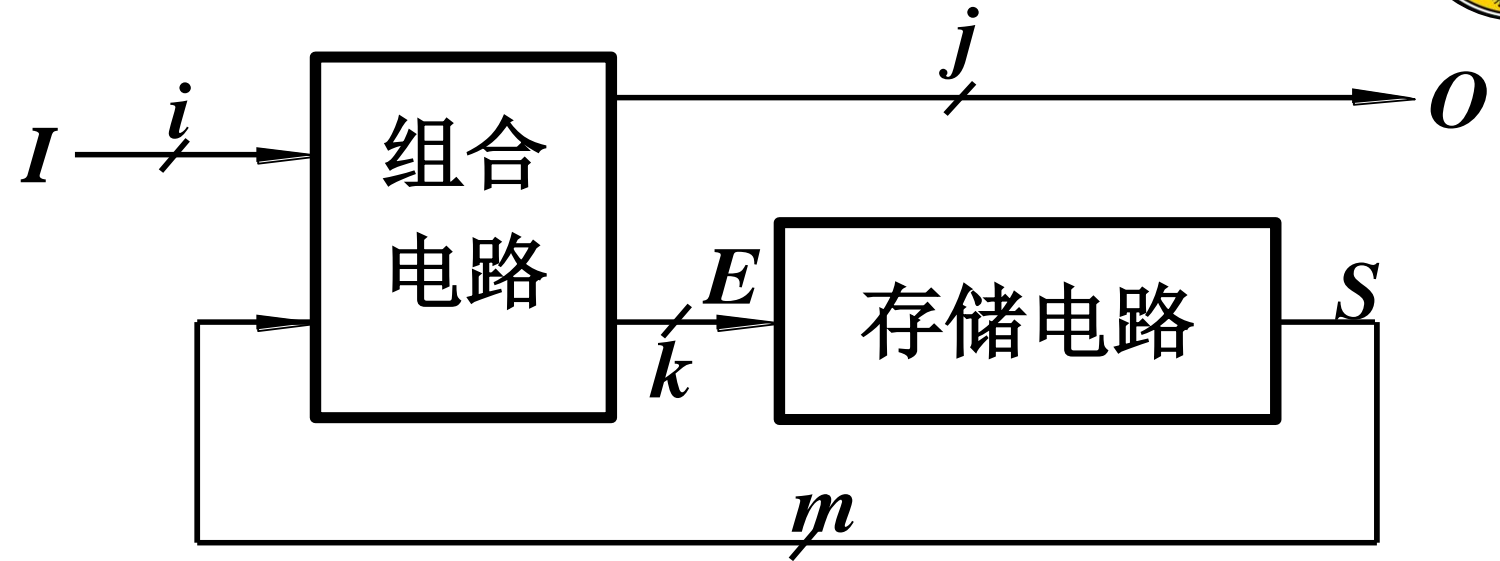
- 由组合电路和存储器单元两部分组成的
- 存储器单元具有记忆功能，通常由锁存器或触发器组成
- 输出信号不仅取决于当前的输入信号，还取决于电路原来的状态

在**异步时序逻辑电路**中，触发器的翻转不是同时的，没有统一的CLK，触发器状态的变化有先有后。



2. 时序电路的模型及分析

I : 输入信号
 E : 激励信号
 S : 状态变量
 O : 输出信号



输出方程: $O = f_1(I, S)$

表达输出信号与输入信号、状态变量的关系式

激励方程: $E = f_2(I, S)$

表达了激励信号与输入信号、状态变量的关系式

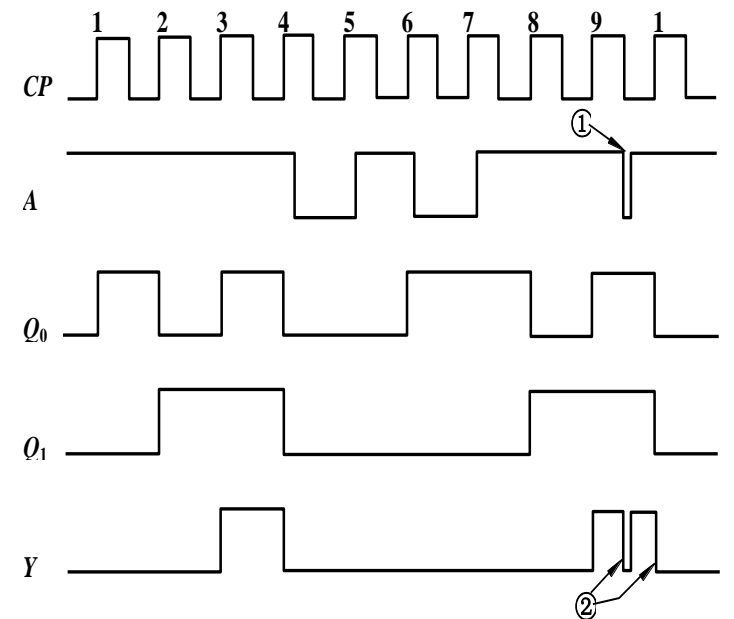
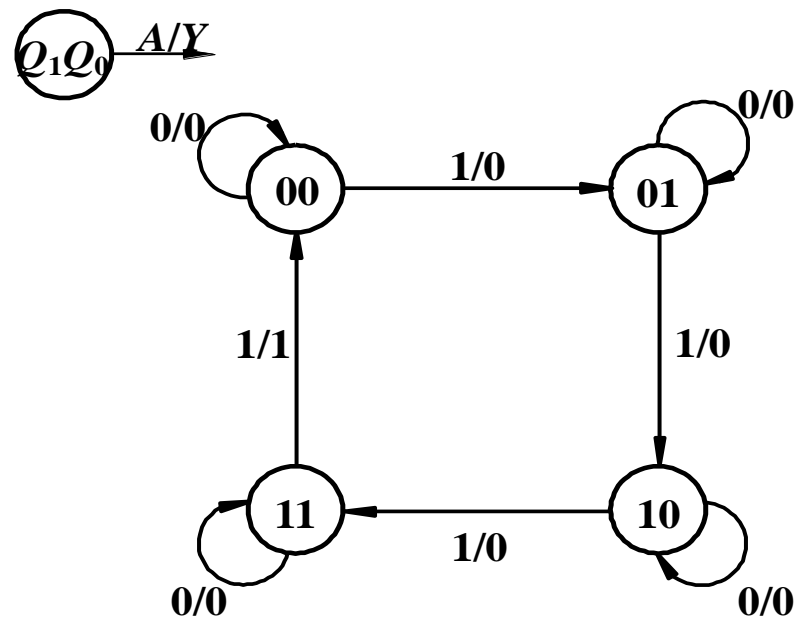
状态方程: $S^{n+1} = f_3(E, S^n)$

表达存储电路从现态到次态的转换关系式

2. 时序电路的模型及分析

分析时序逻辑电路在输入信号的作用下，其状态和输出信号变化的规律，进而确定电路的逻辑功能。所以，分析过程主要是列出电路状态表或画出状态图、工作波形图。

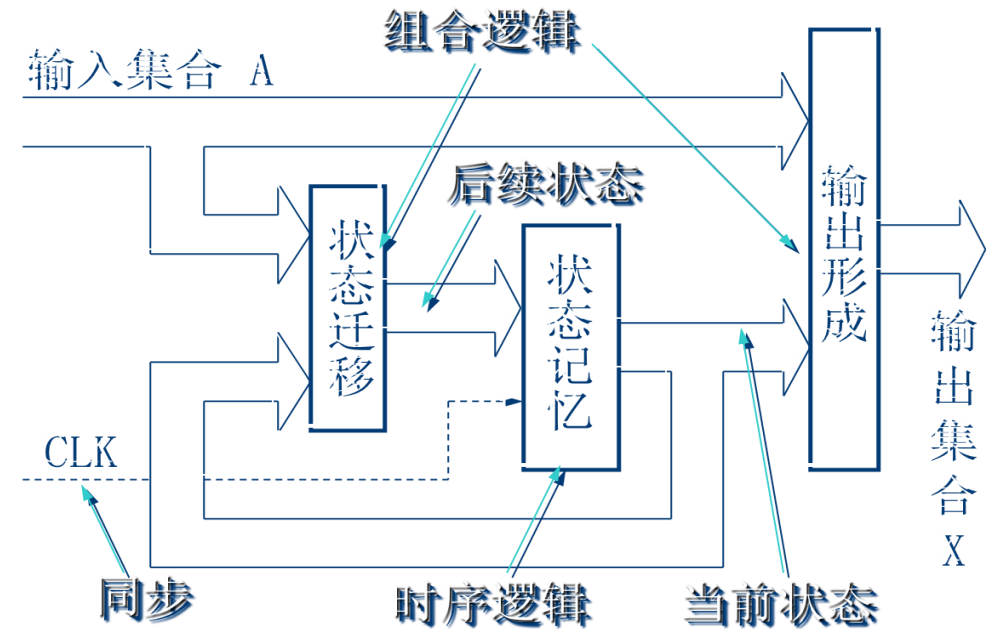
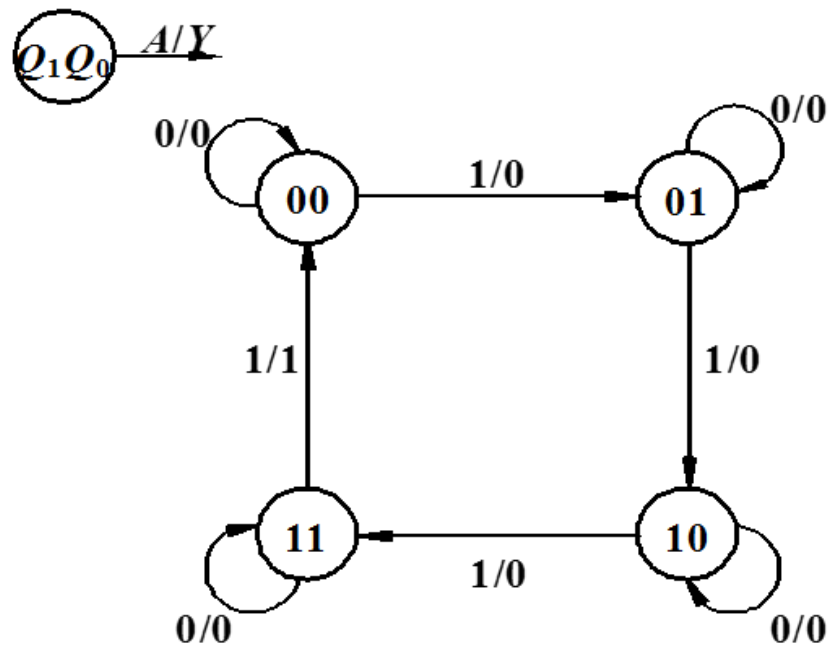
$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0	0 0 / 0	0 1 / 0
0 1	0 1 / 0	1 0 / 0
1 0	1 0 / 0	1 1 / 0
1 1	1 1 / 0	0 0 / 1



2. 时序电路的模型及分析

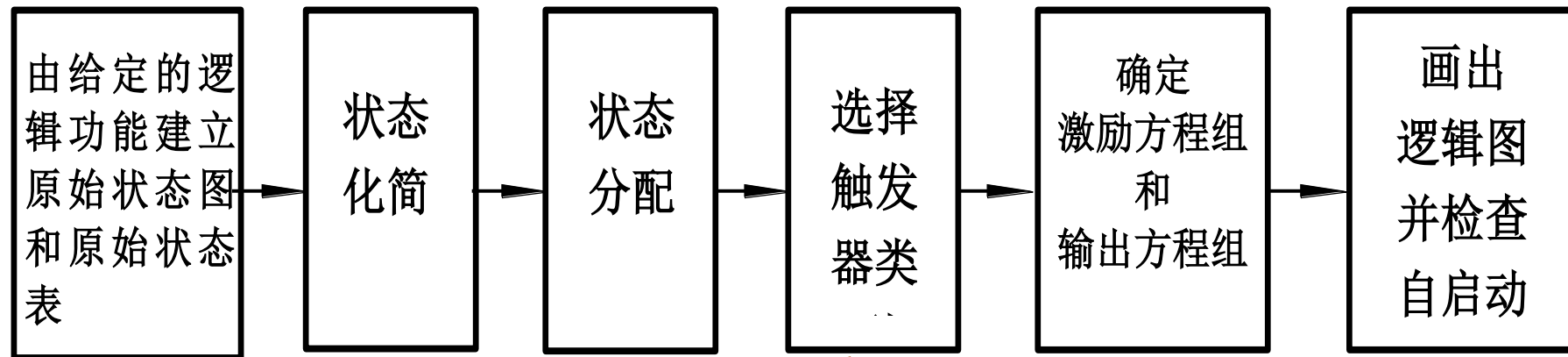
• 有限状态机

有限状态机(简称状态机)相当于一个控制器, 它将一项功能的完成分解为若干步, 每一步对应于二进制的的一个状态, 通过预先设计的顺序在各状态之间进行转换, 状态转换的过程就是实现逻辑功能的过程。



3.使用触发器设计时序逻辑电路

时序逻辑电路的设计任务是根据实际逻辑问题的要求，设计出能够实现给定逻辑功能的电路



用触发器、组合函数器件和门电路设计一个广告流水灯

?

本课程主要使用MSI构建状态机来实现时序逻辑电路的设计

3.使用触发器设计时序逻辑电路

(1) 根据给定的逻辑功能建立原始状态图和原始状态表

- ◆明确电路的输入条件和相应的输出要求，分别确定输入变量和输出变量的数目和符号
- ◆找出所有可能的状态和状态转换之间的关系
- ◆根据原始状态图建立原始状态表

(2) 状态化简—求出最简状态图

合并等价状态，消去多余状态的过程称为状态化简。

等价状态：在相同的输入下有相同的输出，并转换到同一个次态去的两个状态称为等价状态

(3) 状态编码（状态分配）

给每个状态赋以二进制代码的过程。根据状态数确定触发器的个数：

$$2^{n-1} < M \leq 2^n \quad (M: \text{状态数}; n: \text{触发器的个数})$$

(4) 选择触发器的类型

(5) 求出电路的激励方程和输出方程

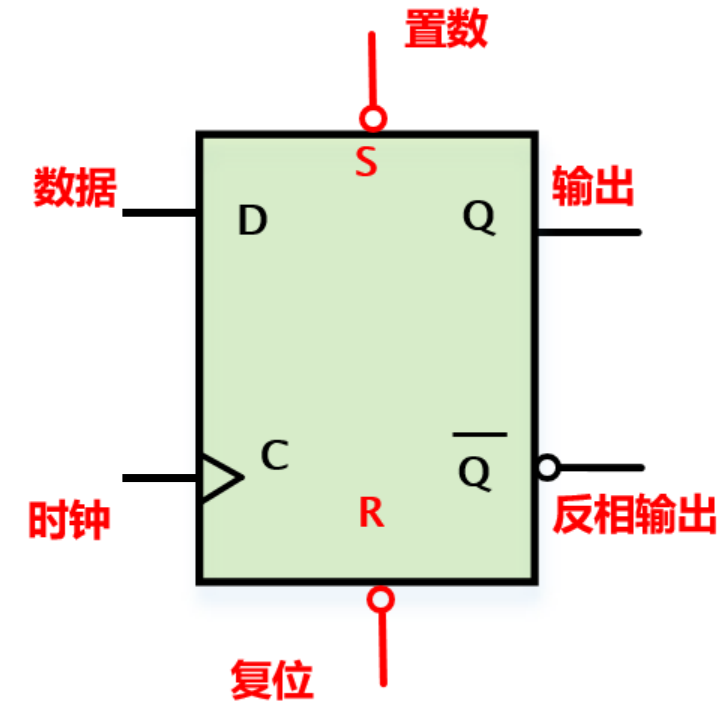
(6) 画出逻辑图并检查自启动能力

3.使用触发器设计时序逻辑电路

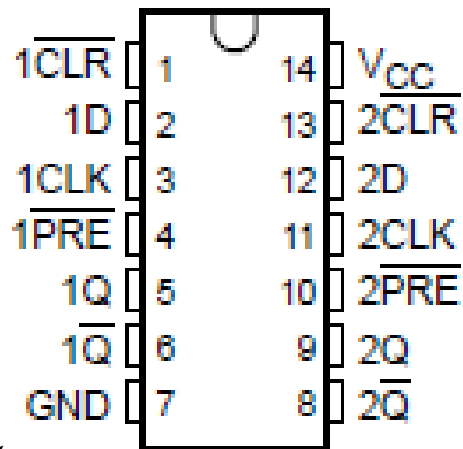
◆D触发器74HC74

- 边沿D触发器对时钟的边沿响应，状态方程为
- 包含时钟、数据和输出管脚
- 有的是上升沿触发，有的是下降沿触发
- 一般有置数和复位端，可对状态置数或复位

$$Q^{n+1} = D^n$$



SN54HC74 . . . J OR W PACKAGE
SN74HC74 . . . D, DB, N, NS, OR PW PACKAGE
(TOP VIEW)



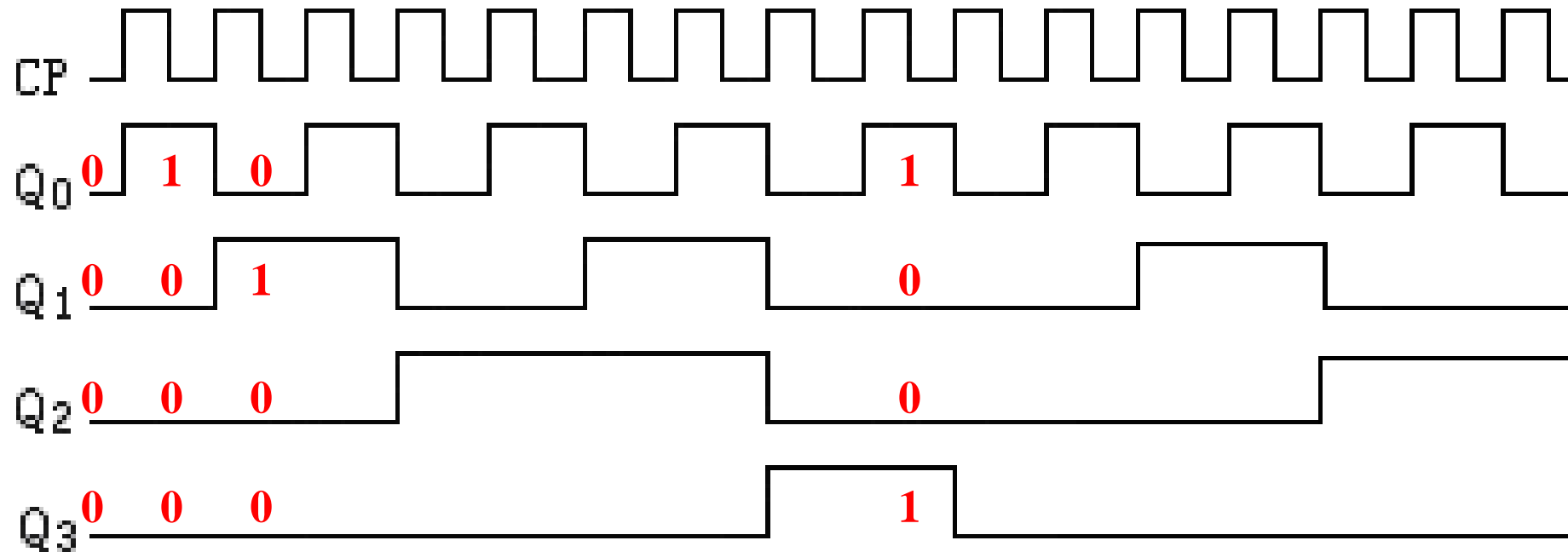
TRUTH TABLE

INPUTS				OUTPUTS		FUNCTION
$\overline{\text{CLR}}$	$\overline{\text{PR}}$	D	CK	Q	$\overline{\text{Q}}$	
L	H	X	X	L	H	CLEAR
H	L	X	X	H	L	PRESET
L	L	X	X	H	H	----
H	H	L	┐	L	H	----
H	H	H	┐	H	L	----
H	H	X	┐	Q_n	\overline{Q}_n	NO CHANGE

X : Don't Care

3.使用触发器设计时序逻辑电路

例：用D触发器设计模10计数器的时序逻辑电路



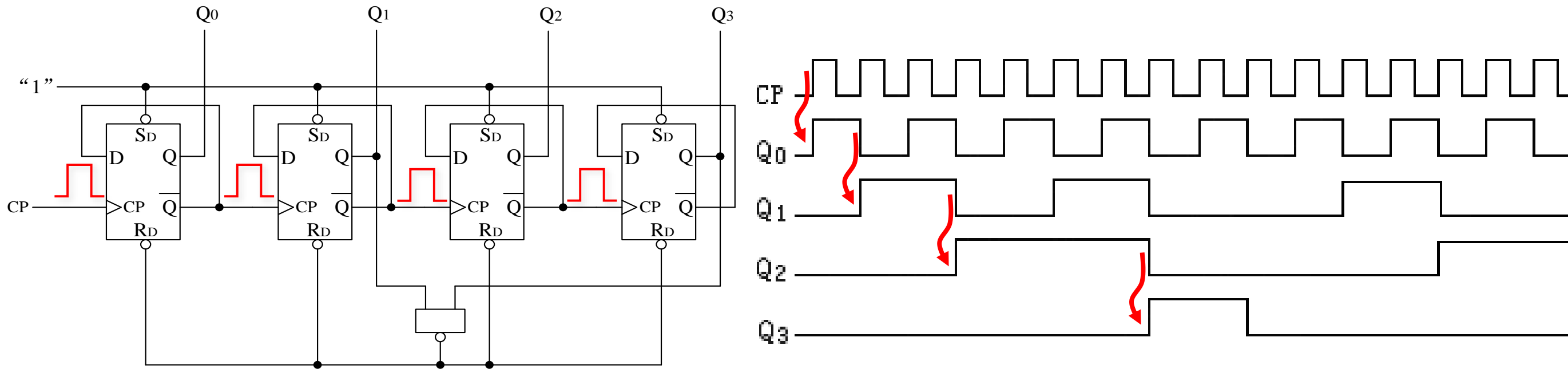
$$2^{n-1} < M \leq 2^n \quad (M: \text{状态数}; n: \text{触发器的个数})$$

$M=10, n=4$, 需要四个触发器

3.使用触发器设计时序逻辑电路

(1) 异步

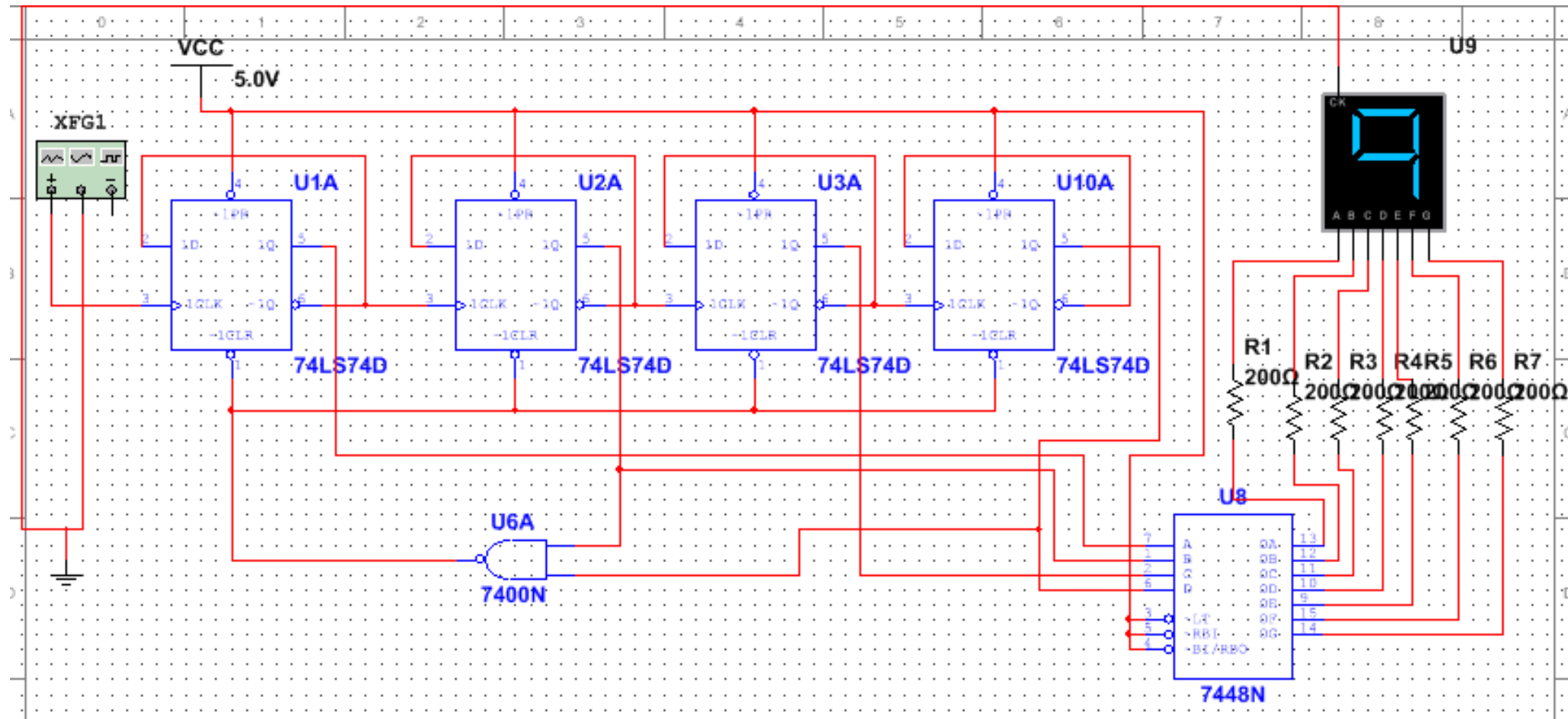
- 将一个触发器的输出作另一个触发器的时钟输入
- 触发器逐级翻转，有先有后
- 电路简单



Q_1 、 Q_2 、 Q_3 都是在 Q_0 、 Q_1 、 Q_2 的下降沿触发，由此确定高位的CP信号

3.使用触发器设计时序逻辑电路

- Multisim仿真结果-异步时钟

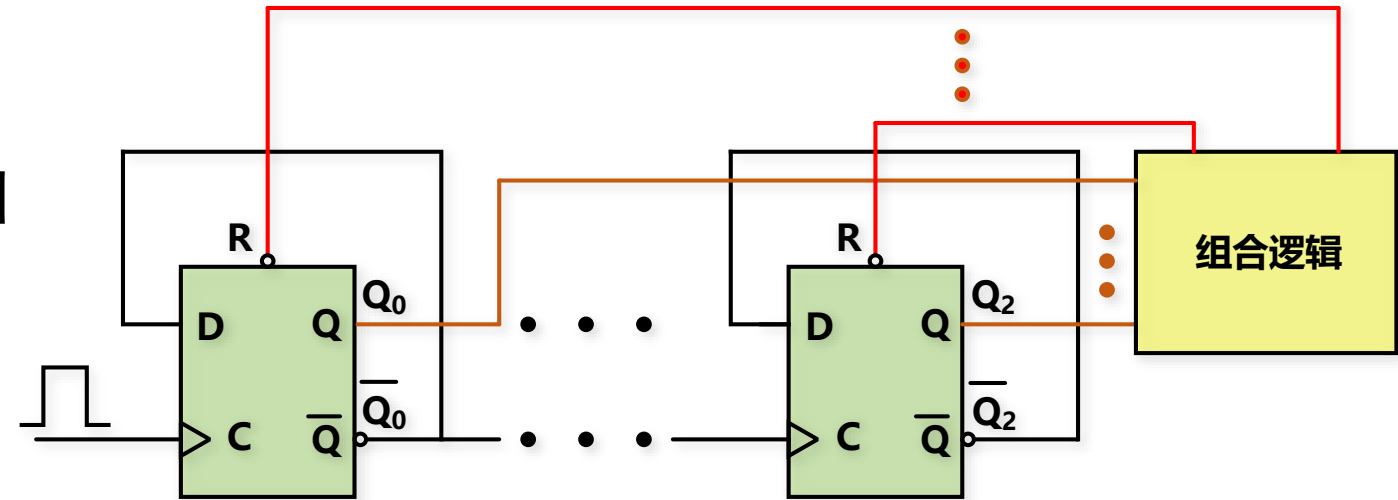


计数到10时清零

3.使用触发器设计时序逻辑电路

- 异步计数器缺点

- 随着级数增加，延迟也增加
- 易引起竞争和冒险



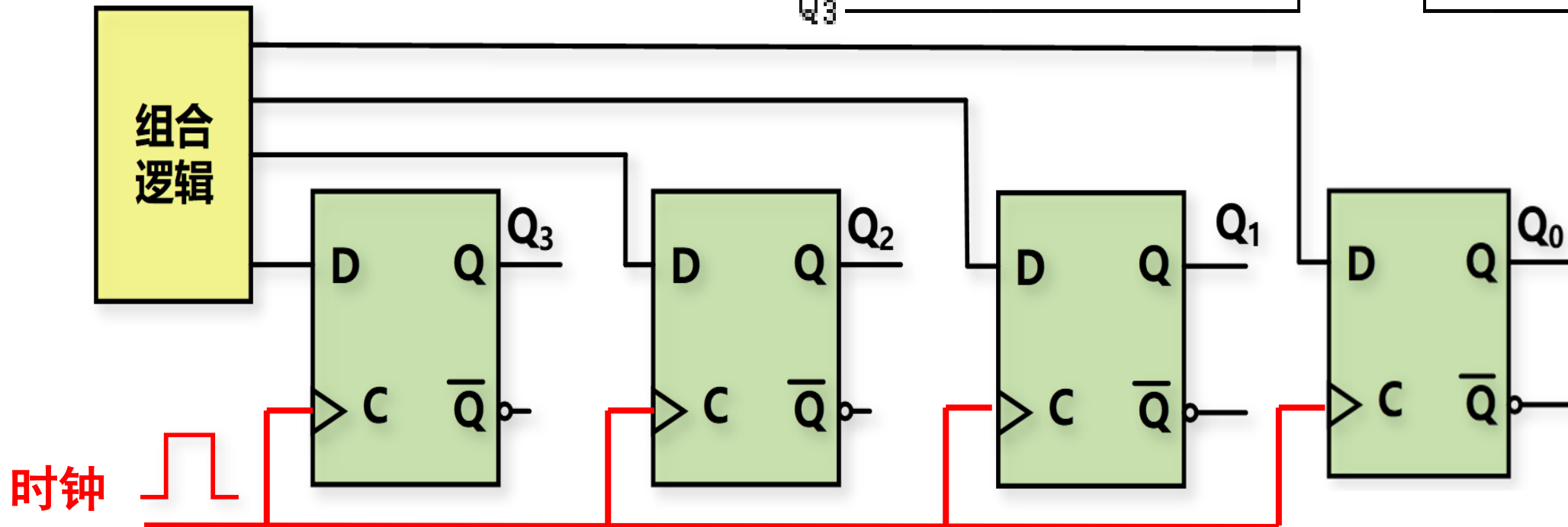
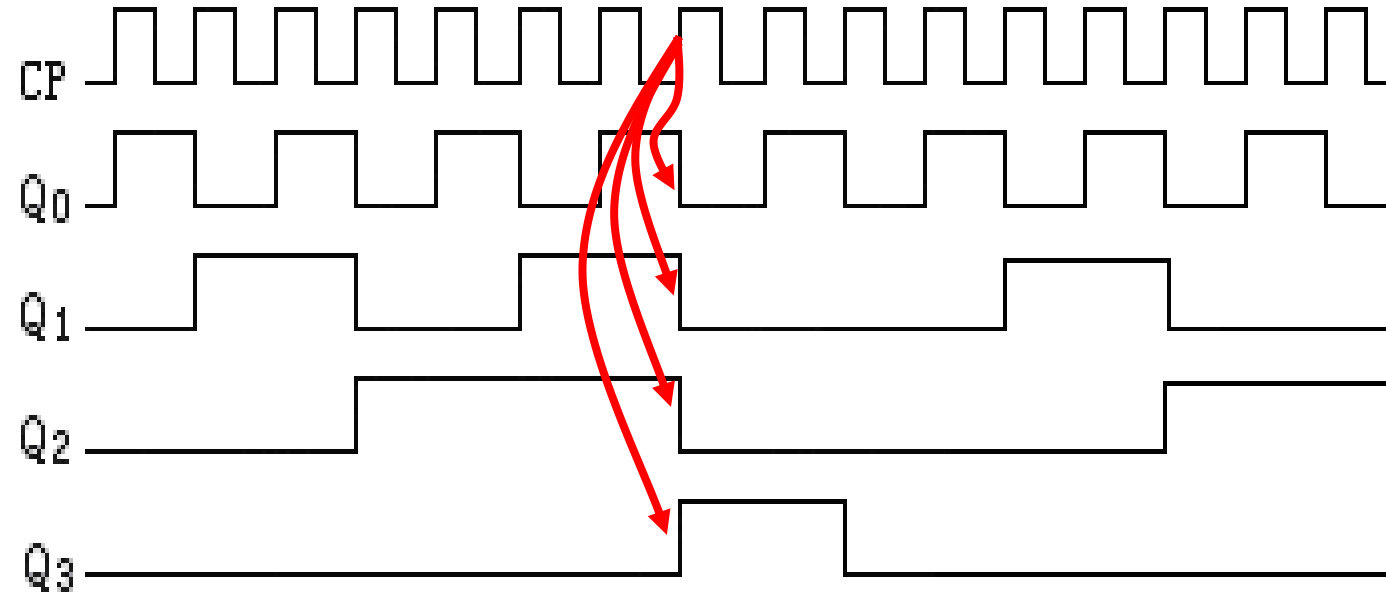
- 竞争和冒险对D触发器的影响

- 时钟、置数、清零端对“毛刺”敏感
- 数据端、使能端对“毛刺”不敏感
- 尽量将组合逻辑输出连到数据端或使能端，以避免误翻转

3.使用触发器设计时序逻辑电路

(2) 同步

- 所有触发器的时钟输入端连接在一起
- 所有触发器的状态同时改变





3.使用触发器设计时序逻辑电路

S1.列出状态真值表

现态				次态				激励信号			
Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	1	0	0	0	1	0
0	0	1	0	0	0	1	1	0	0	1	1
0	0	1	1	0	1	0	0	0	1	0	0
0	1	0	0	0	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1	1	0
0	1	1	0	0	1	1	1	0	1	1	1
0	1	1	1	1	0	0	0	1	0	0	0
1	0	0	0	1	0	0	1	1	0	0	1
1	0	0	1	0	0	0	0	0	0	0	0

3.使用触发器设计时序逻辑电路

S2.求激励方程、输出方程

$$Q_0^{n+1} = D_0 = \overline{Q_0^n}$$

Truth Table for Q_1^{n+1} :

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_3^n Q_2^n$	00	0	1	0	1
	01	0	1	0	1
	11	0	0	0	0
	10	0	0	0	0

$$Q_1^{n+1} = D_1 = \overline{Q_3^n} \cdot Q_1^n \oplus Q_0^n$$

Truth Table for Q_2^{n+1} :

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_3^n Q_2^n$	00	0	0	1	0
	01	1	1	0	1
	11	0	0	0	0
	10	0	0	0	0

$$Q_2^{n+1} = D_2 = \overline{Q_3^n} \cdot (Q_2^n \oplus Q_1^n Q_0^n)$$

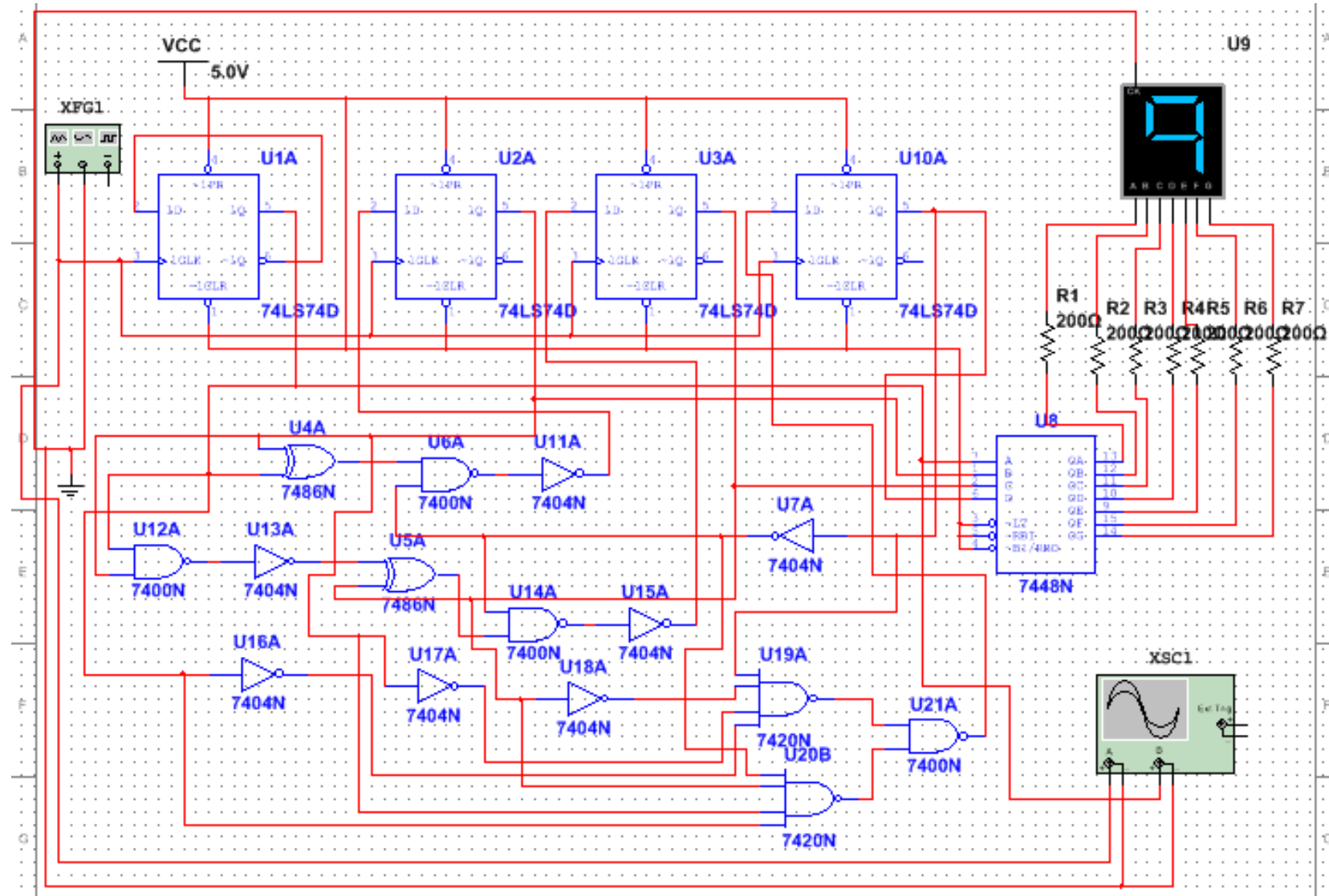
3.使用触发器设计时序逻辑电路

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_3^n Q_2^n$	00	0	0	0	0
	01	0	0	1	0
	11	0	0	0	0
	10	1	0	0	0

$$Q_3^{n+1} = D_3 = \overline{\overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}} \cdot \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}$$

3.使用触发器设计时序逻辑电路

S3.画出逻辑电路——Multisim仿真结果-同步时钟

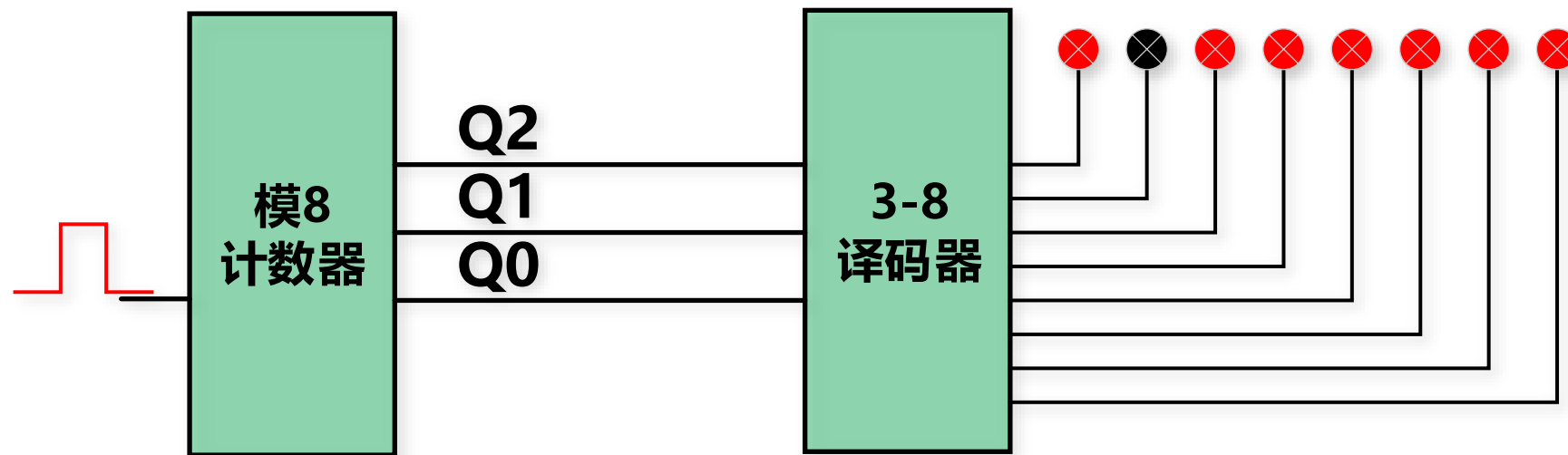


1、广告流水灯（第 11 周课内验收）

- 用触发器、组合函数器件和门电路设计一个广告流水灯，该流水灯由 8 个 LED 组成，工作时始终为 1 暗 7 亮，且这一个暗灯循环右移。
 - 1) 写出设计过程，画出设计的逻辑电路图，按图搭接电路
 - 2) 将单脉冲加到系统时钟端，静态验证实验电路
 - 3) 将 TTL 连续脉冲信号加到系统时钟端，用示波器观察并记录时钟脉冲 CP、触发器的输出端 Q_2 、 Q_1 、 Q_0 和 8 个 LED 上的波形

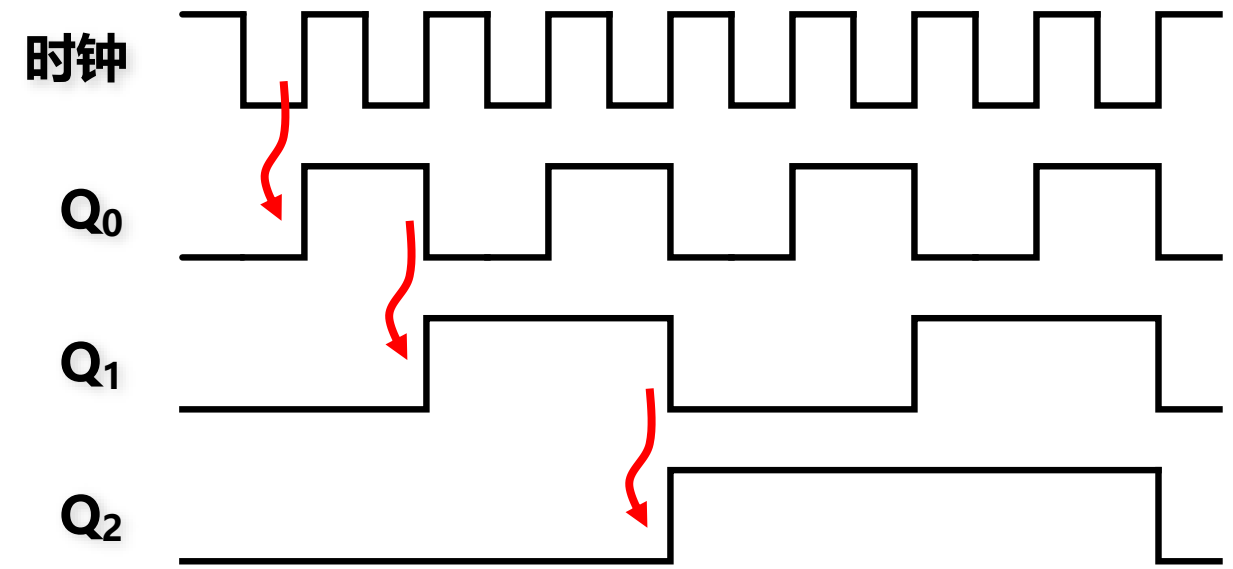
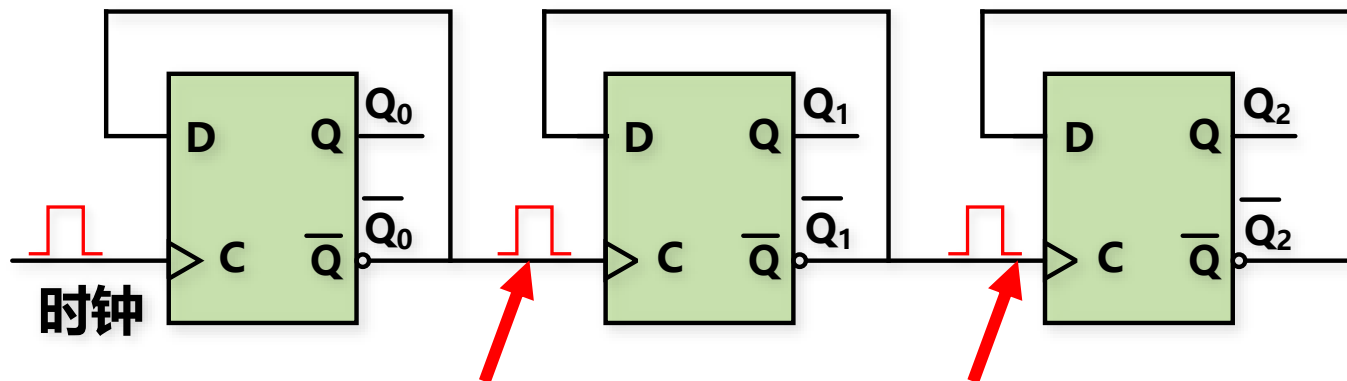
● 设计提示

- 流水灯有8个状态，需要3个触发器构成模8计数器
- 模8计数器可以是同步计数器，也可以是异步串行计数器
- 3位二进制计数值转8位输出，可通过3-8译码器实现



(1) 用D触发器设计异步计数器

- 将一个触发器的输出作另一个触发器的时钟输入
- 触发器逐级翻转，有先有后
- 电路简单



(2) 用D触发器设计同步计数器

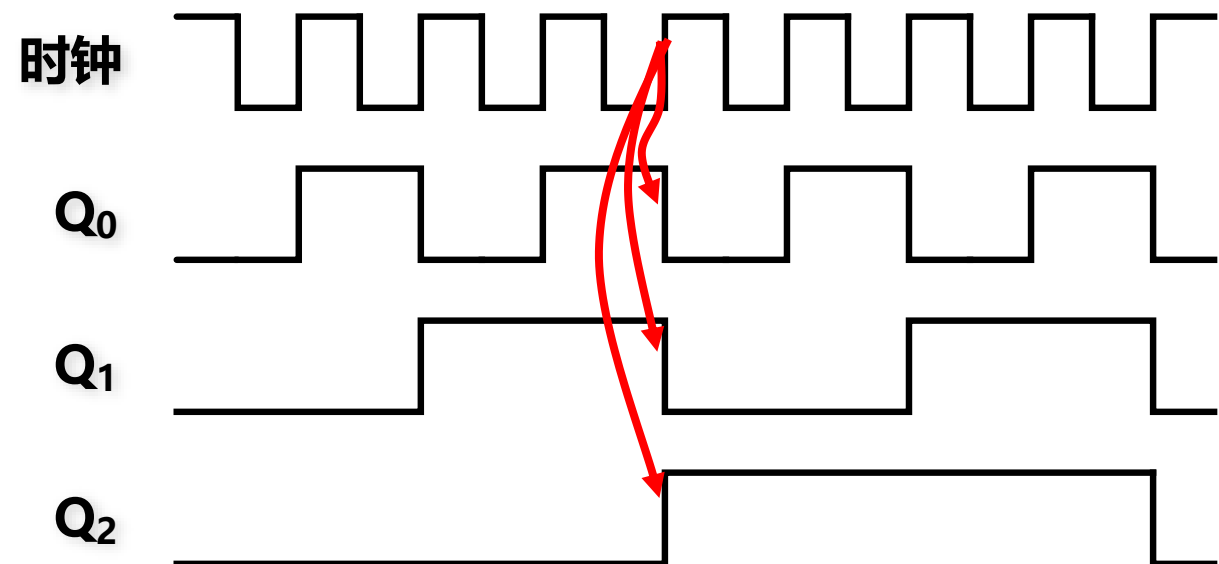
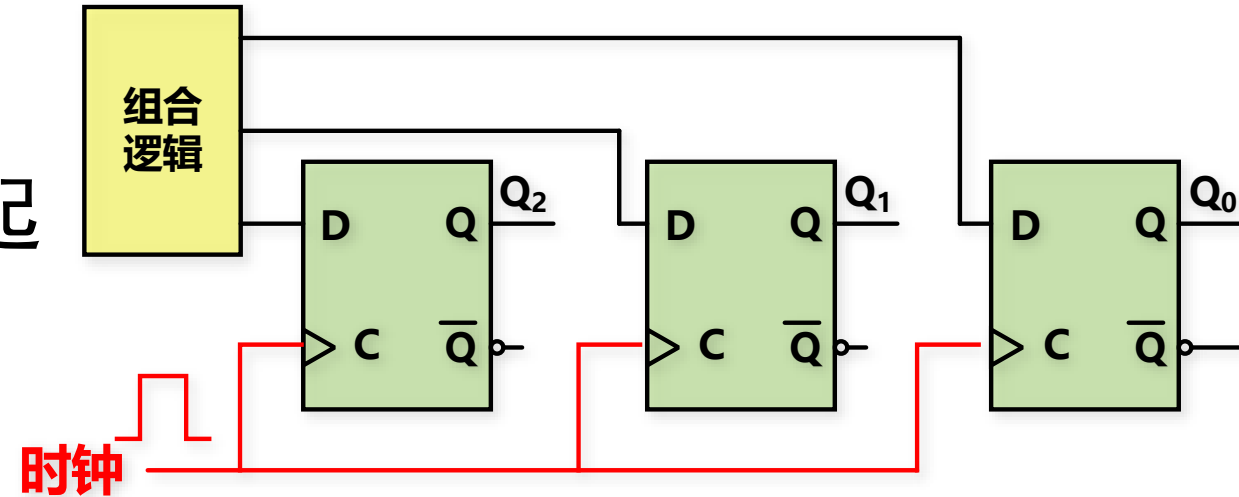
- 所有触发器的时钟输入端连接在一起
- 所有触发器的状态同时改变
- 2^N 计数器各级触发器的特征方程

$$Q_i^{n+1} = Q_i^n \oplus (Q_{i-1}^n \cdot Q_{i-2}^n \cdots Q_1^n \cdot Q_0^n \cdot 1)$$

$$Q_0^{n+1} = Q_0^n \oplus 1 = \overline{Q_0^n}$$

$$Q_1^{n+1} = Q_1^n \oplus (Q_0^n \cdot 1) = Q_1^n \oplus Q_0^n$$

$$Q_2^{n+1} = Q_2^n \oplus (Q_1^n \cdot Q_0^n)$$



4.时序逻辑电路调试

➤ 调试之前，要了解电路中所有的器件功能

- 使能端、清零端、置位端的使能电平是什么
- 时钟端是上升沿触发还是下降沿触发
- 电路的初始状态是什么
- 自启动特性如何
- 大致画出各部分电路的状态转移图和时序关系图

➤ 常用的时序电路的调试方法主要有两种

- 静态(单步)调试
- 动态调试

4.时序逻辑电路调试

◆静态调试——广告流水灯

▶ 先模块，后整体

▶ 计数器单元

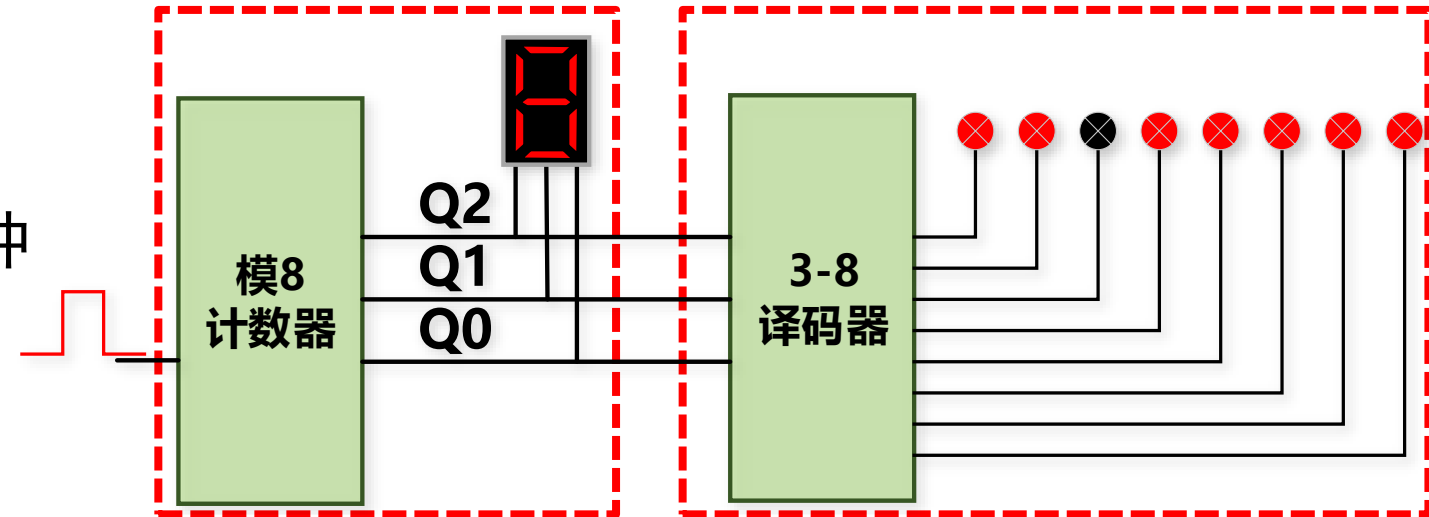
- 触发器输出接至数码管上
- 触发器时钟接消抖处理过的单次脉冲
- 按动单脉冲按钮，验证计数器功能

▶ 译码器单元

- 使能端 $ST_A ST_B ST_C$ 要接“100”
- 地址端接逻辑电平开关
- 拨动逻辑电平开关，验证译码器功能

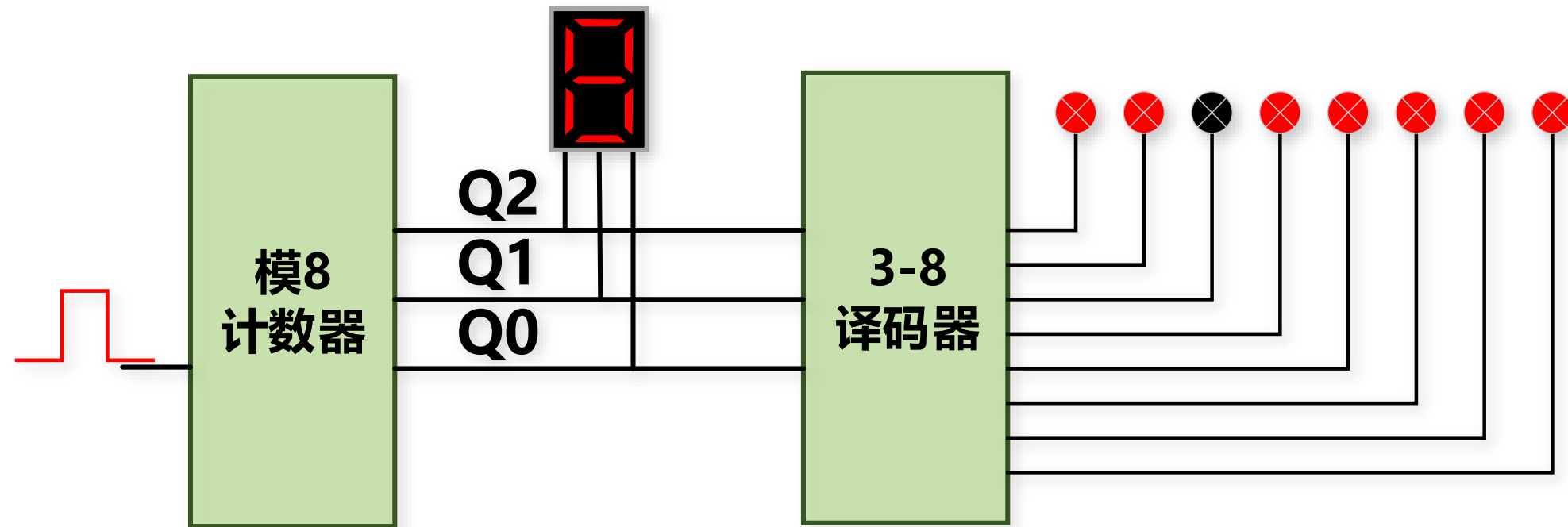
▶ 整体调试

- 将触发器的输出接到译码器的地址端，注意高低位的顺序
- 按动单脉冲按钮，验证流水灯功能

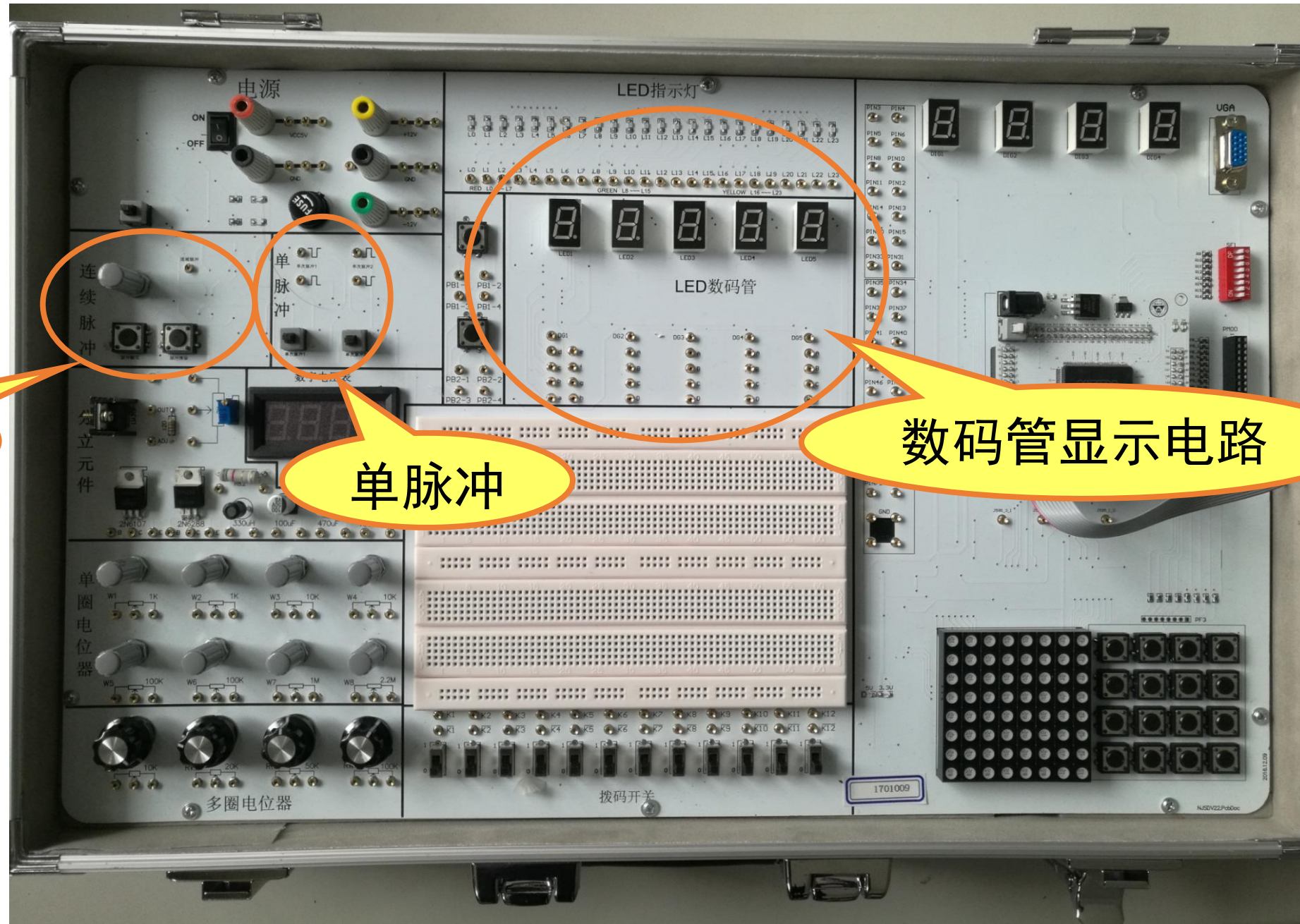


4.时序逻辑电路调试

- ▶ 如电路存在故障，则按动单脉冲按钮到故障状态
- ▶ 用组合电路的调试方法，逐级进行检查，找出故障点
- ▶ 注意集成触发器、译码器的使能端、清零端、置位端



电子技术/ISP综合实验箱平面图



连续脉冲

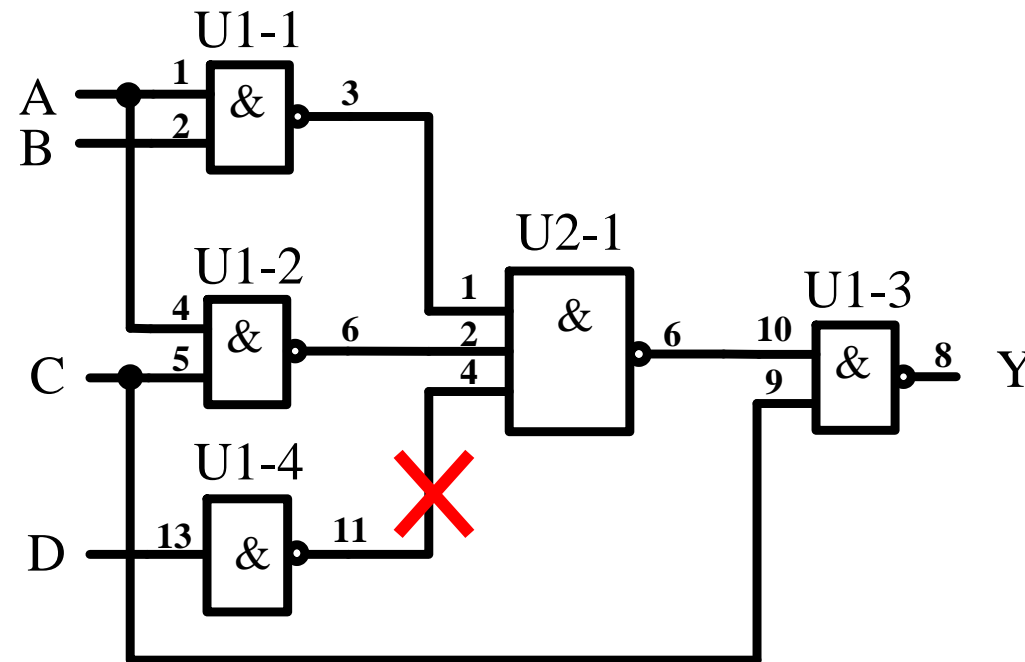
单脉冲

数码管显示电路

➤ 人为制造故障：将U1-4的11脚与U2-1的4脚断开

- 将输入逻辑开关“ABCD”置在“0011”状态，根据真值表，输出应为“0”，即逻辑电平指示灯应该灭
- 实际输出逻辑电平指示灯是亮，电路存在故障

0	0	1	1	0
---	---	---	---	---



➤ 用万用表从后向前测各点的电平并与理论值比较

1) 最后一级2输入与非门 (U1-3)

- 理论分析:

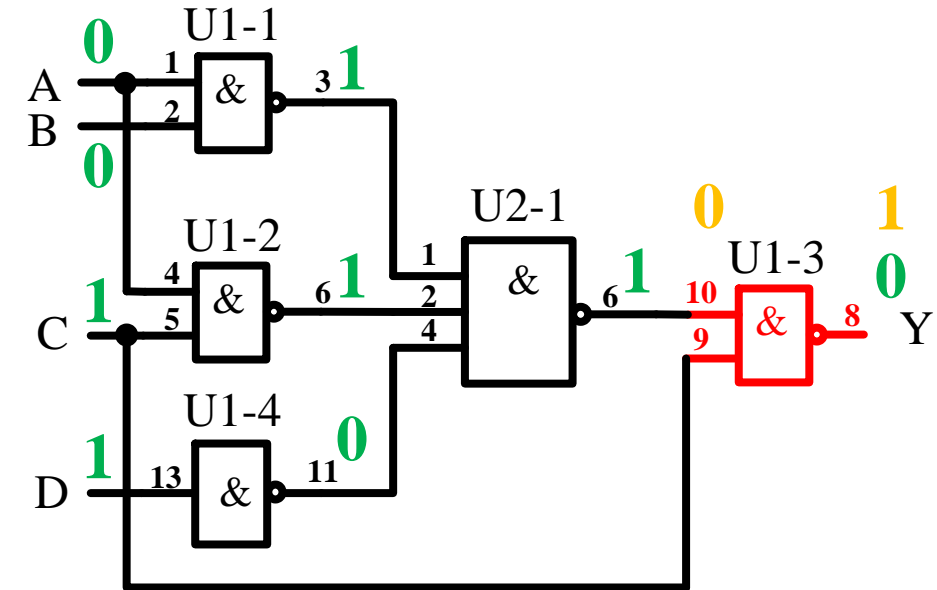
- 输入 U1-3输出 (U1-3 8脚) 应为 “0”
- 输入 U1-3的9、10脚应为 “1”

- 万用表实测

- U1-3 8、9脚对地电压，约为5V，等效逻辑 “1”，9脚信号正确
- U1-3 10脚对地电压，约为0V，等效逻辑 “0”，信号错误

- 结论

- 因为U1-3 10脚连接到4输入与非门输出 (U2-1 6脚)，排查U2-1



2) 排查 4 输入与非门 U2-1

- 理论分析:

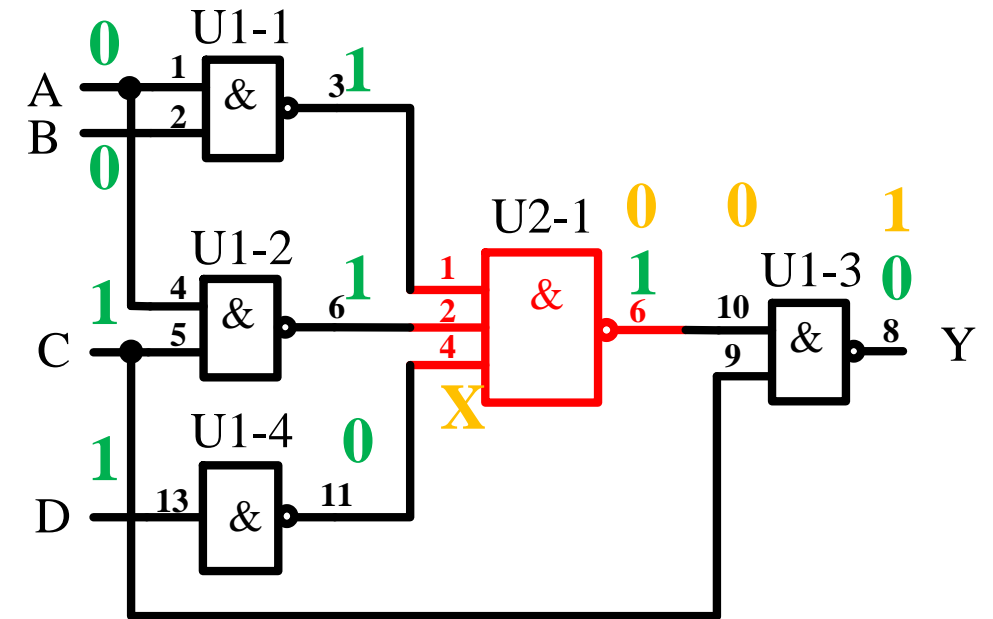
- 如 U2-1 6 脚为 “1”，则 U2-6 脚和 U1-10 之间的连线有问题
- 如 U2-1 6 脚为 “0”，则需检查 U2-1 的 4 个输入信号
- 根据原理图，U2-1 1、2、5 脚都应为 “1”，4 脚应为 “0”

- 万用表实测论

- U2-1 1、2、5 脚对地电压，约为 5V，等效逻辑 “1”，1、2、5 脚信号正常
- U2-1 4 脚对地电压，约为 0~1V，等效逻辑 “X”，信号错误

- 结论

- 因为 U2-1 4 脚信号连接到 2 输入与非门输出(U1-4 11 脚)，需排查 U1-4



3) 排查 2 输入与非门 U1-4

- 理论分析:

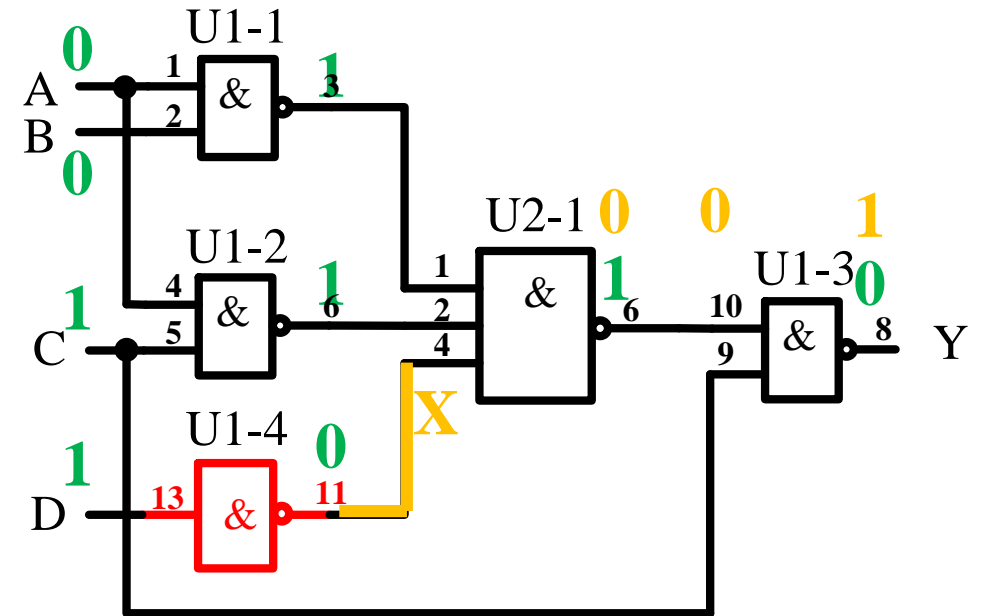
- 如 U1-4 11 脚为 “0”，则 U1-4 11 脚和 U2-1 4 脚之间的连线有问题
- 如 U1-4 11 脚为 “1”，则需检查 U1-4 的 2 个输入信号

- 万用表实测论

- U1-4 11 脚对地电压，约为 0V，等效逻辑 “0”，信号正常

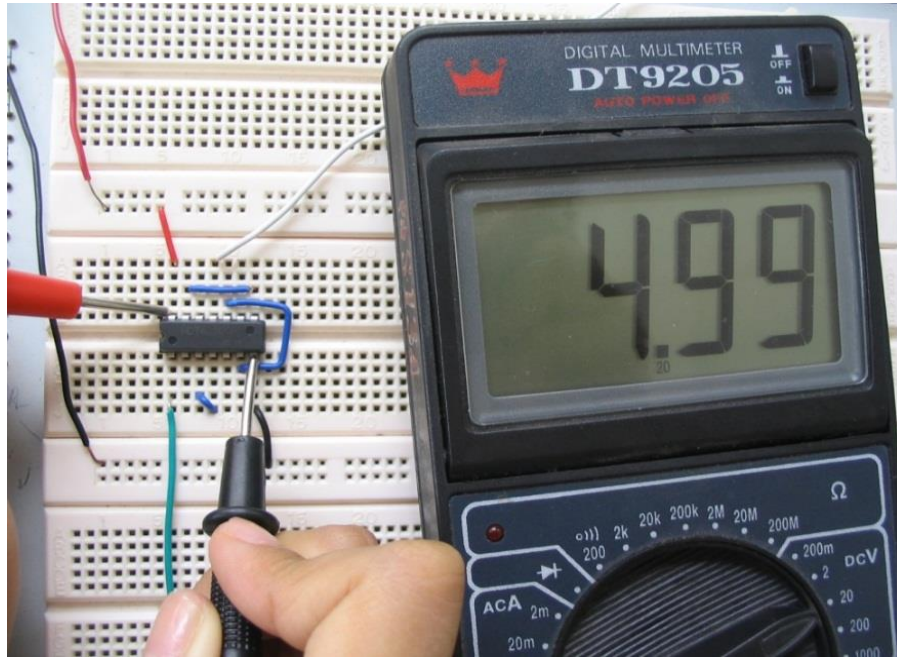
- 结论

- U1-4 11 脚和 U2-1 4 脚之间的连线有问题

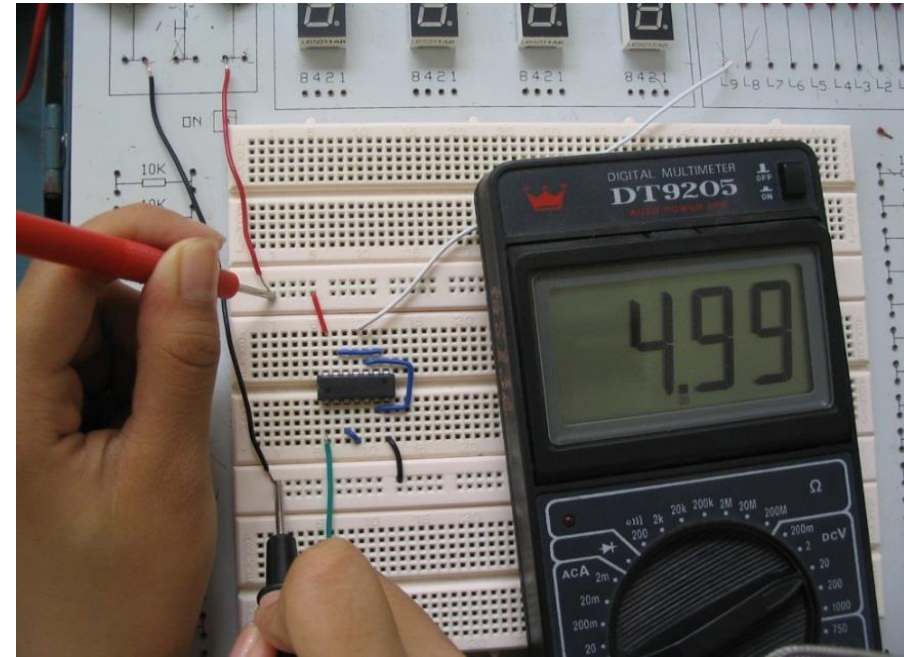


通电调试

- 稳压电源的输出接到实验电路
- 万用表直流电压档测量集成芯片电源端和地线两引脚之间的电压



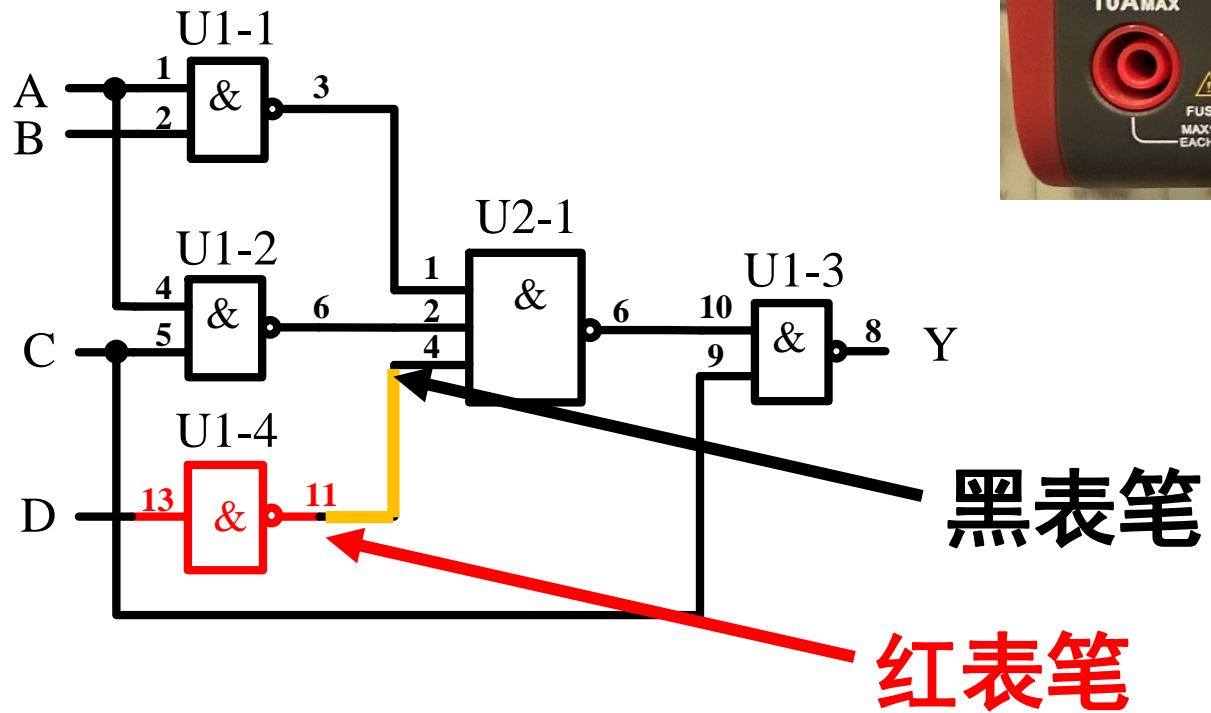
正确



错误

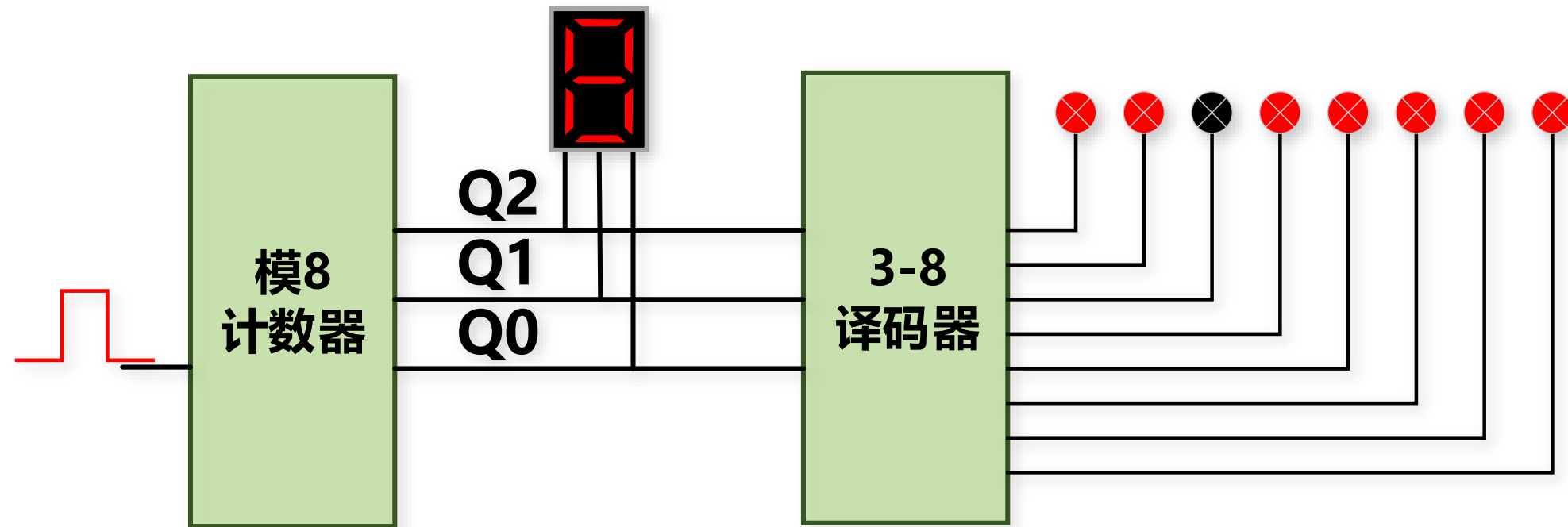
测试方法：用万用表由后向前逐级检查，测量每个节点的电压测量的时候一定要注意尽量**直接测量集成电路的管脚上的电压**

万用表测量电路导通性



4.时序逻辑电路调试

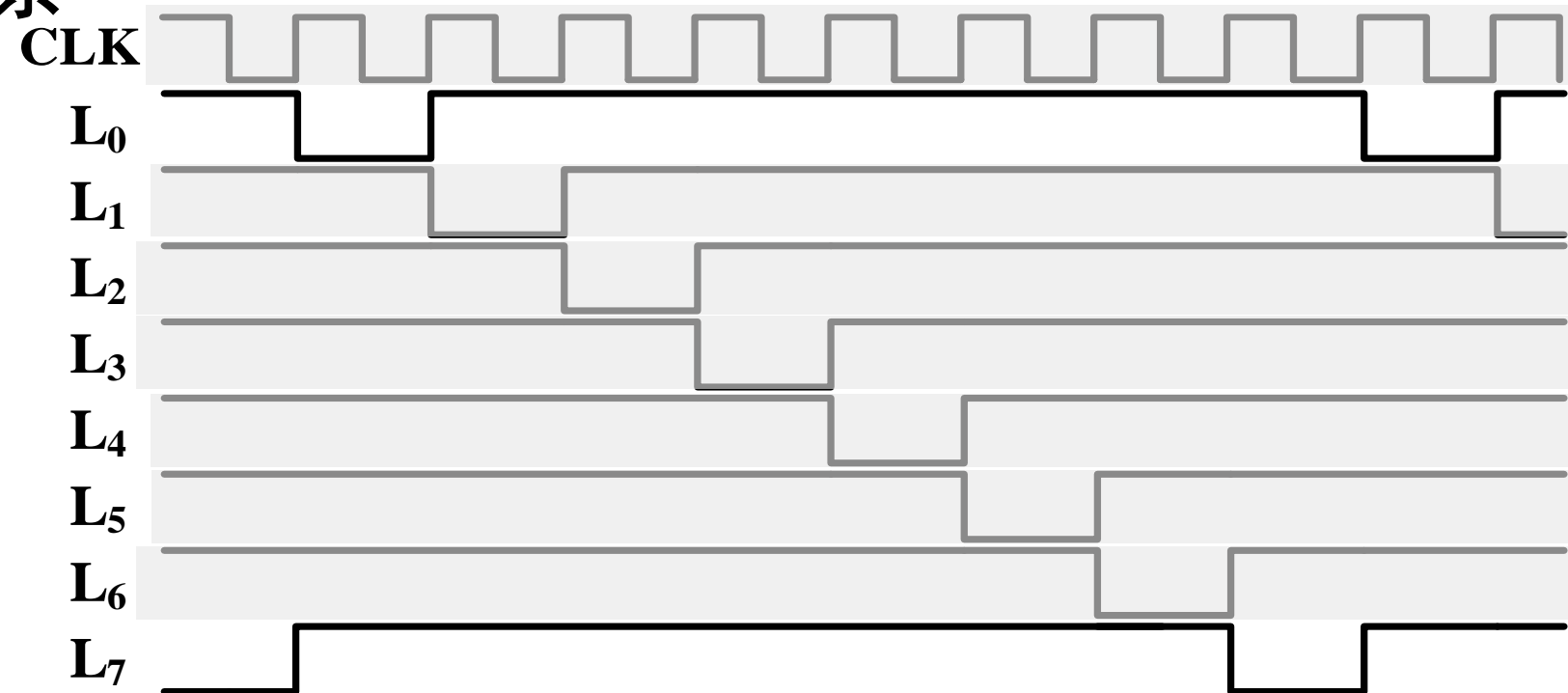
- ▶ 如电路存在故障，则按动单脉冲按钮到故障状态
- ▶ 用组合电路的调试方法，逐级进行检查，找出故障点
- ▶ 注意集成触发器、译码器的使能端、清零端、置位端



4.时序逻辑电路调试

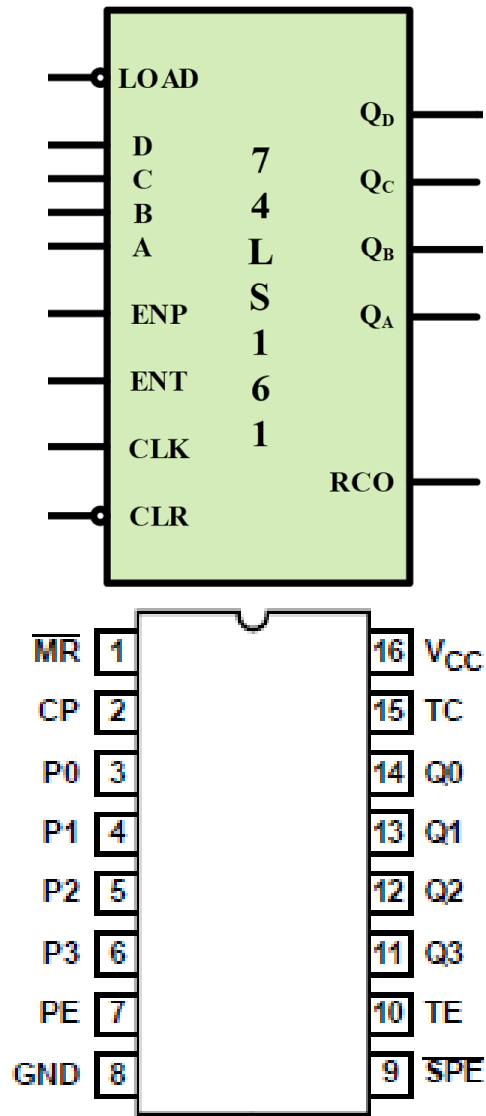
◆动态调试——广告流水灯

- ▶ 触发器时钟接连续脉冲信号
- ▶ 时钟和 L_0 分别CH1和CH2通道，记录波形
- ▶ L_0 作为参考信号接CH1通道， L_1 接CH2通道，记录 L_0 和 L_1 波形
- ▶ L_0 接CH1通道不变，依次将 L_2 到 L_7 接CH2通道，记录波形
- ▶ 汇总波形，记录到同一坐标系



5. 二进制计数器

◆ 4位二进制计数器 74161



输 入									输 出			
CLR	LOAD	ENT	ENP	CLK	A	B	C	D	Q _A	Q _B	Q _C	Q _D
0	×	×	×	×	×	×	×	×	0	0	0	0
1	0	×	×	↑	a	b	c	d	a	b	c	d
1	1	1	1	↑	×	×	×	×	计 数			
1	1	0	×	×	×	×	×	×	保 持			
1	1	×	0	×	×	×	×	×	保 持			

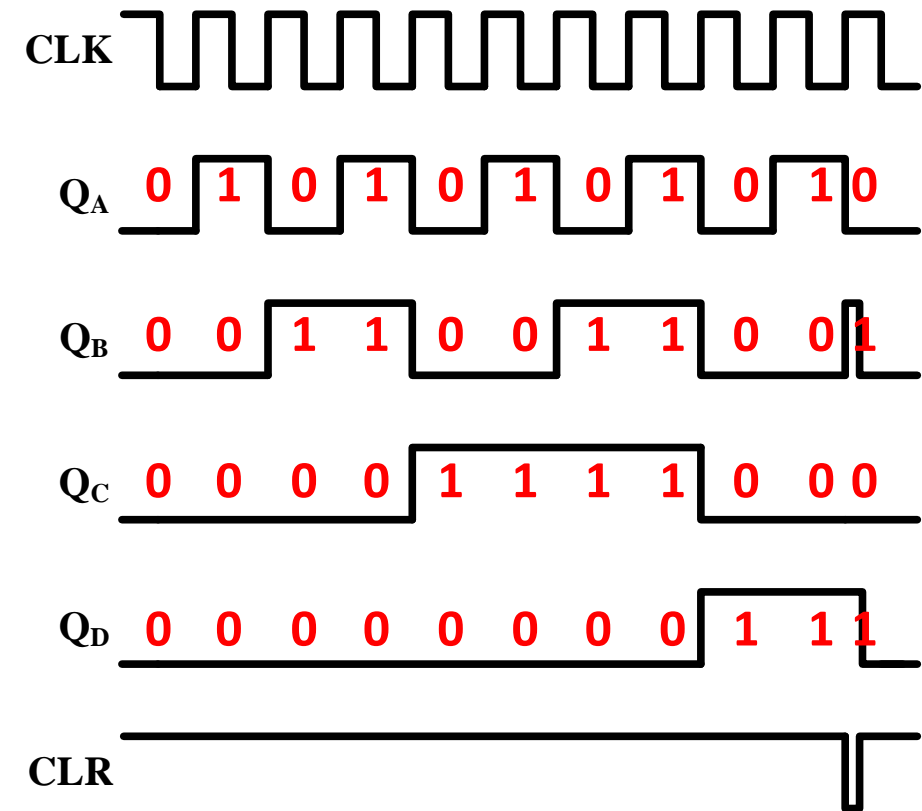
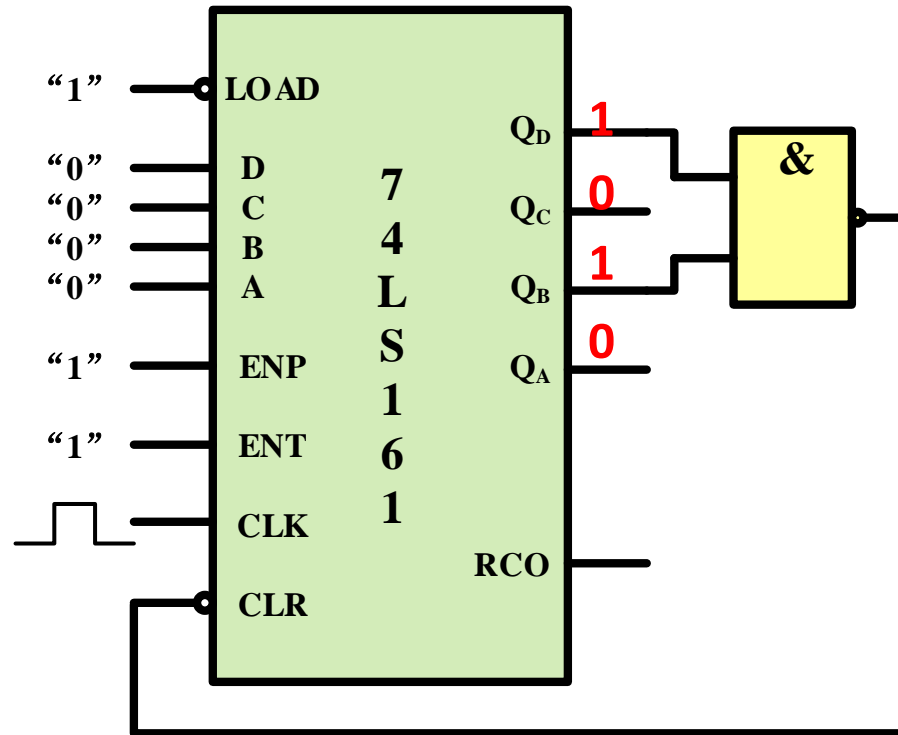
- CLR=0时异步清零；
- CLR=1、LOAD=0时同步置数；
- CLR=LOAD=1且ENT=ENP=1时，按照4位二进制码进行同步计数；
- CLR=LOAD=1且ENT ENP=0时，计数器状态保持不变。

5. 二进制计数器

应用

(1) 计数器——异步清零

模10

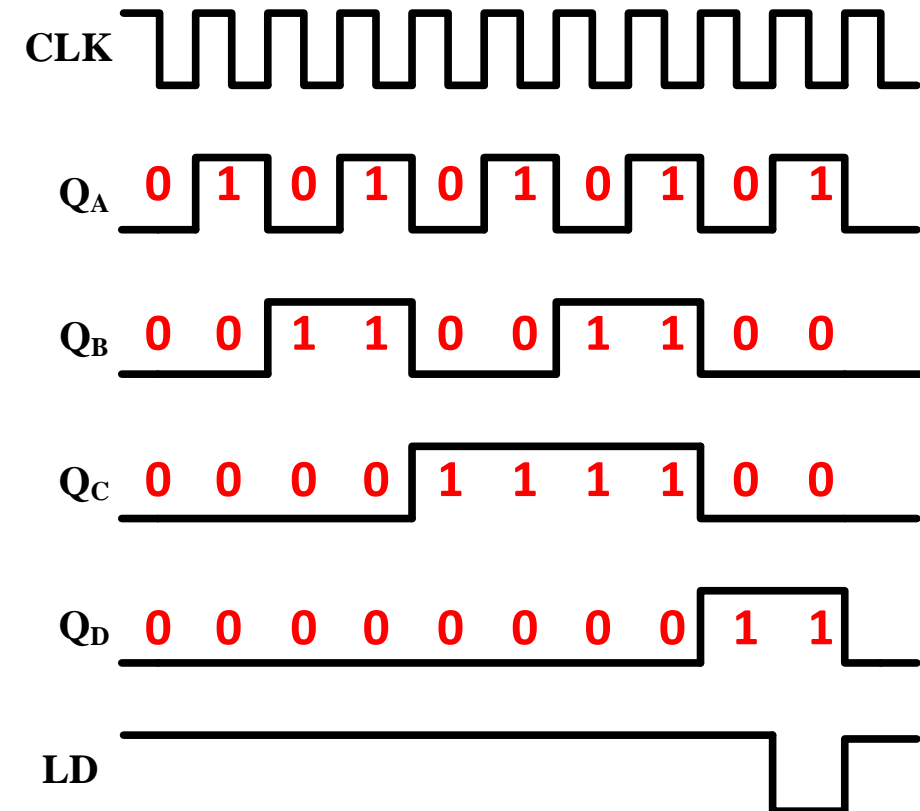
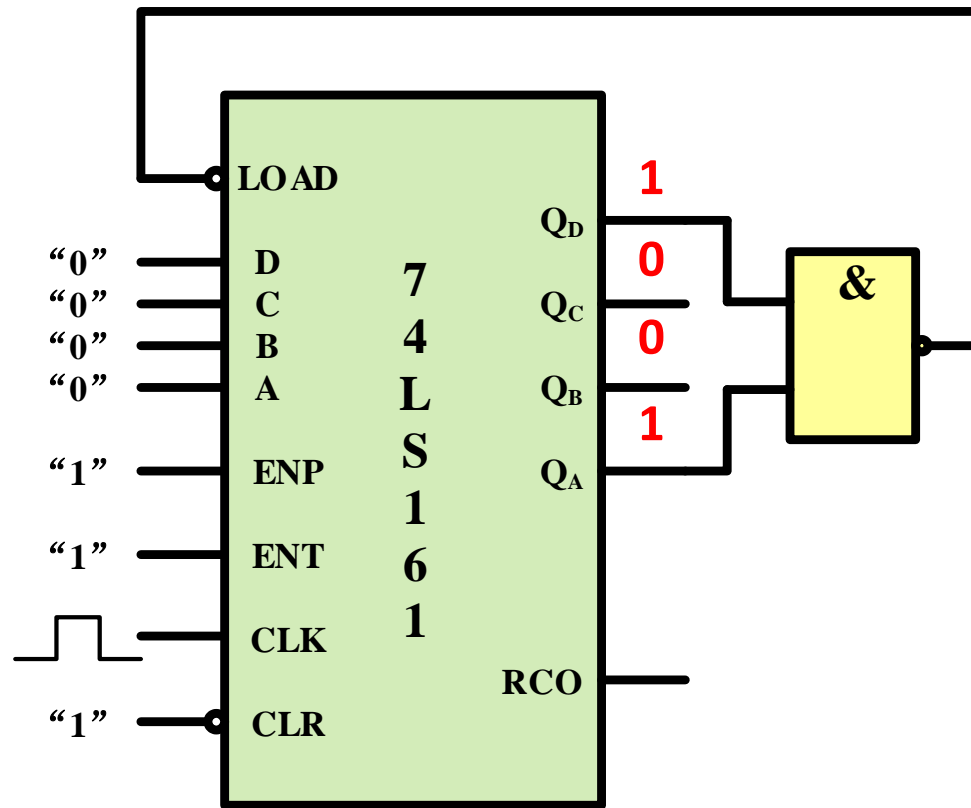


5. 二进制计数器

应用

(1) 计数器——同步置零

模10

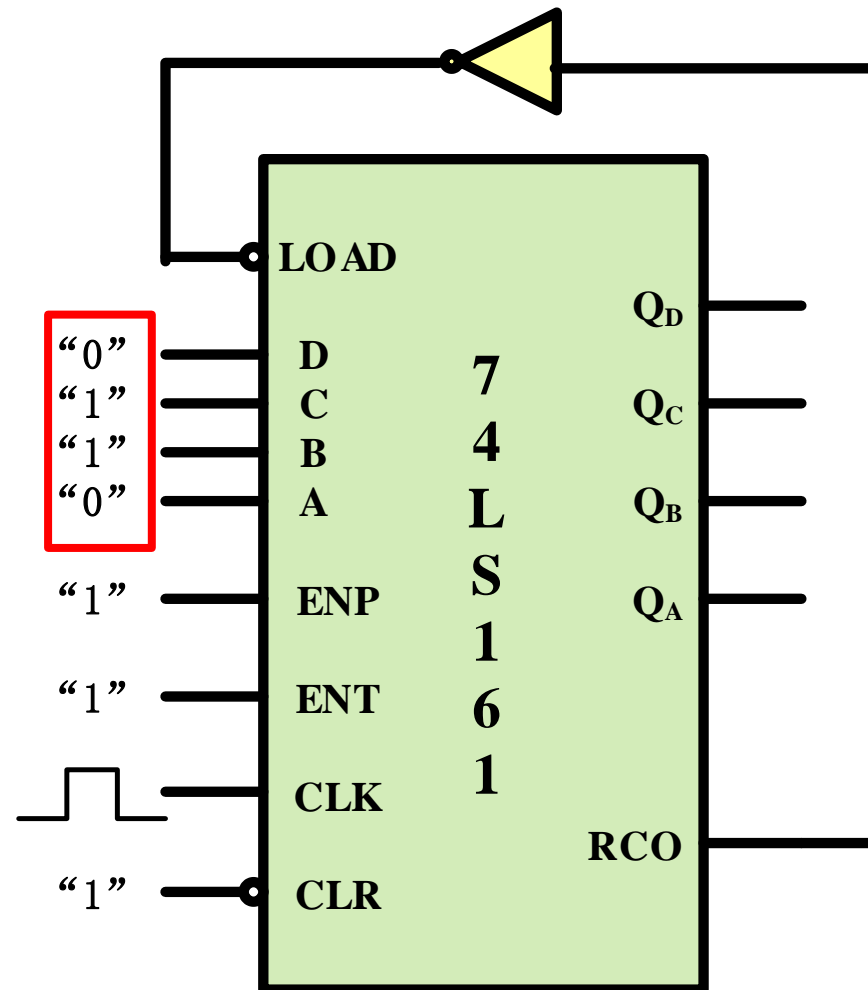


5. 二进制计数器

应用

(1) 计数器——同步置数

模10



5. 二进制计数器



◆应用

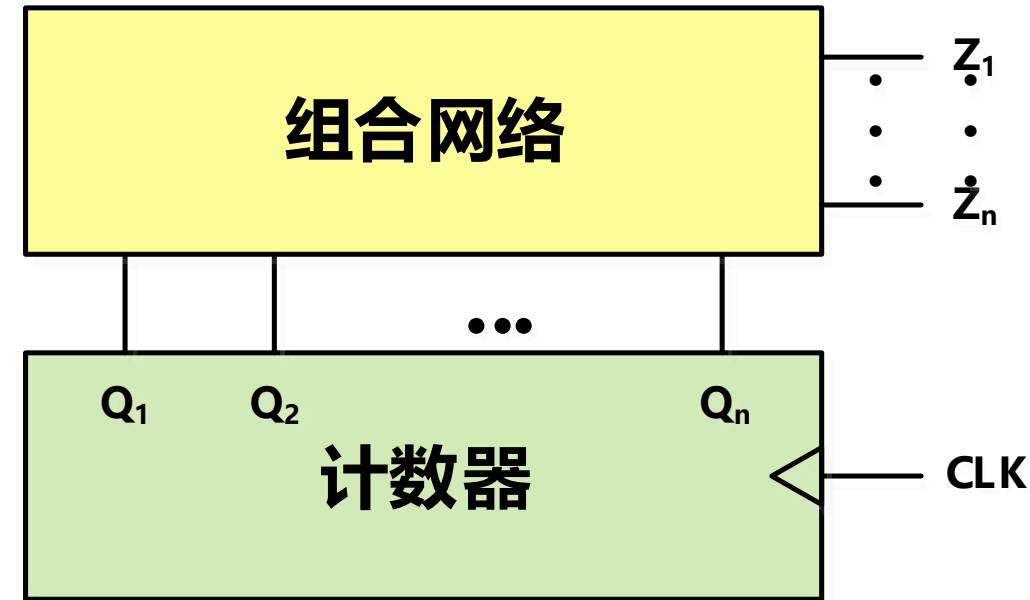
(2) 序列发生器

- 在数字信号的传输和数字系统的测试中，有时需要用到一组特定的**串行**数字信号，通常把这种串行数字信号叫做序列信号
- 能够循环地产生序列信号的电路称为**序列信号发生器**

实现 “01011”序列发生器

5. 二进制计数器

- 由计数器和组合网络构成
- 某些特定的序列也可以直接由计数器产生
- 可以产生一组或多组二值序列
- 常用的设计方法：
 - 根据序列码的长度 M 设计模 M 计数器（状态可以自定）
 - 根据计数器的状态变化和给定的序列码，设计输出组合网络



5. 二进制计数器

➤ 设计

● 计数器部分

实现 “01011”序列发生器

- 模5的计数器
- 排除了冗余状态影响，不需要考虑自启动问题

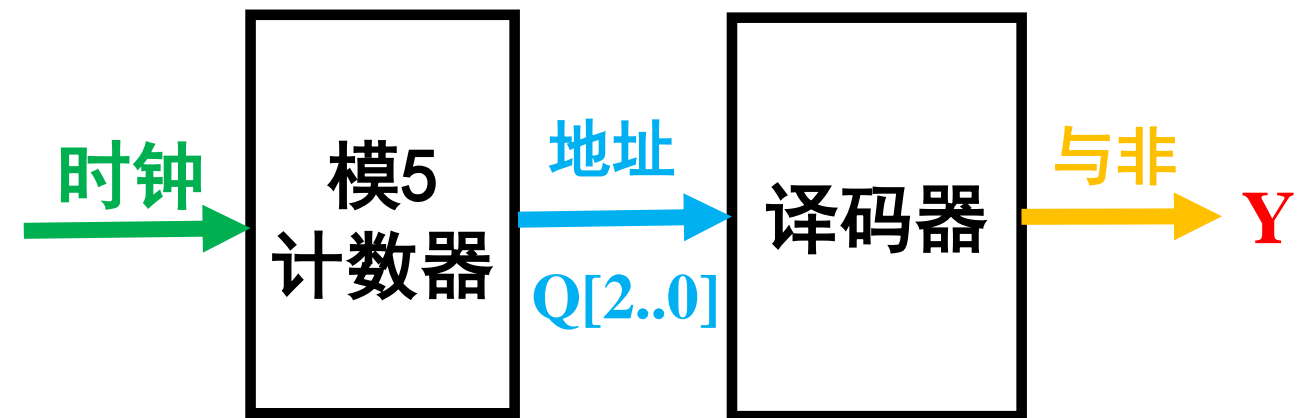
顺序	Q_C	Q_B	Q_A	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1

5. 二进制计数器

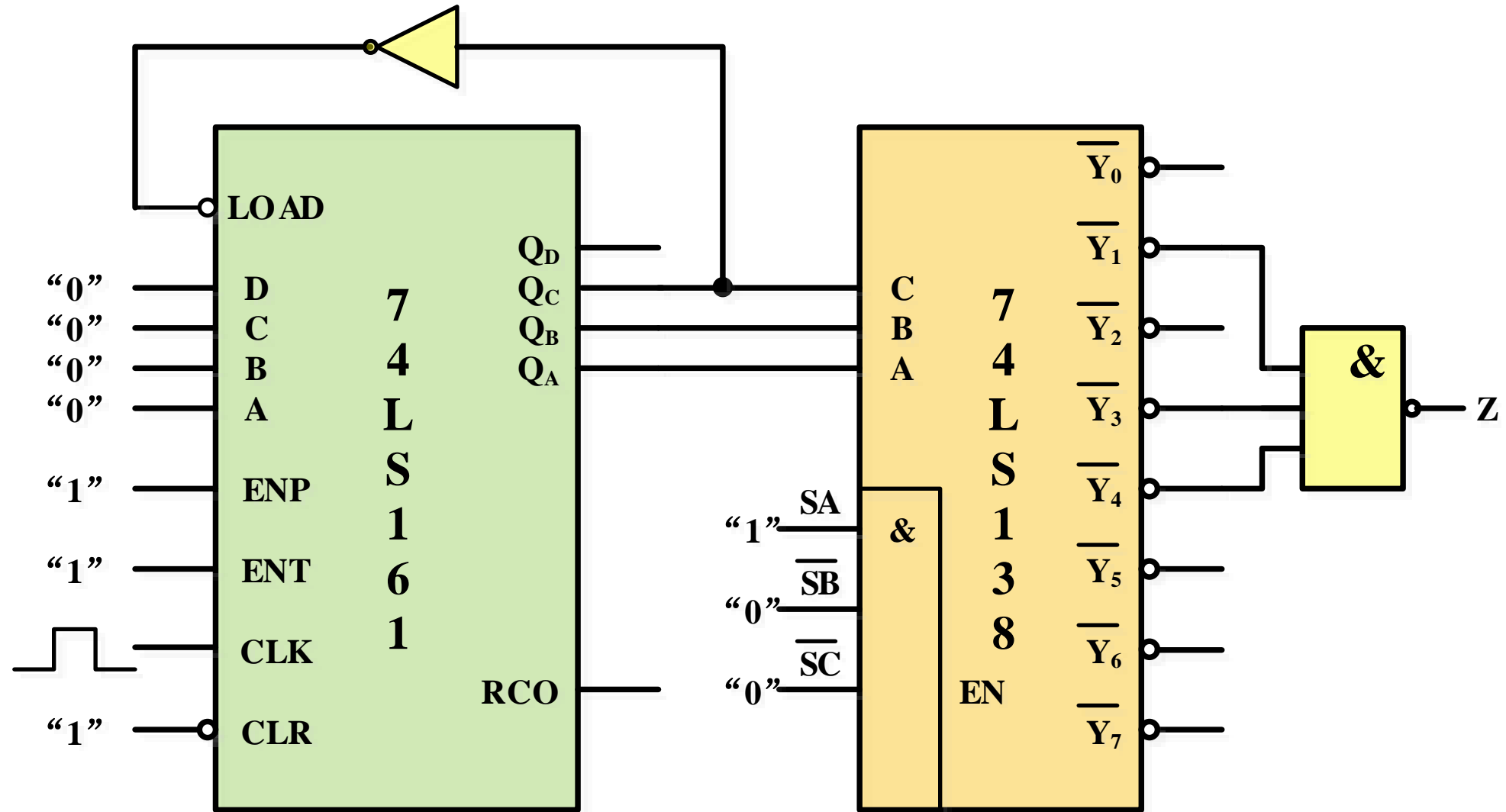
● 组合网络部分

- 门电路
- 3-8译码器——将状态表中**所有Y=1的项**取出来与**非**

顺序	Q_C	Q_B	Q_A	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1



5. 二进制计数器

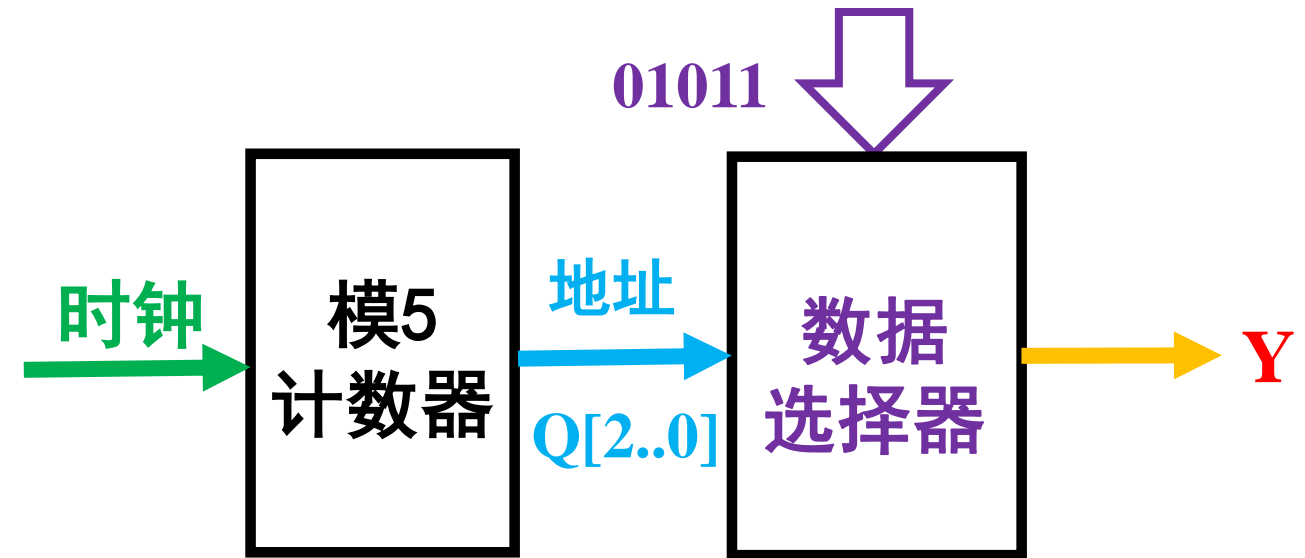


5. 二进制计数器

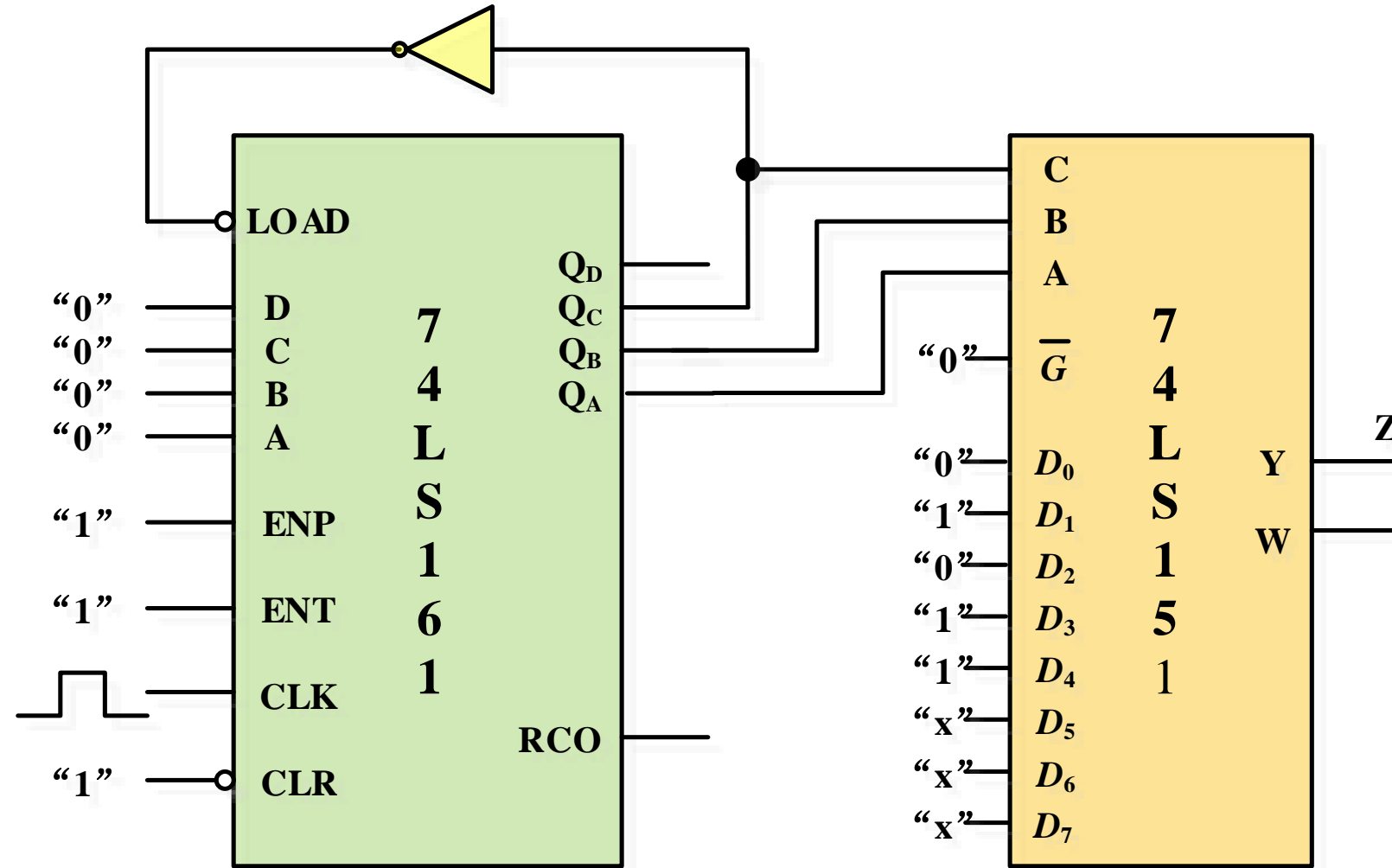
● 组合网络部分

- 门电路
- 3-8译码器——将状态表中**所有Y=1的项取出来与非**
- 数据选择器——将对应数端置“0”或置“1”

顺序	Q_C	Q_B	Q_A	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1



5. 二进制计数器

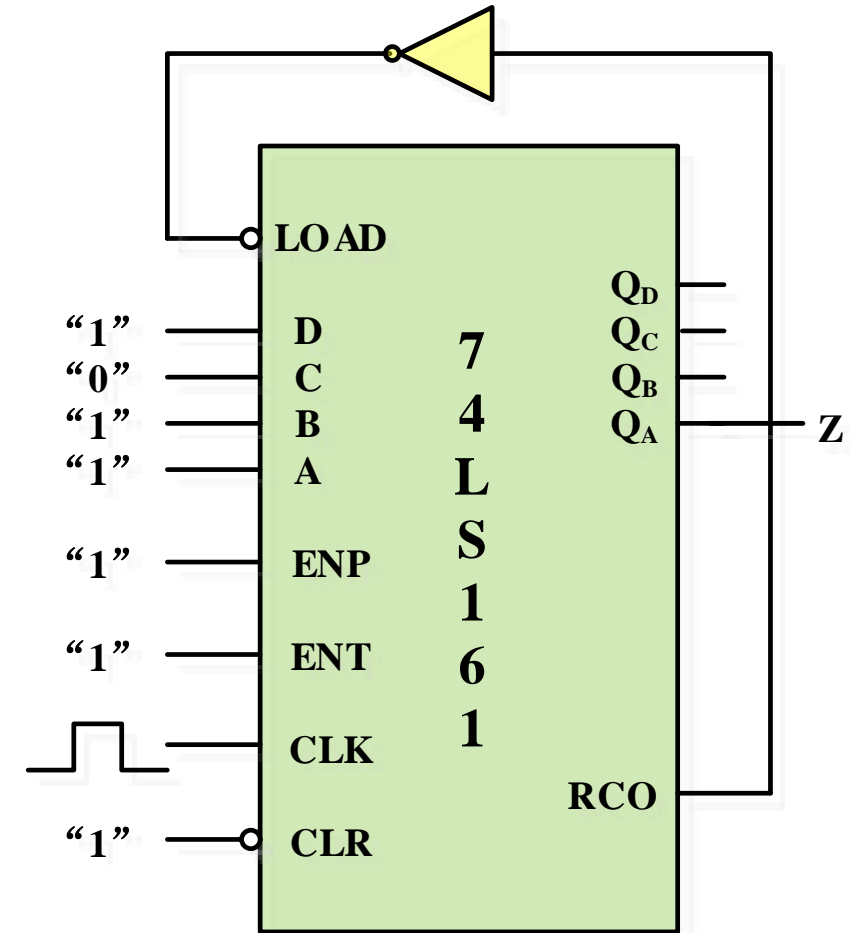


5. 二进制计数器

● 直接通过计数器实现

“01011”序列发生器

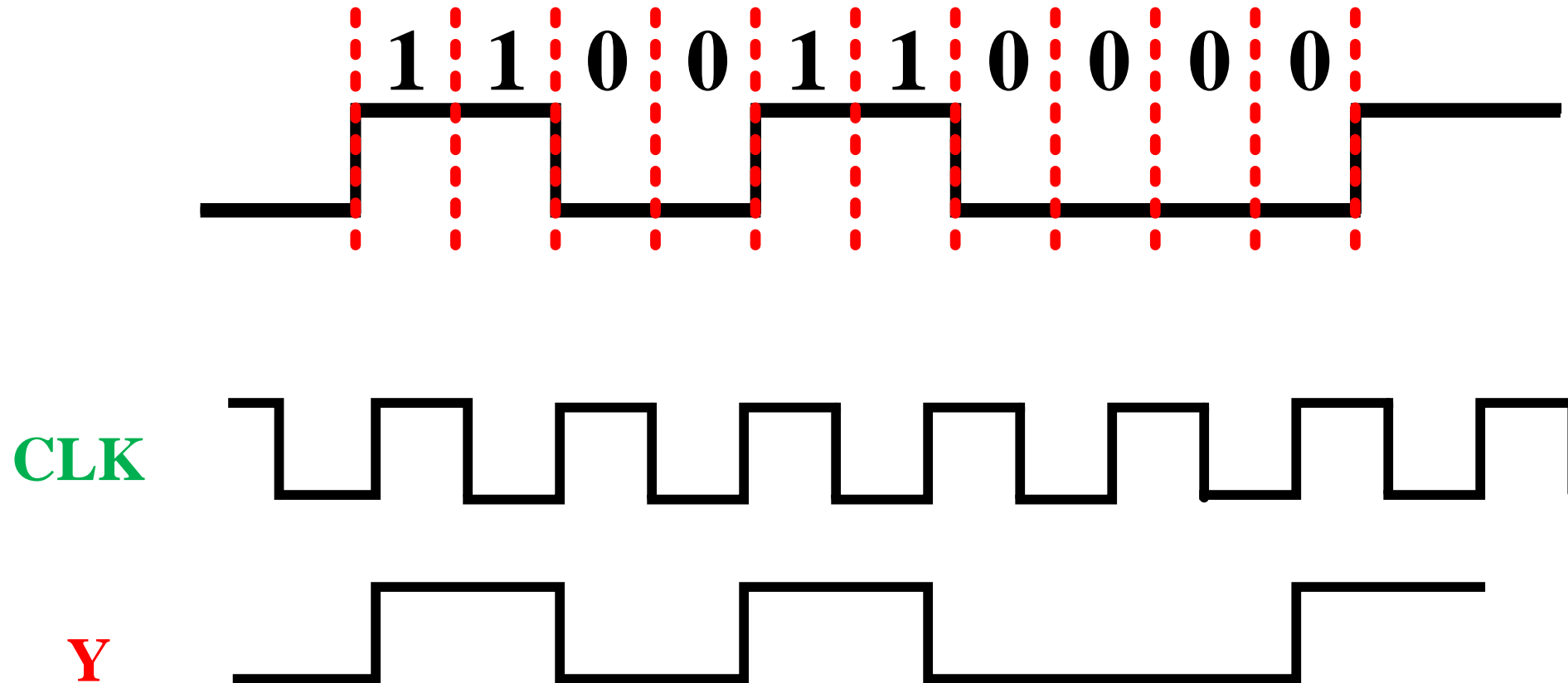
顺序	Q _D	Q _C	Q _B	Q _A	顺序	Q _D	Q _C	Q _B	Q _A
0	0	0	0	0	8	1	0	0	0
1	0	0	0	1	9	1	0	0	1
2	0	0	1	0	10	1	0	1	0
3	0	0	1	1	11	1	0	1	1
4	0	1	0	0	12	1	1	0	0
5	0	1	0	1	13	1	1	0	1
6	0	1	1	0	14	1	1	1	0
7	0	1	1	1	15	1	1	1	1



5. 二进制计数器

➤ 调试（动态）

- 测量的时候一定要用双踪显示



- ◀◆实验目的
- ◀◆相关知识点
- ◀◆**实验内容**
- ◀◆预习要求

1、广告流水灯（第 11 周课内验收）

- 用触发器、组合函数器件和门电路设计一个广告流水灯，该流水灯由 8 个 LED 组成，工作时始终为 1 暗 7 亮，且这一个暗灯循环右移。
 - 1) 写出设计过程，画出设计的逻辑电路图，按图搭接电路
 - 2) 将单脉冲加到系统时钟端，静态验证实验电路
 - 3) 将 TTL 连续脉冲信号加到系统时钟端，用示波器观察并记录时钟脉冲 CP、触发器的输出端 Q_2 、 Q_1 、 Q_0 和 8 个 LED 上的波形

画波形

4.时序逻辑电路调试

◆静态调试——广告流水灯

▶ 先模块，后整体

▶ 计数器单元

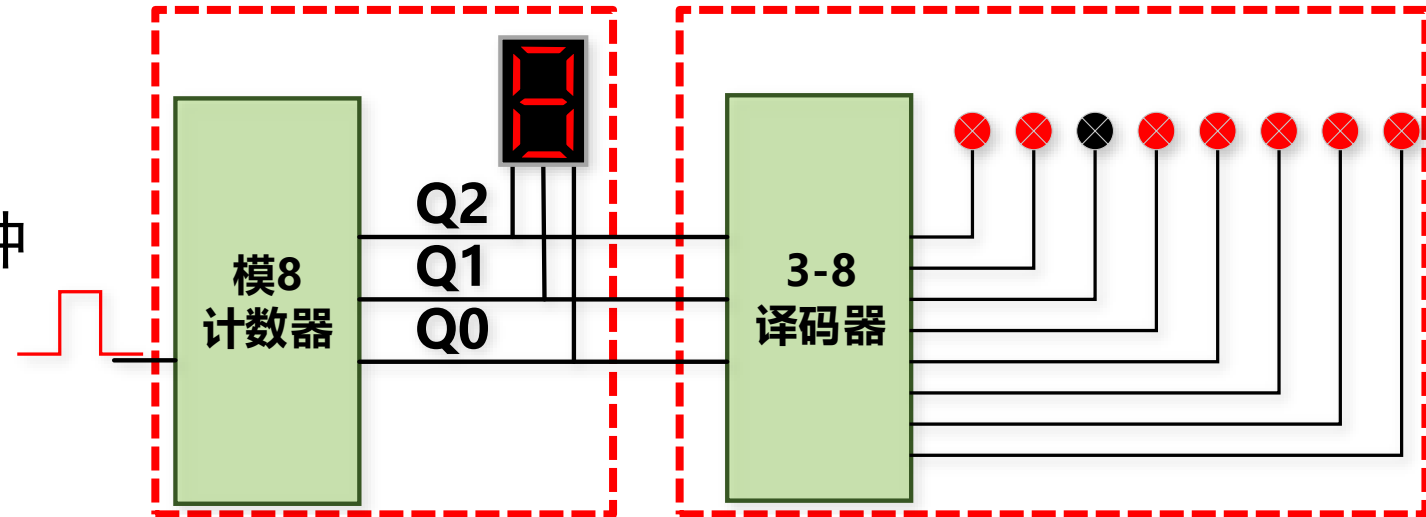
- 触发器输出接至数码管上
- 触发器时钟接消抖处理过的单次脉冲
- 按动单脉冲按钮，验证计数器功能

▶ 译码器单元

- 使能端 $ST_A ST_B ST_C$ 要接“100”
- 地址端接逻辑电平开关
- 拨动逻辑电平开关，验证译码器功能

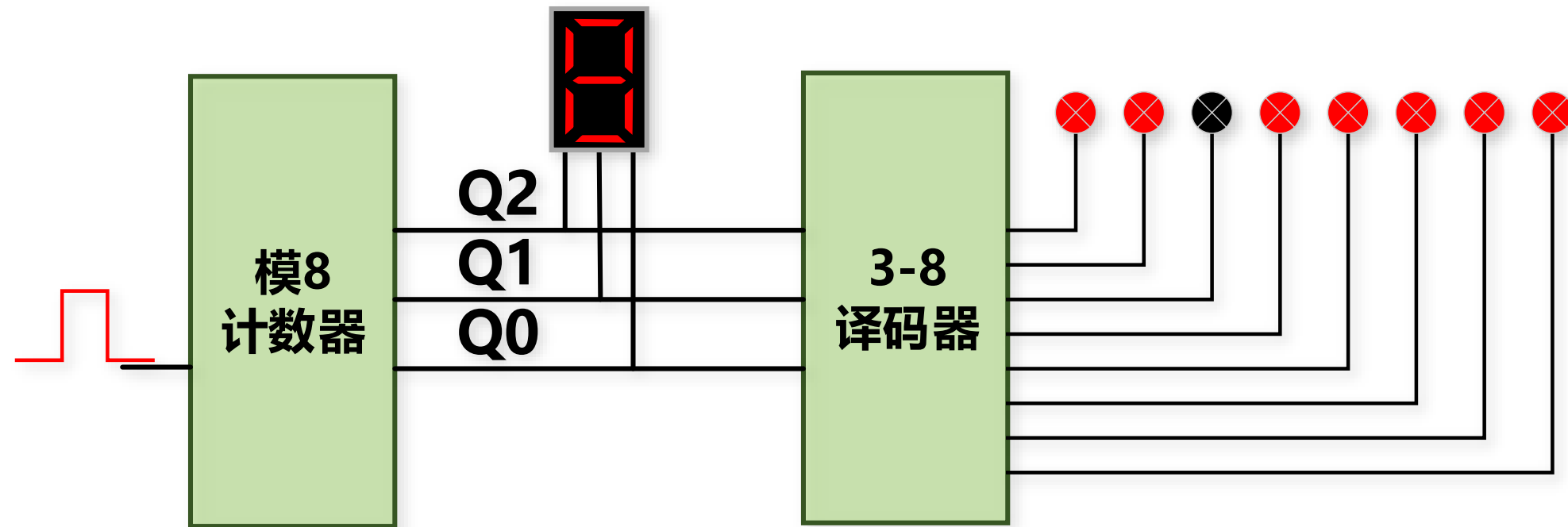
▶ 整体调试

- 将触发器的输出接到译码器的地址端，注意高低位的顺序
- 按动单脉冲按钮，验证流水灯功能



4.时序逻辑电路调试

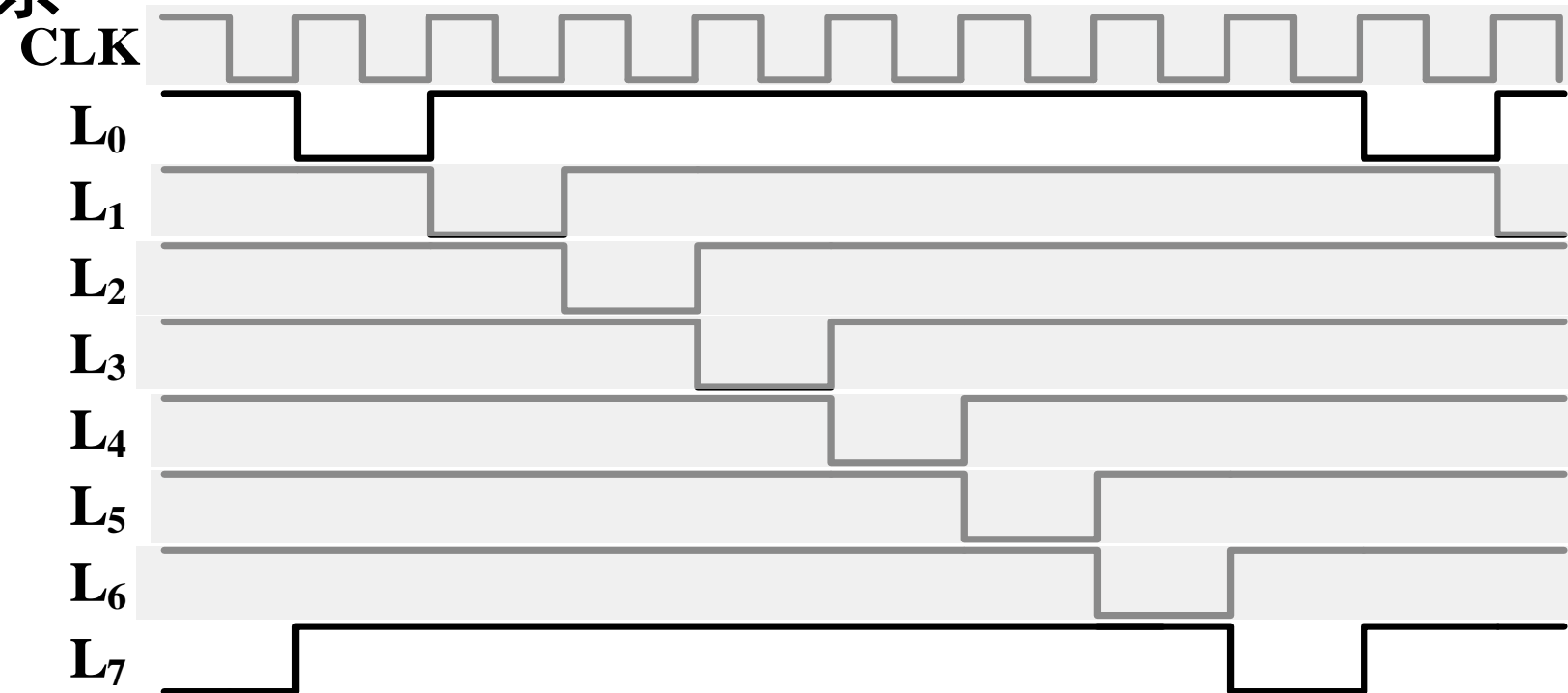
- ▶ 如电路存在故障，则按动单脉冲按钮到故障状态
- ▶ 用组合电路的调试方法，逐级进行检查，找出故障点
- ▶ 注意集成触发器、译码器的使能端、清零端、置位端



4.时序逻辑电路调试

◆动态调试——广告流水灯

- ▶ 触发器时钟接连续脉冲信号
- ▶ 时钟和 L_0 分别CH1和CH2通道，记录波形
- ▶ L_0 作为参考信号接CH1通道， L_1 接CH2通道，记录 L_0 和 L_1 波形
- ▶ L_0 接CH1通道不变，依次将 L_2 到 L_7 接CH2通道，记录波形
- ▶ 汇总波形，记录到同一坐标系



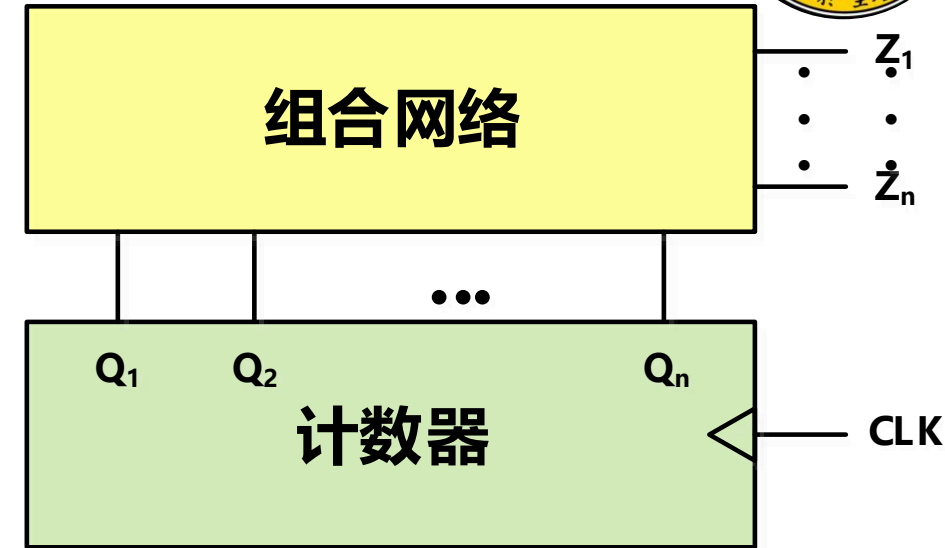
2、序列发生器（第 11 周课内课内验收）

- 用 MSI 计数器设计一个具有自启动功能的 01011 序列信号发生器
 - 1) 写出设计过程，画出电路逻辑图
 - 2) 搭接电路，并用单脉冲静态验证实验结果
 - 3) 加入 TTL 连续脉冲，用示波器观察观察并记录时钟脉冲 CLK、序列输出端的波形

画波形

5. 二进制计数器

- 由计数器和组合网络构成
- 某些特定的序列也可以直接由计数器产生
- 可以产生一组或多组二值序列
- 常用的设计方法：
 - 根据序列码的长度M设计模M计数器（状态可以自定）
 - 根据计数器的状态变化和给定的序列码，设计输出组合网络



● 组合网络部分

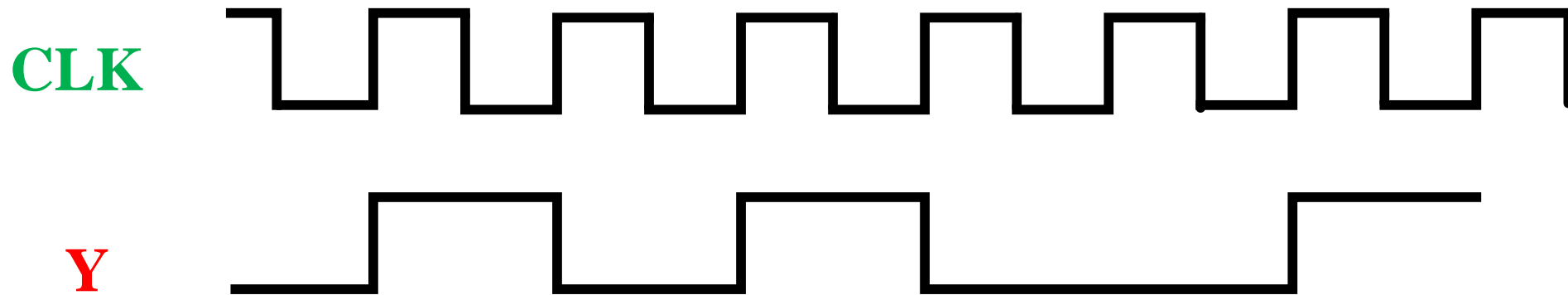
- 门电路（卡诺图化简）
- 3-8译码器——将状态表中**所有Y=1的项取出来与非**
- 数据选择器——将对应数端置“0”或置“1”

5. 二进制计数器



➤ 调试

- 测量的时候一定要用双踪显示



实验报告



- ◆报告提交形式： **电子报告**
- ◆报告提交时间： 在每次实验课前完成上一次课的实验报告， 具体时间参照《教学计划》
- ◆报告提交地址： <http://seu.olab.top>
- ◆下载实验报告模板， 在本地编辑后再以**pdf**格式上传

下次实验预习要求



◆第 12 周课前完成“简易数字钟” 电路设计，将设计方案、原理图（手绘和 Multisim 仿真） 写在实验报告的原理部分，并完成电路搭接

安装Quartus II 9.1sp2 Web Edition



THANK YOU!