

东南大学电工电子实验中心

实验报告

课程名称：数字逻辑电路实验 C

第七次实验

实验名称：可编程小系统设计

院（系）：网络空间安全学院 专业：计算机类

姓名：梁耀欣 学号：JS322405

实验室：502 实验组别：

同组人员： 实验时间：

评定成绩： 审阅教师：

实验七 可编程小系统设计

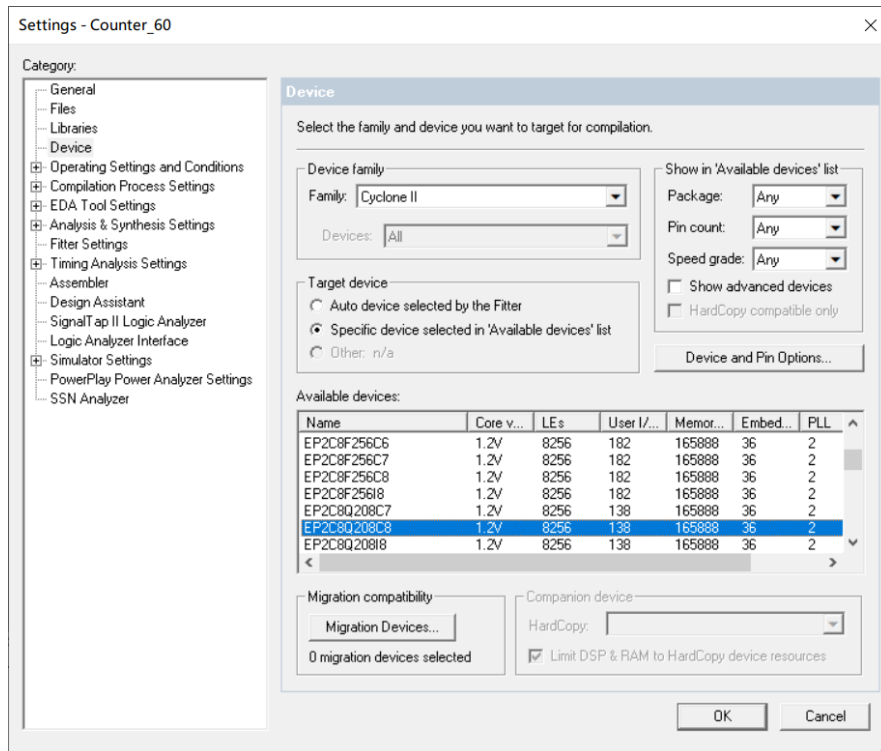
一. 实验目的和要求

1. 了解可编程数字系统设计的流程;
2. 掌握Quartus II 软件的使用方法;
3. 掌握原理图输入方式设计数字系统的方法和流程;

二. 实验原理（基础部分）

(一) 观察并记录实验箱上的 FPGA 型号，新建一个 Project，器件选用实验箱上的 FPGA：

实验箱上的 FPGA 型号为 Cyclone II-EP2C8Q208C8，在 Quartus 中的 Assignments-Devices 中选择对应的器件：



(二) 设计思路：

1. 根据设计要求划分设计层次、单元模块和接口信号，在预习报告上记录设计过程，绘制系统框图，每个模块的状态转移图或ASM图，并设计验证方案：

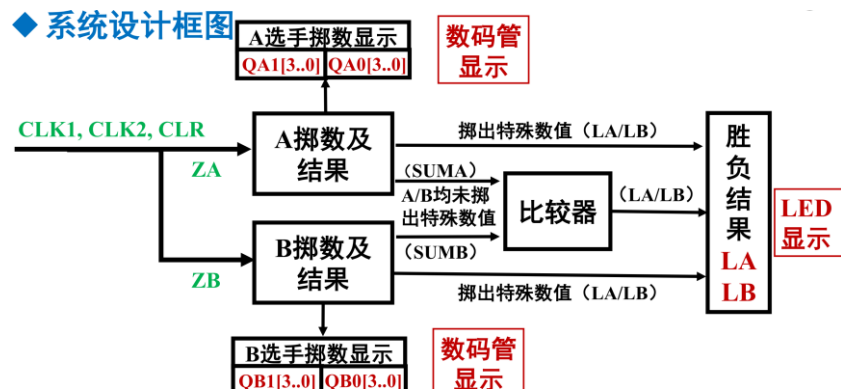
根据设计要求，我们把总的电路拆分为这几部分：

外部输入：A、B选手掷骰子开关，CLR置零开关，CLK1和CLK2脉冲输入。

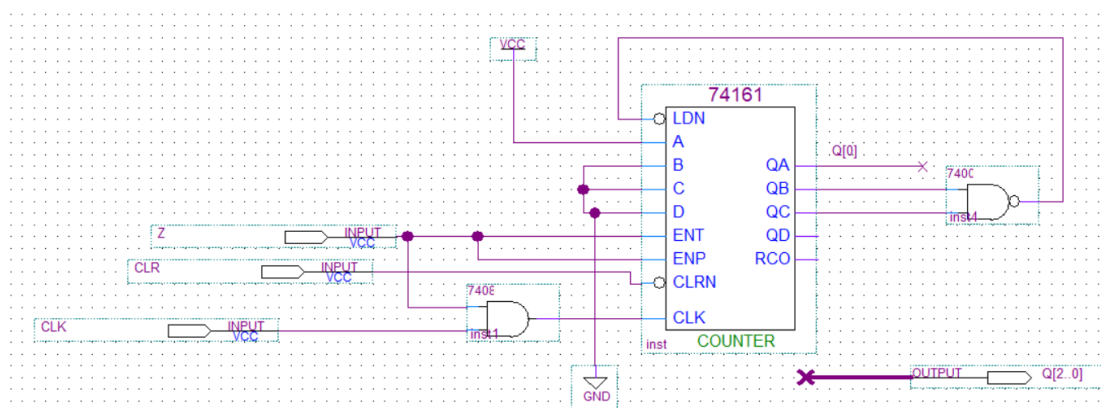
显示部分：用数码管表示A赢的信号灯和表示B赢的信号灯

中央控制部分：模6计数器，数值比较器，全加器

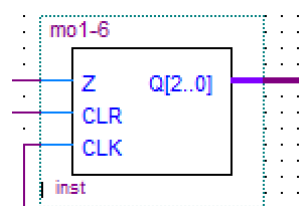
系统框图：



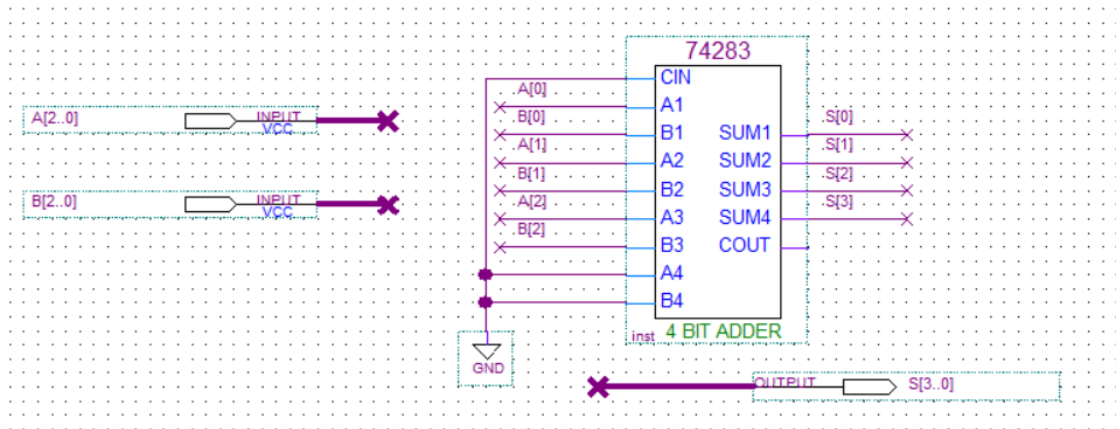
2. 用原理图输入法设计所有单元模块并编译，分析编译时产生的错误和警告信息：
1. 模6计数器：



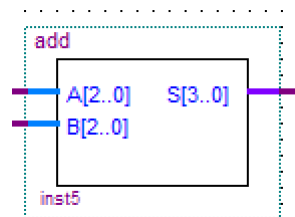
为了避免从6到1时不需要使能端直接置数，可以将使能端Z和时钟信号CLK进行逻辑与运算，将其输出作为74161计数器CLK的输入。这样，当使能端打开时，才能进行LOAD操作，确保了计数器能够正常工作。另外，可以将输出用总线拉出，简化电路设计，提高电路可靠性和实用性。封装：



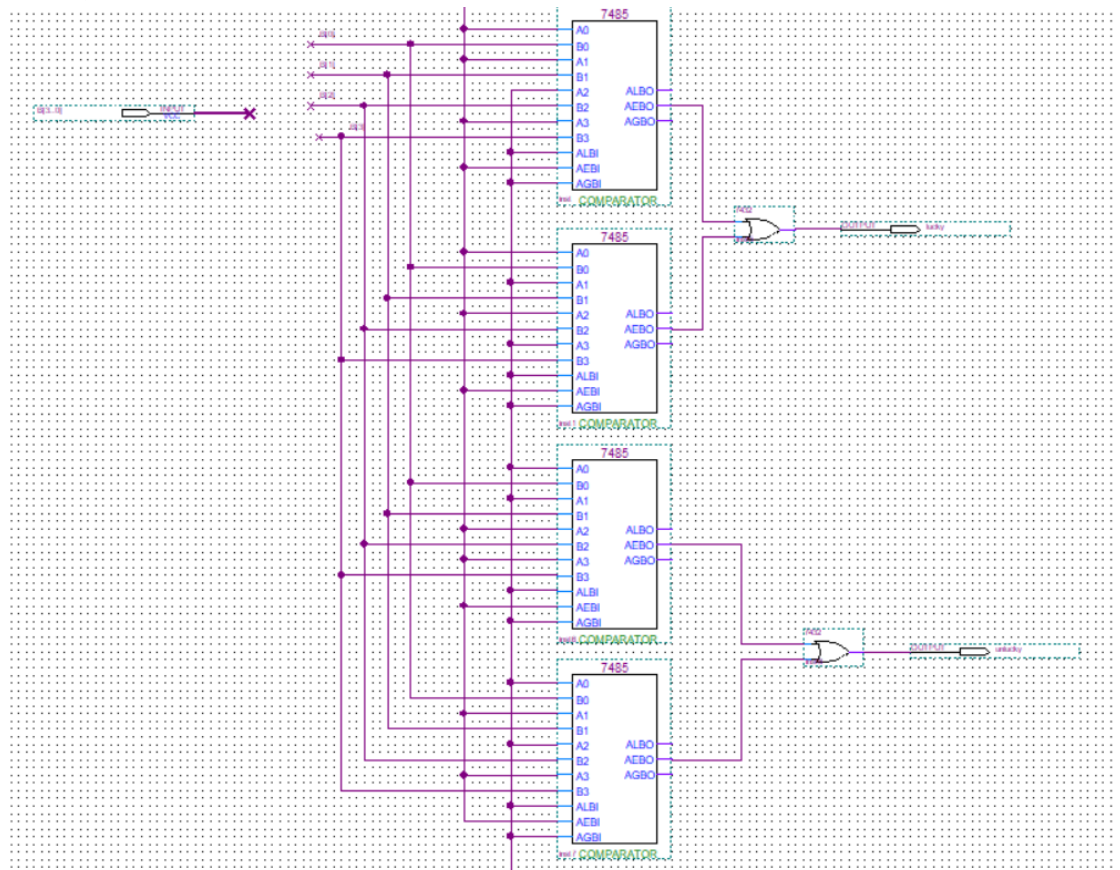
2. 四位二进制数全加器



封装:

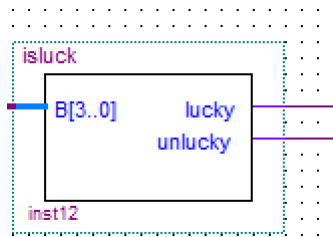


3. 判断掷出的总数是否luck

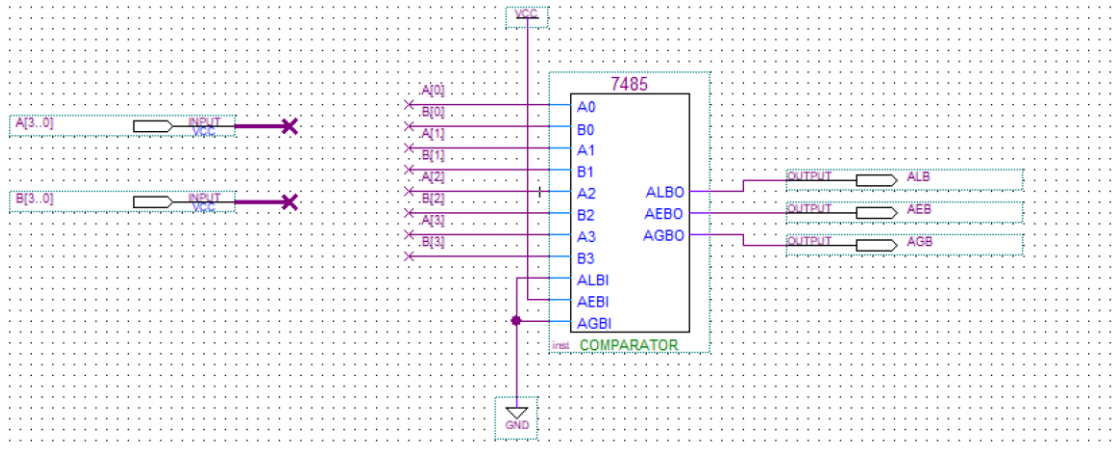


将输入的数字分别与11, 5, 12, 10比较, 如果是11或5, 那么幸运输出为1, 不幸输出为0, 如果是12或10, 那么幸运输出为0, 不幸输出为1。

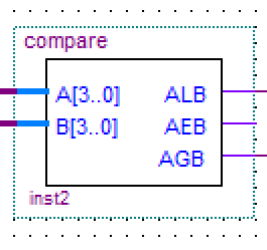
封装:



4. 比较器

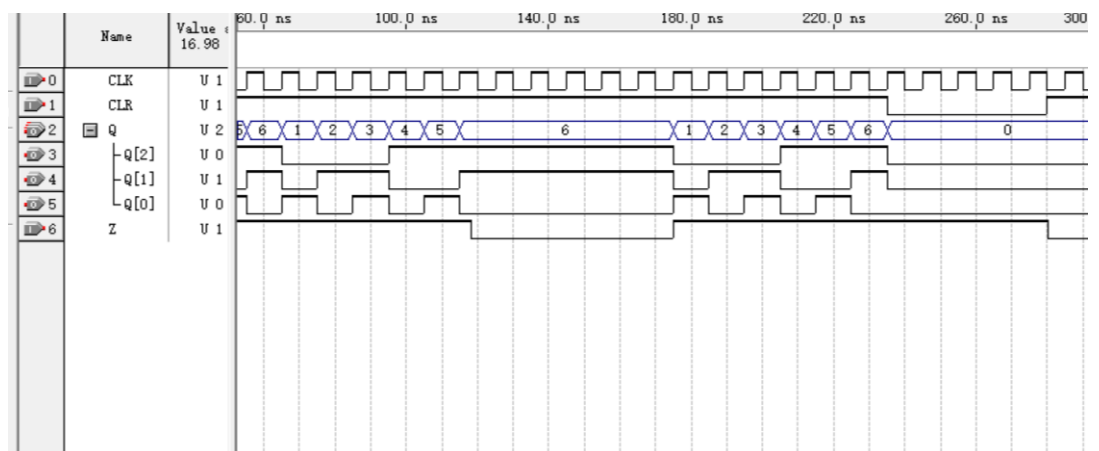


将四位二进制比较器进行封装，用总线拉出输入
封装：

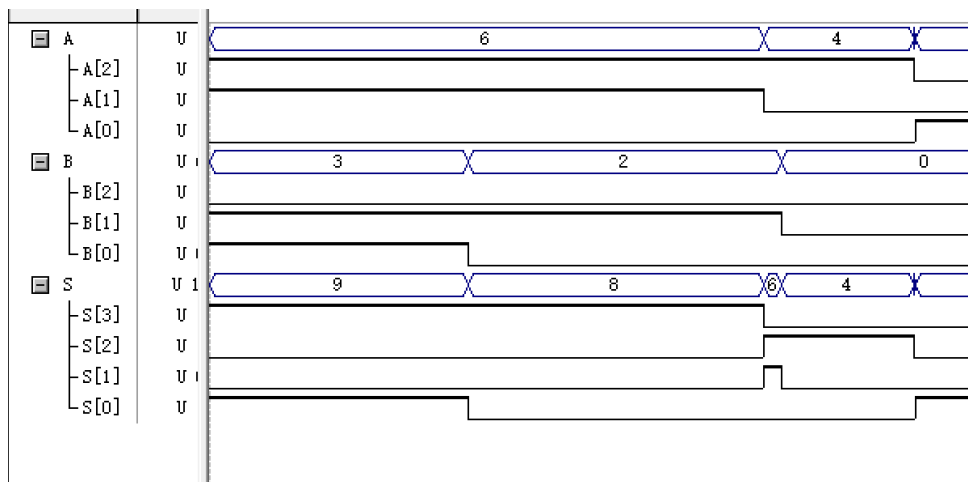


5. 对所有的单元模块进行功能仿真，并记录和分析全部仿真结果：

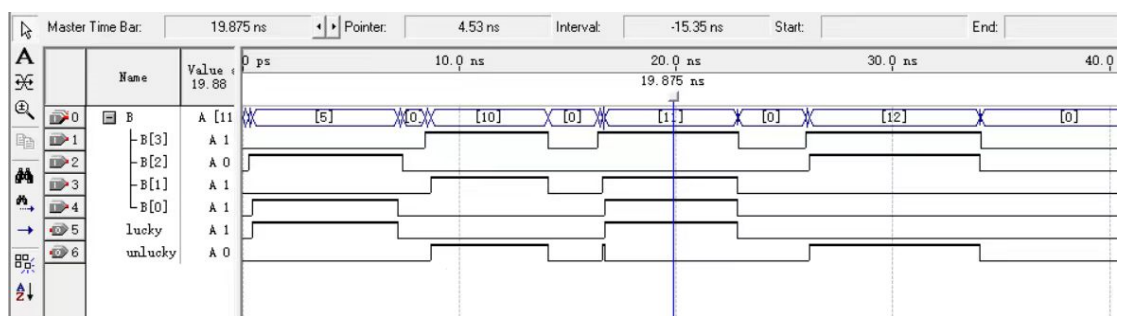
1. 模6计数器：



2. 四位二进制数全加器



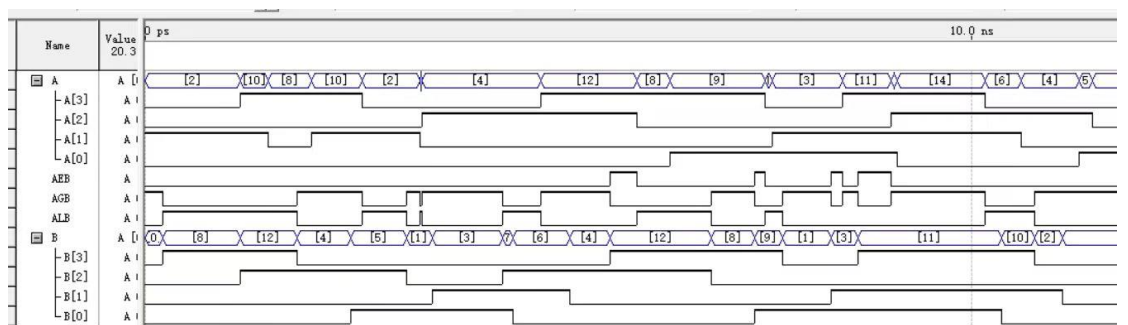
3. 判断掷出的总数是否luck



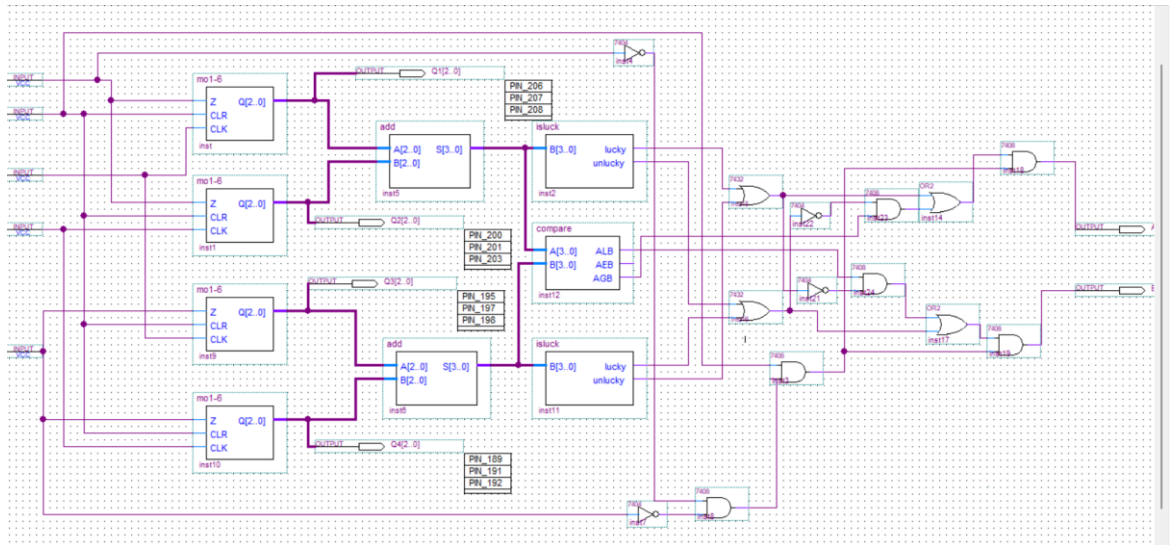
当输入是5和11时是luck

当输入是10和12时是unluck

4. 比较器。



































































5. 在顶层文件中连接全部单元模块并编译、综合、分配管脚和适配：



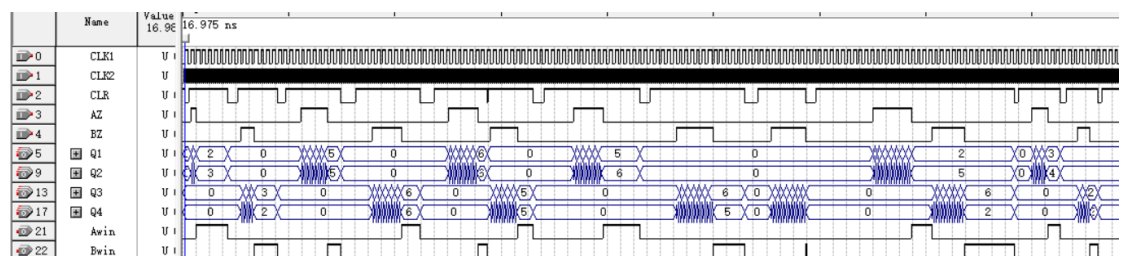
将AZ和BZ取反以与接入输出，使A和B计数时表示结果的灯无法亮起。

将CLR以与接入输出，实现置零时表示结果的灯熄灭。

若没有特殊数字，就比较两人掷出的数字和，谁的数比较大表示谁胜利的灯就会亮起。

	Awin	Output	PIN_35	1	B1_N1	3.3-V LVTTTL (default)	
	AZ	Input	PIN_14	1	B1_N0	3.3-V LVTTTL (default)	
	Bwin	Output	PIN_37	1	B1_N1	3.3-V LVTTTL (default)	
	BZ	Input	PIN_15	1	B1_N0	3.3-V LVTTTL (default)	
	CLK1	Input	PIN_69	4	B4_N1	3.3-V LVTTTL (default)	
	CLK2	Input	PIN_74	4	B4_N1	3.3-V LVTTTL (default)	
	CLR	Input	PIN_47	1	B1_N1	3.3-V LVTTTL (default)	
	Q1[2]	Output	PIN_206	2	B2_N1	3.3-V LVTTTL (default)	
	Q1[1]	Output	PIN_207	2	B2_N1	3.3-V LVTTTL (default)	
	Q1[0]	Output	PIN_208	2	B2_N1	3.3-V LVTTTL (default)	
	Q2[2]	Output	PIN_200	2	B2_N1	3.3-V LVTTTL (default)	
	Q2[1]	Output	PIN_201	2	B2_N1	3.3-V LVTTTL (default)	
	Q2[0]	Output	PIN_203	2	B2_N1	3.3-V LVTTTL (default)	
	Q3[2]	Output	PIN_195	2	B2_N1	3.3-V LVTTTL (default)	
	Q3[1]	Output	PIN_197	2	B2_N1	3.3-V LVTTTL (default)	
	Q3[0]	Output	PIN_198	2	B2_N1	3.3-V LVTTTL (default)	
	Q4[2]	Output	PIN_189	2	B2_N1	3.3-V LVTTTL (default)	
	Q4[1]	Output	PIN_191	2	B2_N1	3.3-V LVTTTL (default)	
	Q4[0]	Output	PIN_192	2	B2_N1	3.3-V LVTTTL (default)	
	A[2]	Unknown	PIN_31	1	B1_N1	3.3-V LVTTTL (default)	
	A[1]	Unknown	PIN_33	1	B1_N1	3.3-V LVTTTL (default)	
	A[0]	Unknown	PIN_34	1	B1_N1	3.3-V LVTTTL (default)	
	B[2]	Unknown	PIN_39	1	B1_N1	3.3-V LVTTTL (default)	
	B[1]	Unknown	PIN_41	1	B1_N1	3.3-V LVTTTL (default)	
	B[0]	Unknown	PIN_43	1	B1_N1	3.3-V LVTTTL (default)	
	S[3]	Unknown	PIN_44	1	B1_N1	3.3-V LVTTTL (default)	
	S[2]	Unknown	PIN_45	1	B1_N1	3.3-V LVTTTL (default)	
	S[1]	Unknown	PIN_46	1	B1_N1	3.3-V LVTTTL (default)	
	S[0]	Unknown	PIN_67	4	B4_N1	3.3-V LVTTTL (default)	
	B[3]	Unknown	PIN_144	3	B3_N0	3.3-V LVTTTL (default)	
	lucky	Unknown	PIN_145	3	B3_N0	3.3-V LVTTTL (default)	
	unlucky	Unknown	PIN_146	3	B3_N0	3.3-V LVTTTL (default)	

6. 对整个系统进行时序仿真，并记录和分析仿真结果：



掷出的点数是5时win为1，对方win为0。

掷出的点数是11时win为1，对方win为0。

掷出的点数是10时win为0，对方win为1。

掷出的点数是12时win为0，对方win为1。

没有特殊点数，则比较大小。

7. 将仿真正确的设计下载到实验箱上，连接输入输出设备进行板级验证

三、实验总结

在设计原理图时发现遇到一些问题例如 AB 掷骰子过程中判断输赢的 LED 灯一直亮，最终进行了改进，在实验箱上成功验证。