



实验四

中规模组合逻辑

汤雪娇 tangxuejiao@seu.edu.cn

- ◀ **实验目的**
- ◀ **相关知识点**
- ◀ **实验内容**
- ◀ **预习要求**

实验目的



- 1. 掌握常用中规模组合逻辑器件的功能和使用方法
- 2. 掌握逻辑函数工程设计方法

- ◀实验目的
- ◀相关知识**点**
- ◀实验内容
- ◀预习要求



1. 中规模组合逻辑电路设计过程

◆中规模组合逻辑器件

- 具有专门组合逻辑功能的器件
- 能实现一个特定的逻辑函数
- 常用的有译码器、编码器、数据选择器、数据比较器和全加器等



1. 中规模组合逻辑电路设计过程

2022~2023 “数字逻辑电路实验 C” 元件清单

小规模 (SSI)
集成电路
(门电路)

中规模集成
电路MSI

型号	功能	数量	可替代型号
74HC00	四 2 输入与非门	4 只	74HCT00
74HC04	6 反相器	1 只	74HCT04
74HC20	二 4 输入与非门	3 只	74HCT20
74HC74	双 D 触发器	2 只	74HCT74
74HC86	四 2 输入异或门	1 只	74HCT86
74HC138	3 线 8 线译码器	1 只	74HCT138
74HC151	8 选 1 数据选择器	2 只	74HCT151
74HC161	4 位二进制计数器	4 只	74HCT161

1. 中规模组合逻辑电路设计过程

◆设计过程

- 选定器件种类及型号
- 将逻辑函数转化为与该器件逻辑功能相对应的形式
(一般为最小项和)
- 优化电路, 使得所用器件的**种类及片数最少**
- 根据转化后的结果, 确定具体的电路连接方式

2.译码器

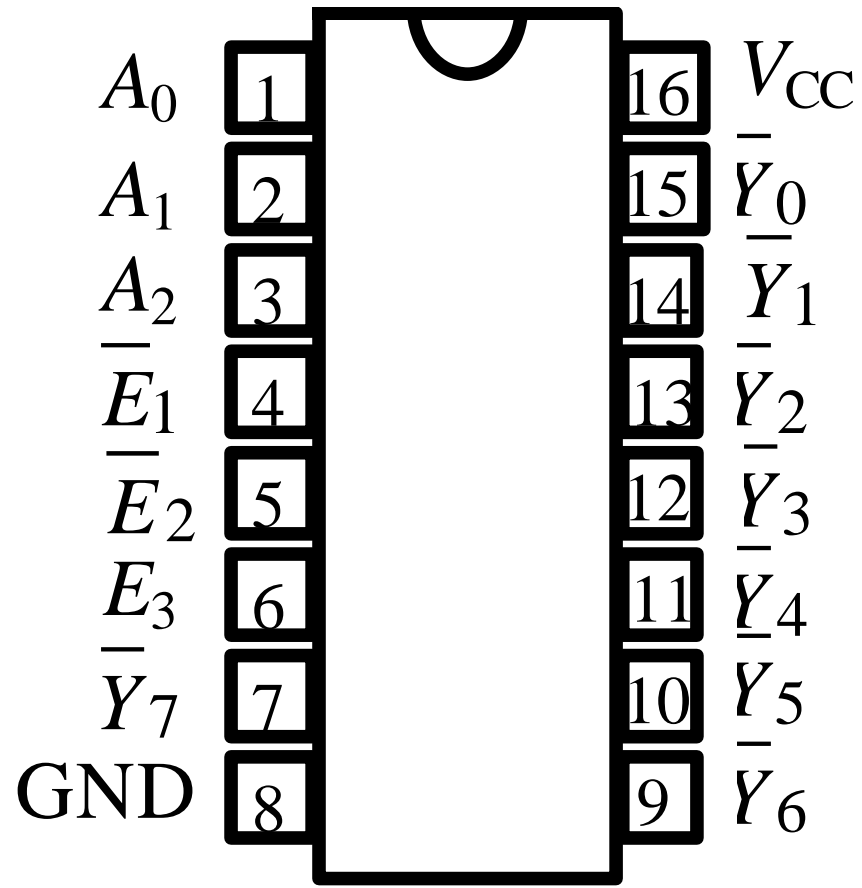


译码是编码的逆过程，是将二进制代码所表示的相应信号或对象“翻译”出来。具有译码功能的电路称为译码器。常见的译码器有二进制译码器、二—十进制译码器和显示译码器等。

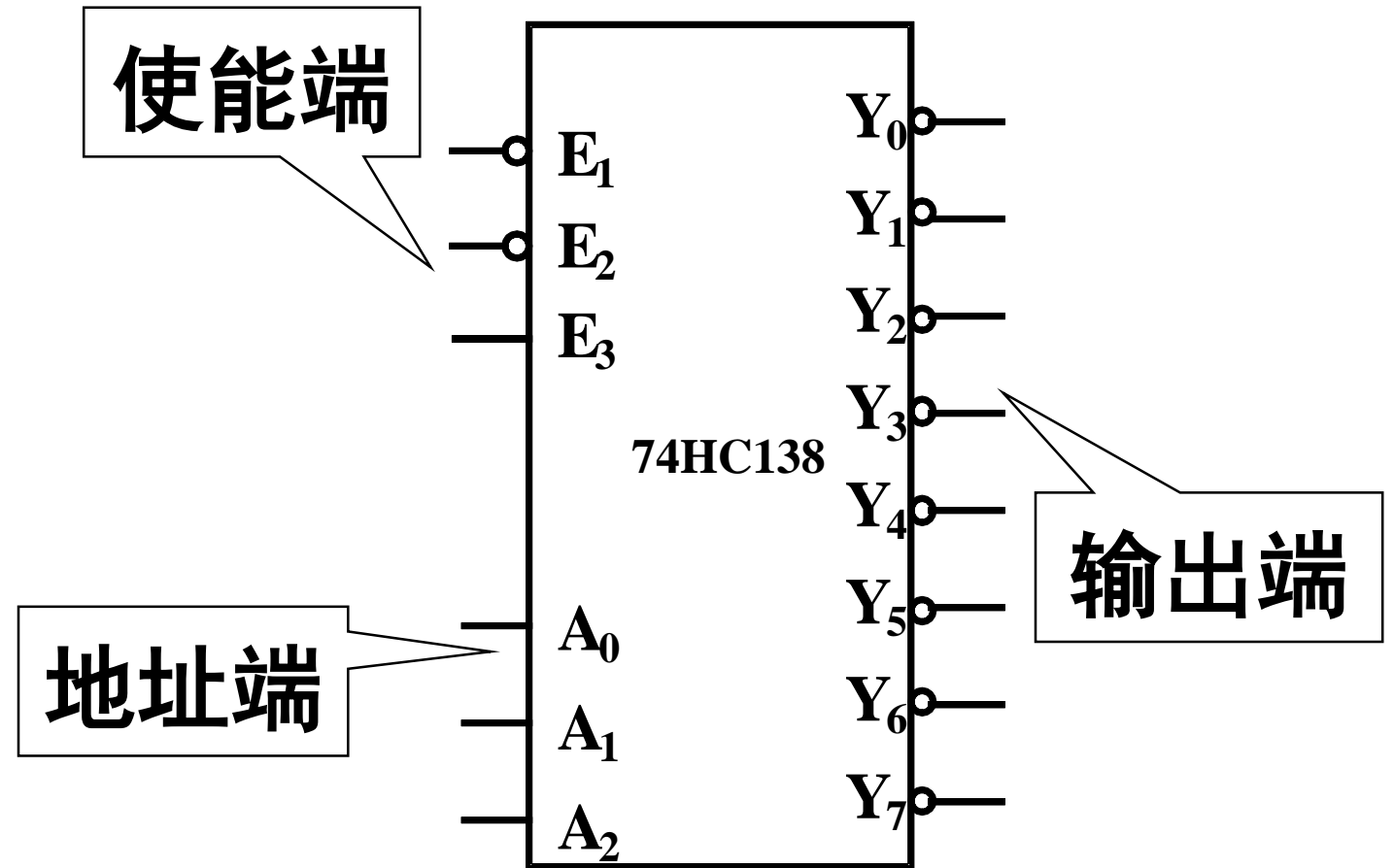
设二进制译码器的输入端为 n 个，则输出端为 2^n 个，且对应于输入代码的每一种状态， 2^n 个输出中只有一个为1（或为0），其余全为0（或为1）。

集成二进制译码器74HC138

2.译码器



74HC138引脚图



74HC138逻辑电路图

2.译码器

功能表

输 入						输 出							
E_3	\bar{E}_2	\bar{E}_1	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
×	1	×	×	×	×	1	1	1	1	1	1	1	1
×	×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	×	1	1	1	1	1	1	1	1
被禁止，所有输出端不工作，被封锁在高电平													
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

工作

当 $E_3=1$ ，且 $\bar{E}_2=\bar{E}_1=0$ 时

$$\bar{Y}_0 = \overline{A_2 A_1 A_0} = \bar{m}_0$$

$$\bar{Y}_1 = \overline{A_2 A_1 A_0} = \bar{m}_1$$

$$\bar{Y}_2 = \overline{A_2 A_1 A_0} = \bar{m}_2$$

$$\bar{Y}_3 = \overline{A_2 A_1 A_0} = \bar{m}_3$$

$$\bar{Y}_4 = \overline{A_2 A_1 A_0} = \bar{m}_4$$

$$\bar{Y}_5 = \overline{A_2 \bar{A}_1 A_0} = \bar{m}_5$$

$$\bar{Y}_6 = \overline{A_2 A_1 \bar{A}_0} = \bar{m}_6$$

$$\bar{Y}_7 = \overline{A_2 A_1 A_0} = \bar{m}_7$$

最小项发生器

2. 译码器



◆用二进制译码器实现逻辑函数

例:用3线-8线译码器74HC138和必要的逻辑门实现函数

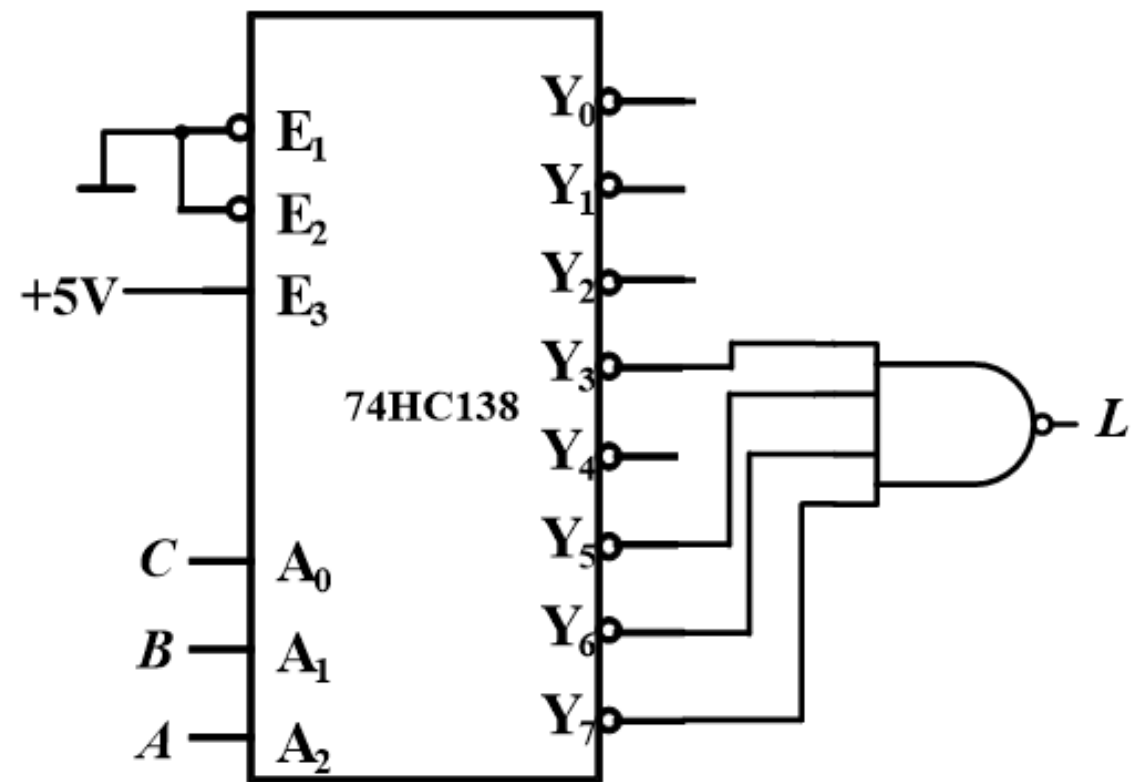
$$L=f(A,B,C)=AB+BC+AC+ABC$$

$$L=\overline{A}BC+A\overline{B}C+AB\overline{C}+ABC$$

$$=m_3+m_5+m_6+m_7$$

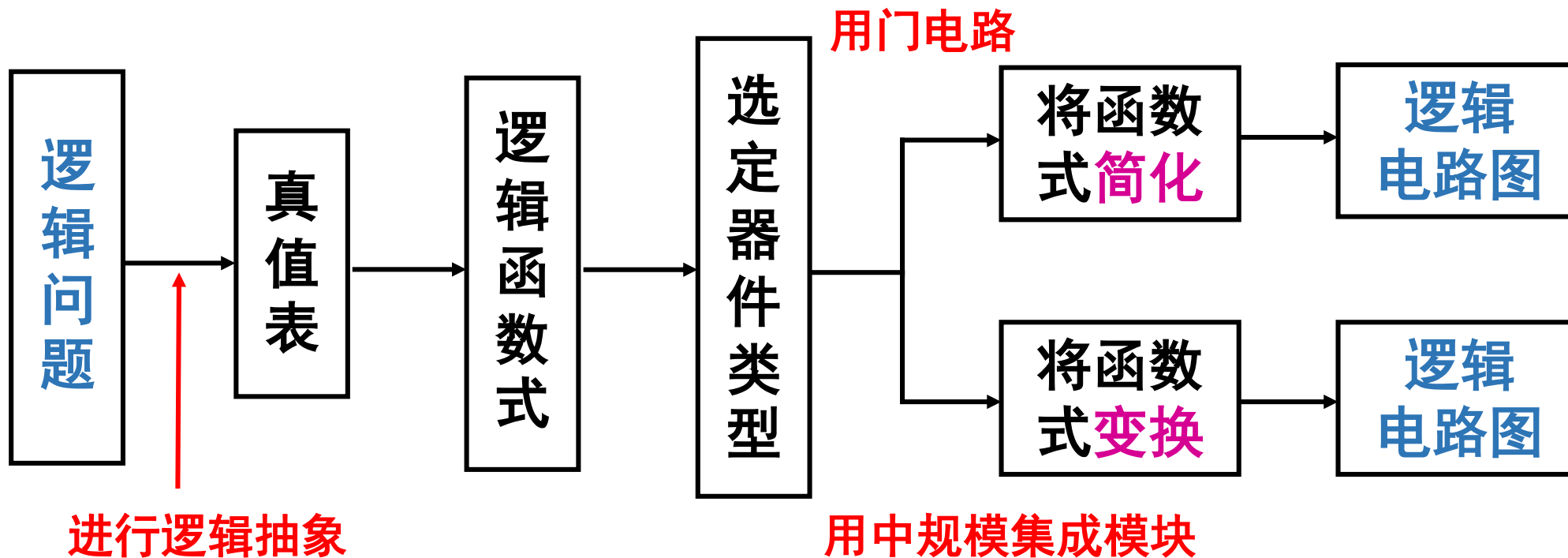
$$=\overline{m_3}\overline{m_5}\overline{m_6}\overline{m_7}$$

$$=\overline{Y_3Y_5Y_6Y_7}$$



组合逻辑电路设计过程

详见教学计划PAGE8 《预习报告样例》（血型）



逻辑抽象：

- 1) 确定输入变量和输出变量
- 2) 定义逻辑状态的含义
- 3) 根据题目给出的逻辑关系列出表示输出与输入关系的真值表

- (1) 输入输出信号编码
- (2) 列出真值表
- (3) 逻辑化简
- (4) 逻辑电路图
- (5) 硬件连接示意图
- (6) 测试方案

2.译码器

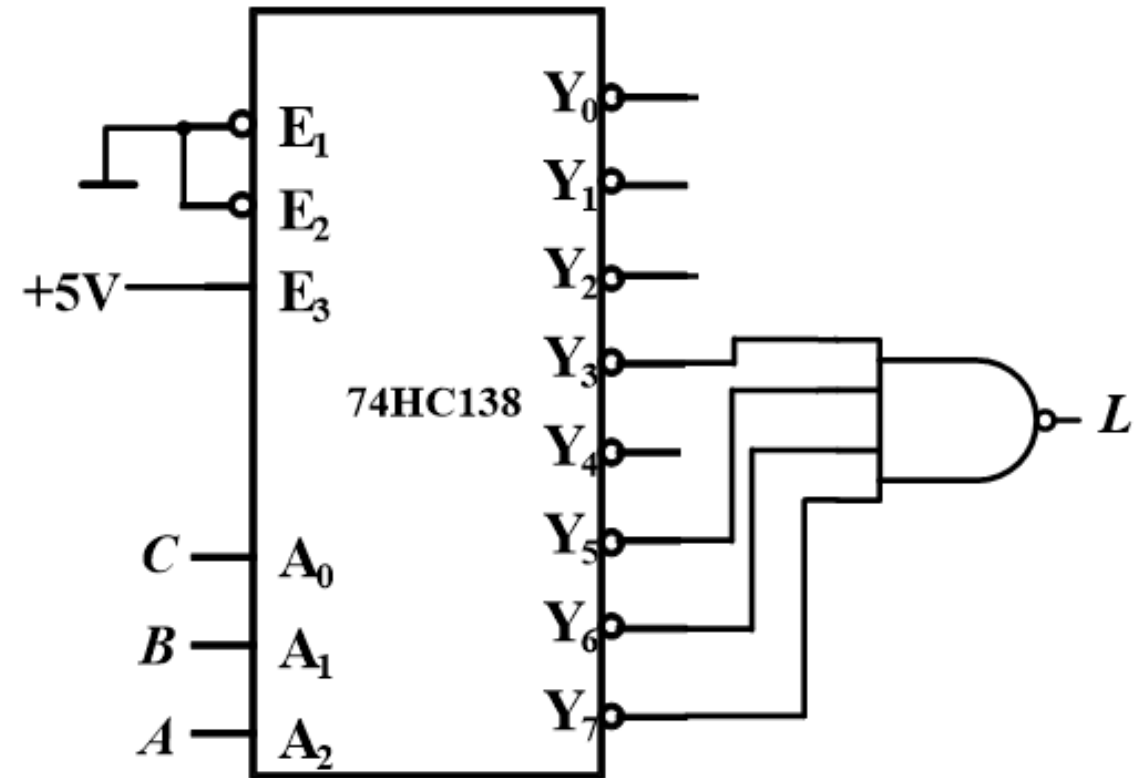
- (1) 输入输出信号编码
(2) 列出真值表

序号	A	B	C	L
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

- (3) 逻辑化简

$$\begin{aligned}
 L &= m_3 + m_5 + m_6 + m_7 \\
 &= \overline{m_3} \overline{m_5} \overline{m_6} \overline{m_7} \\
 &= \overline{Y_3} \overline{Y_5} \overline{Y_6} \overline{Y_7}
 \end{aligned}$$

- (4) 逻辑电路图



总结：

- ① 写出函数的标准与或表达式，并变换为与非-与非形式
- ② 画出用二进制译码器和与非门实现这些函数的接线图

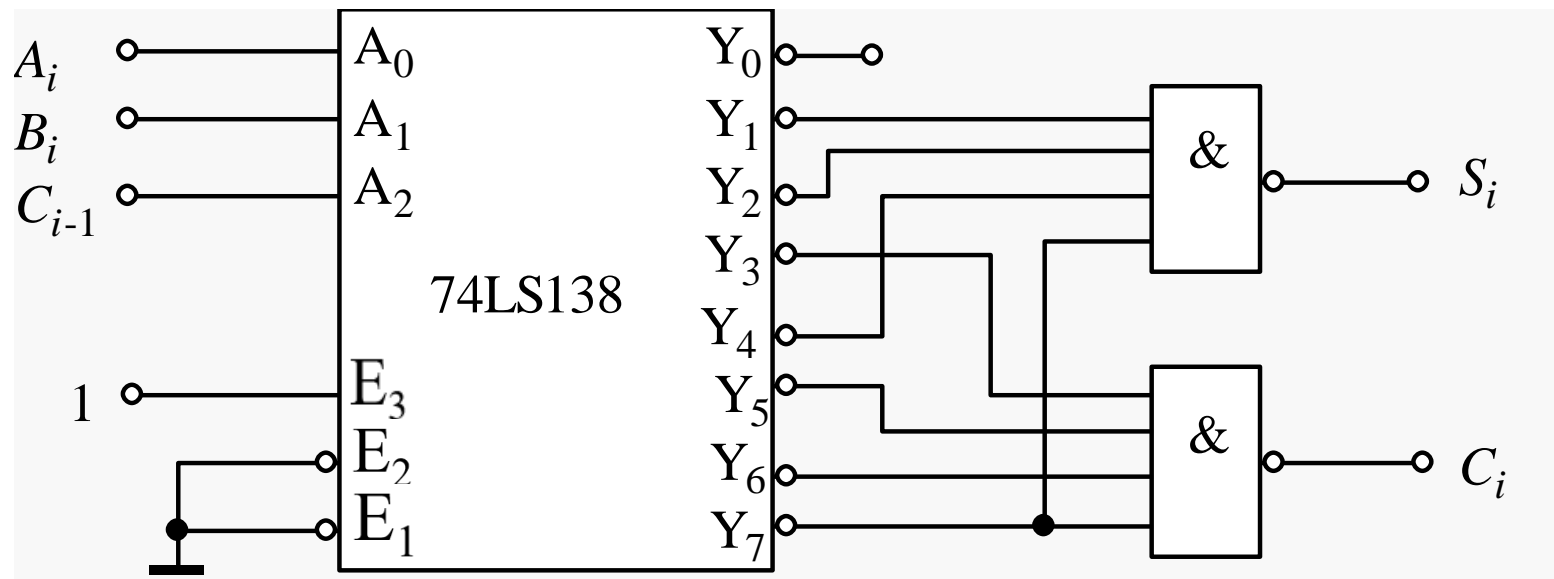
2.译码器



◆应用

(1)多输出逻辑函数的电路

$$\begin{cases} S_i(A_i, B_i, C_{i-1}) = \sum m(1, 2, 4, 7) = \overline{m_1} \overline{m_2} \overline{m_4} \overline{m_7} \\ C_i(A_i, B_i, C_{i-1}) = \sum m(3, 5, 6, 7) = \overline{m_3} \overline{m_5} \overline{m_6} \overline{m_7} \end{cases}$$



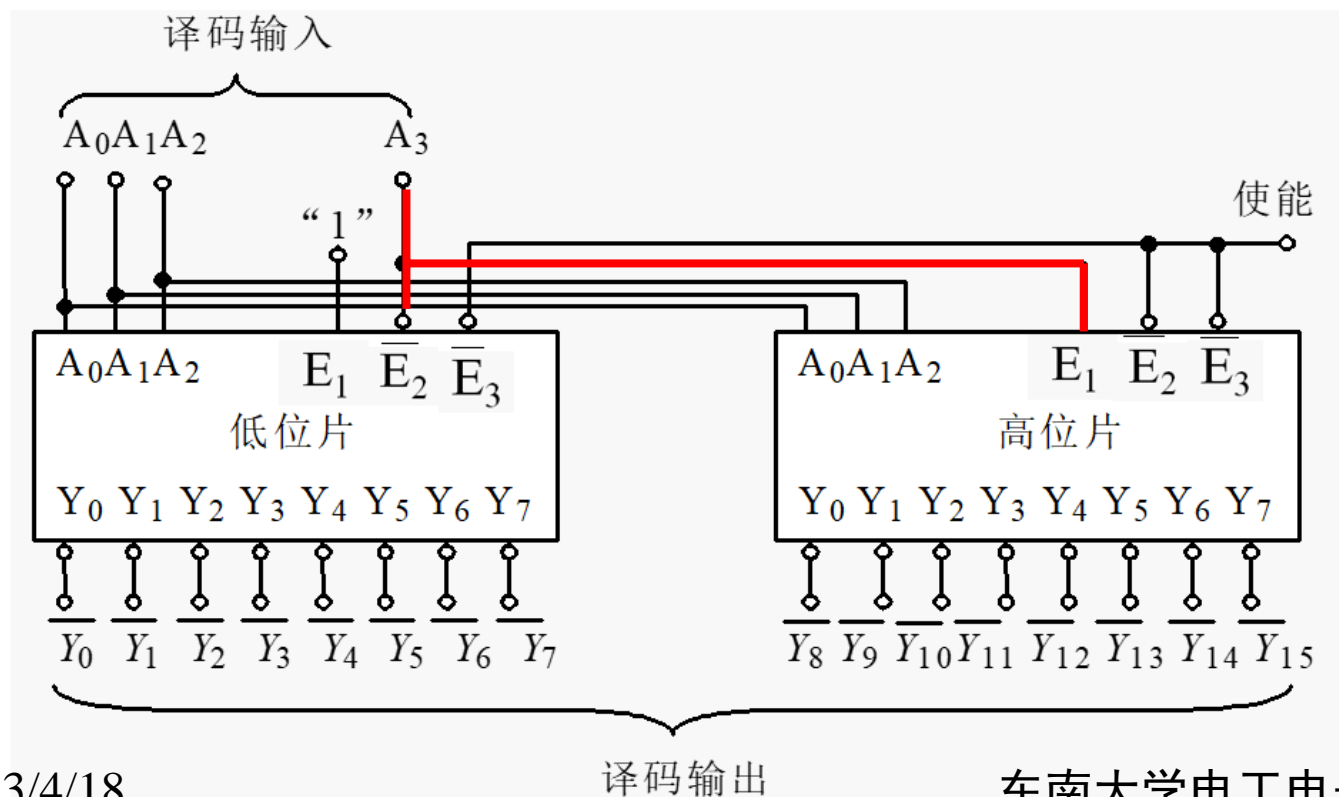
2.译码器

◆应用

(2) 3-8线译码器级联（多输入）

当 $E_3 = 1$ 、 $\bar{E}_1 + \bar{E}_2 = 0$ 时，译码器处于工作状态

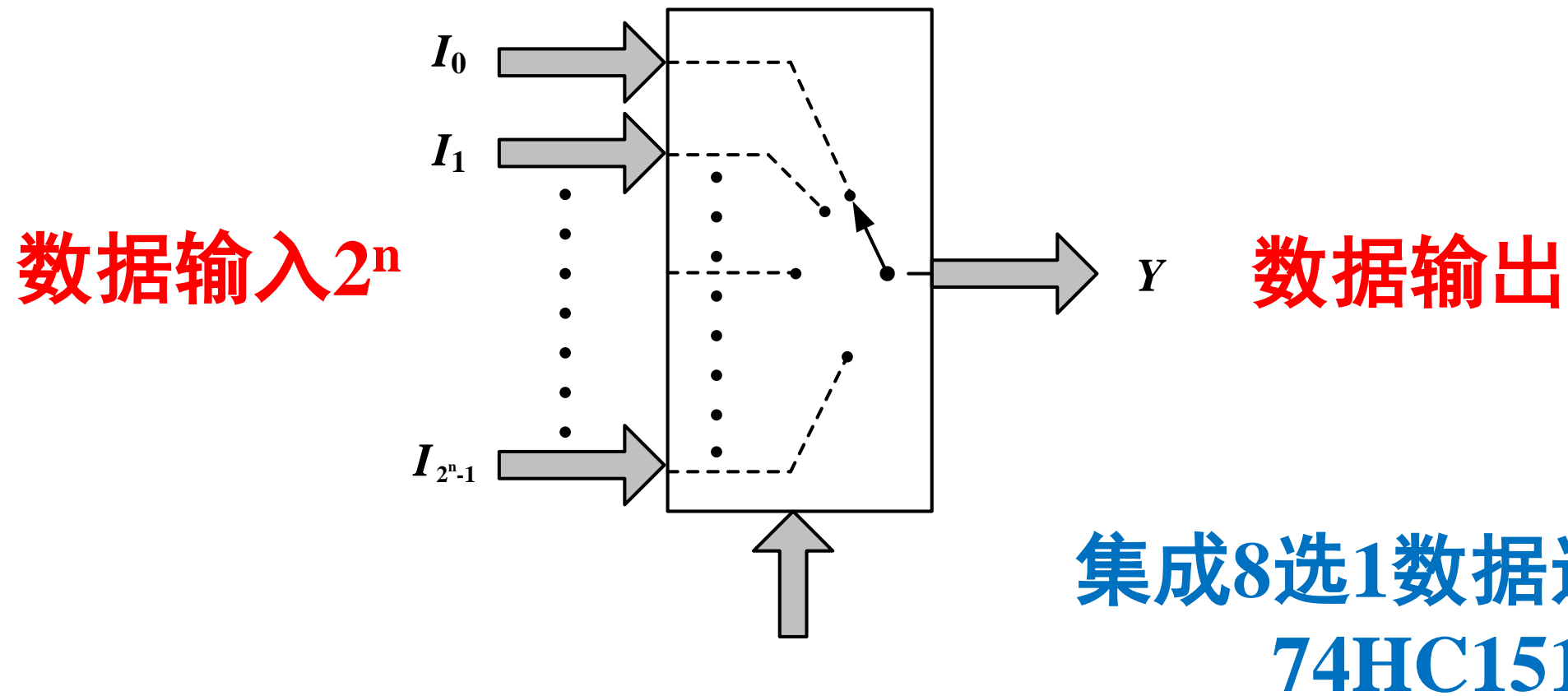
三个使能端也叫“**片选**”输入端，用于**多片连接**以扩展译码器的功能



- 1.地址输入端并联,加低位信号
- 2.输出端命名
- 3.使能端加高位信号选择芯片

3. 数据选择器

能从**多个**数据输入中**选**择出其中**一个**进行传输的电路称为数据选择器，也称多路选择器或多路开关。

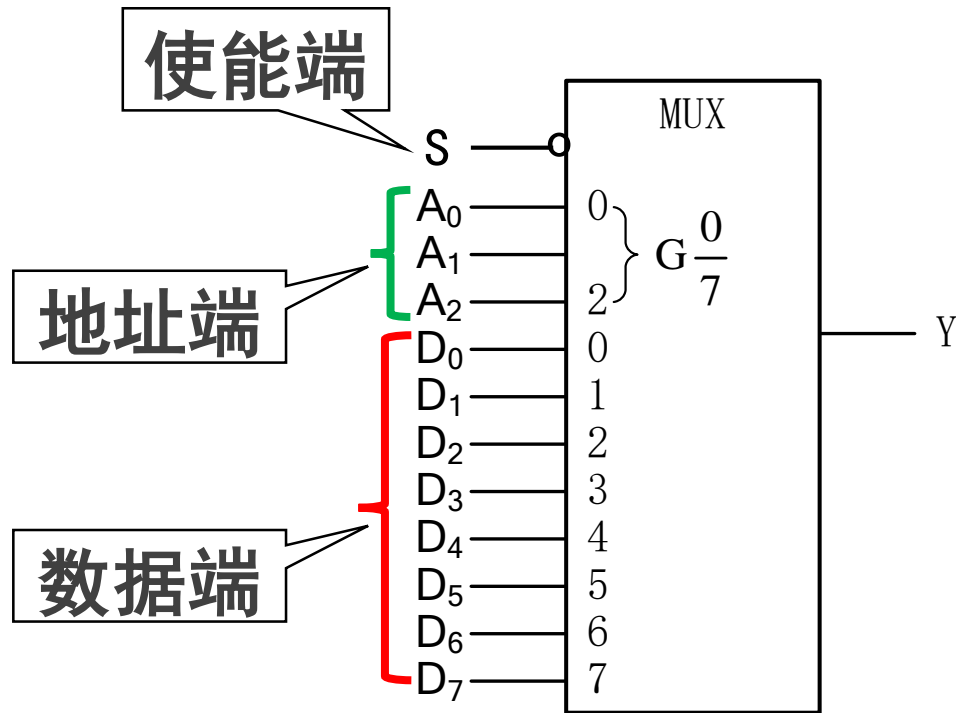


3. 数据选择器

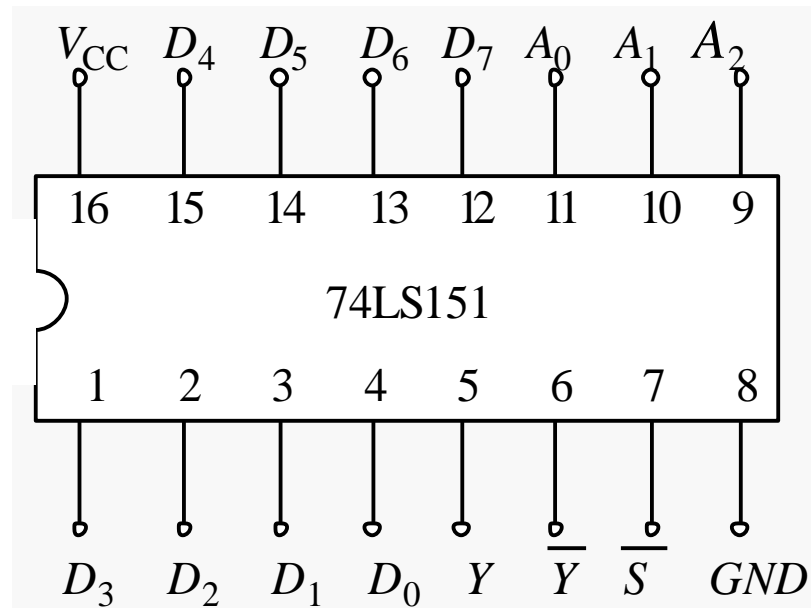
集成8选1数据选择器74HC151

功能表

输 入					输 出	
D	A_2	A_1	A_0	\overline{S}	Y	\overline{Y}
\times	\times	\times	\times	1	0	1
D_0	0	0	0	0	D_0	$\overline{D_0}$
D_1	0	0	1	0	D_1	$\overline{D_1}$
D_2	0	1	0	0	D_2	$\overline{D_2}$
D_3	0	1	1	0	D_3	$\overline{D_3}$
D_4	1	0	0	0	D_4	$\overline{D_4}$
D_5	1	0	1	0	D_5	$\overline{D_5}$
D_6	1	1	0	0	D_6	$\overline{D_6}$
D_7	1	1	1	0	D_7	$\overline{D_7}$



逻辑功能示意图



引脚排列图

3.数据选择器

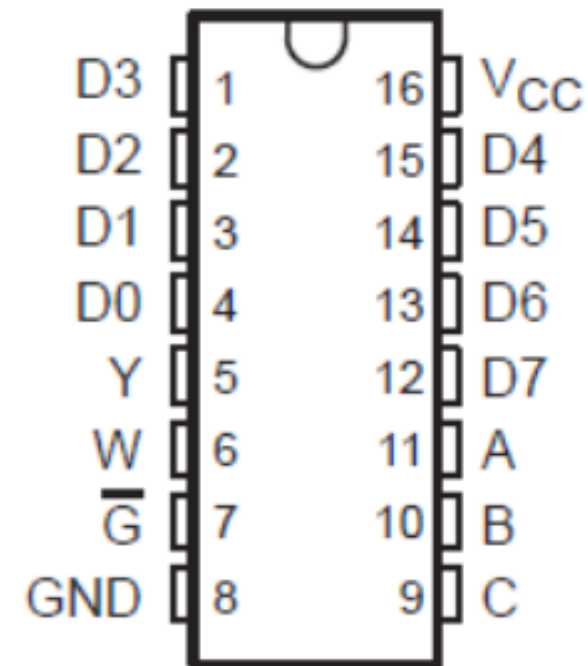
74HC151功能表

FUNCTION TABLE

INPUTS				OUTPUTS	
SELECT			STROBE \overline{G}	Y	W
C	B	A			
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

D0, D1 . . . D7 = the level of the respective D input

74HC151的管脚图



3.数据选择器

•当 $\overline{S} = 1$ 时, $Y=0$

•当 $\overline{S} = 0$ 时

$$Y = \overline{A_2}\overline{A_1}\overline{A_0}D_0 + \overline{A_2}\overline{A_1}A_0D_1 + \overline{A_2}A_1\overline{A_0}D_2 + \overline{A_2}A_1A_0D_3 + A_2\overline{A_1}\overline{A_0}D_4 + A_2\overline{A_1}A_0D_5 + A_2A_1\overline{A_0}D_6 + A_2A_1A_0D_7$$

$$Y = \sum_{i=0}^7 D_i m_i$$

功能表

输 入					输 出	
D	A_2	A_1	A_0	\overline{S}	Y	\overline{Y}
\times	\times	\times	\times	1	0	1
D_0	0	0	0	0	D_0	$\overline{D_0}$
D_1	0	0	1	0	D_1	$\overline{D_1}$
D_2	0	1	0	0	D_2	$\overline{D_2}$
D_3	0	1	1	0	D_3	$\overline{D_3}$
D_4	1	0	0	0	D_4	$\overline{D_4}$
D_5	1	0	1	0	D_5	$\overline{D_5}$
D_6	1	1	0	0	D_6	$\overline{D_6}$
D_7	1	1	1	0	D_7	$\overline{D_7}$

实现逻辑函数的关键是确定常量输入端的逻辑值,可由导出最小项逻辑表达式或列真值表获得

3. 数据选择器

◆ 用数据选择器实现逻辑函数

例: 用8选1数据选择器实现三变量多数表决器

(1) 输入输出信号编码

(2) 列出真值表

A_2	A_1	A_0	Y	D_i
0	0	0	0	D_0
0	0	1	0	D_1
0	1	0	0	D_2
0	1	1	1	D_3
1	0	0	0	D_4
1	0	1	1	D_5
1	1	0	1	D_6
1	1	1	1	D_7

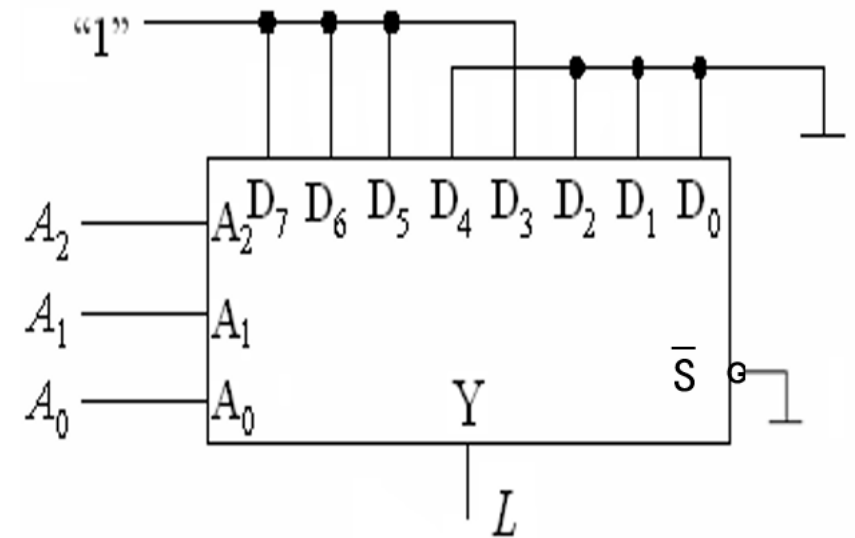
(3) 逻辑化简

$$D_0 = D_1 = D_2 = D_3 = 0$$

$$D_4 = D_5 = D_6 = D_7 = 1$$

$$Y = \sum_{i=0}^7 D_i m_i$$

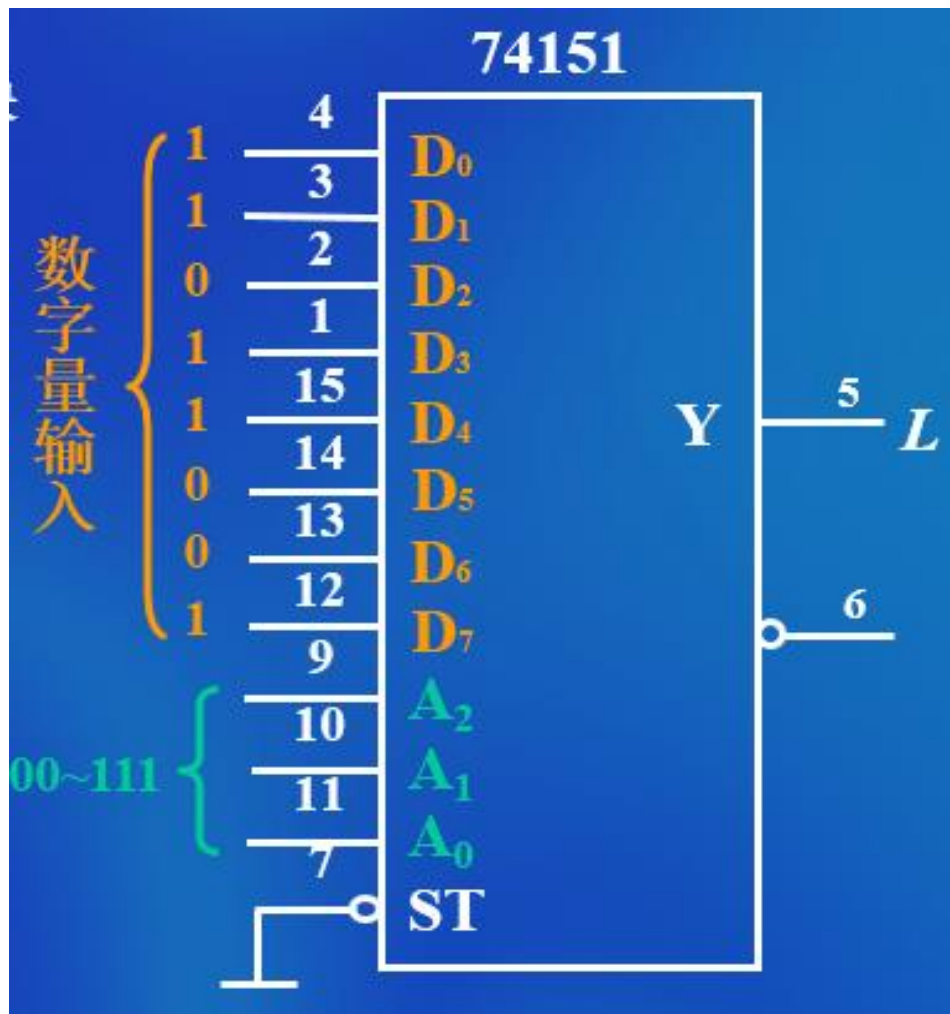
(4) 逻辑电路图



3. 数据选择器

应用

(1) 实现并串转换



3.数据选择器

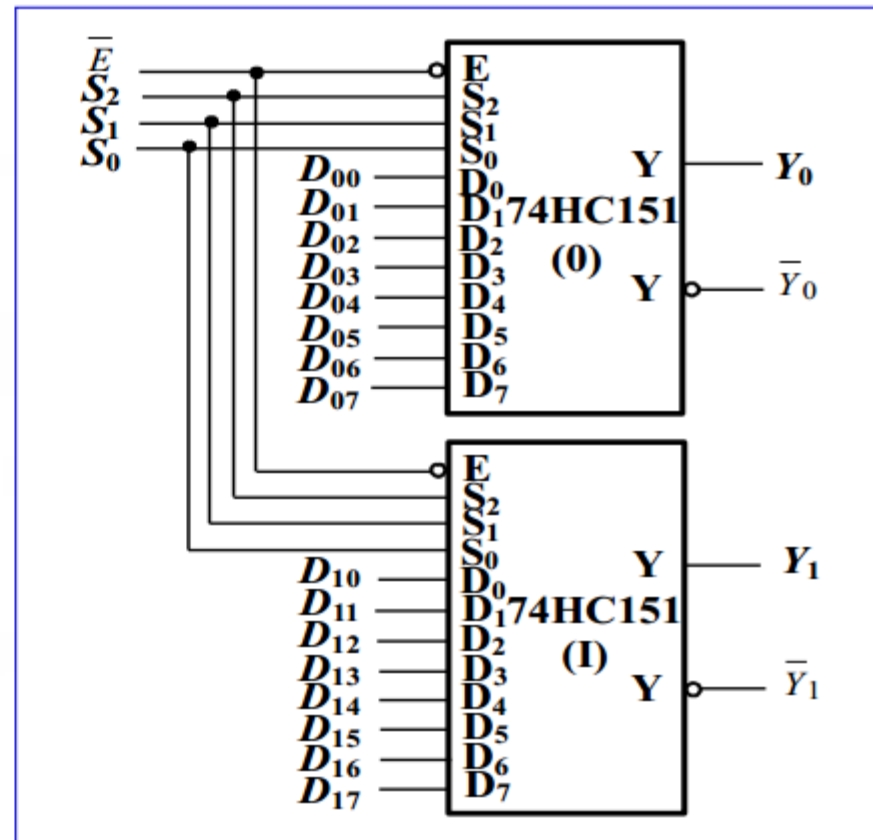
应用

(2)数据选择器的功能扩展

位扩展——将几个数据选择器的使能端连在一起，相应的选择
(多位输出) 输入端连在一起

用两片74151组成二位八选一的数据选择器

S2	S1	S0	Y1	Y0
0	0	0	D10	D00
0	0	1	D11	D01
0	1	0	D12	D02
0	1	1	D13	D03
1	0	0	D14	D04
1	0	1	D15	D05
1	1	0	D16	D06
1	1	1	D17	D07



3. 数据选择器

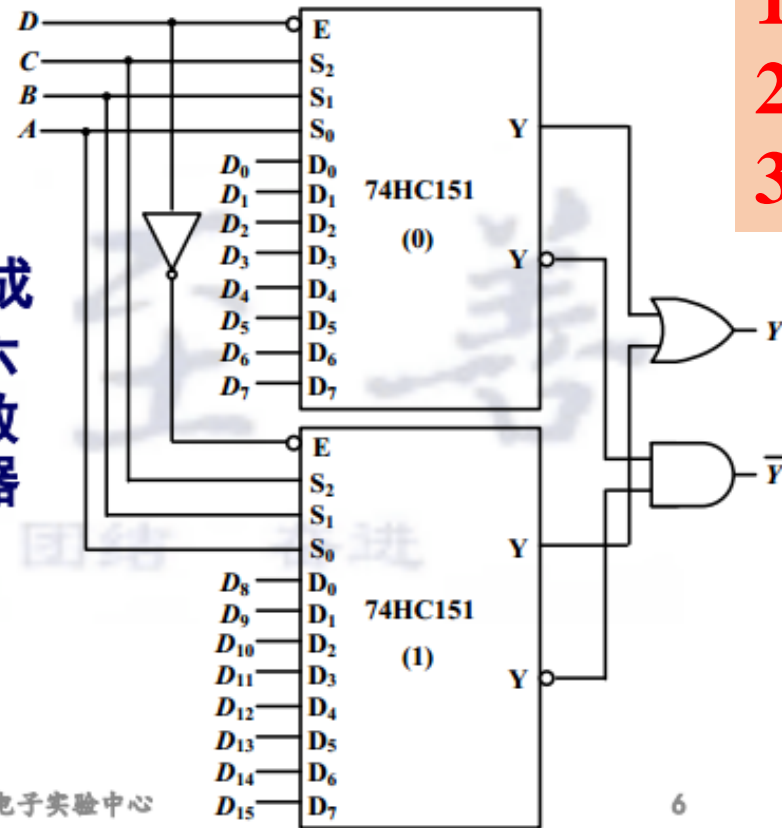
应用

(2) 数据选择器的功能扩展

字扩展——把数据选择器的使能端作为地址输入选择
(多位输入-级联)

D	C	B	A	Y
0	0	0	0	D0
0	0	0	1	D1
0	0	1	0	D2
0	0	1	1	D3
0	1	0	0	D4
0	1	0	1	D5
0	1	1	0	D6
0	1	1	1	D7
1	0	0	0	D8
1	0	0	1	D9
1	0	1	0	D10
1	0	1	1	D11
1	1	0	0	D12
1	1	0	1	D13
1	1	1	0	D14
1	1	1	1	D15

用两片
74151组成
一位十六
选一的数
据选择器



1. 地址输入端并联, 加低位信号
2. 数据端命名
3. 使能端加高位信号选择芯片

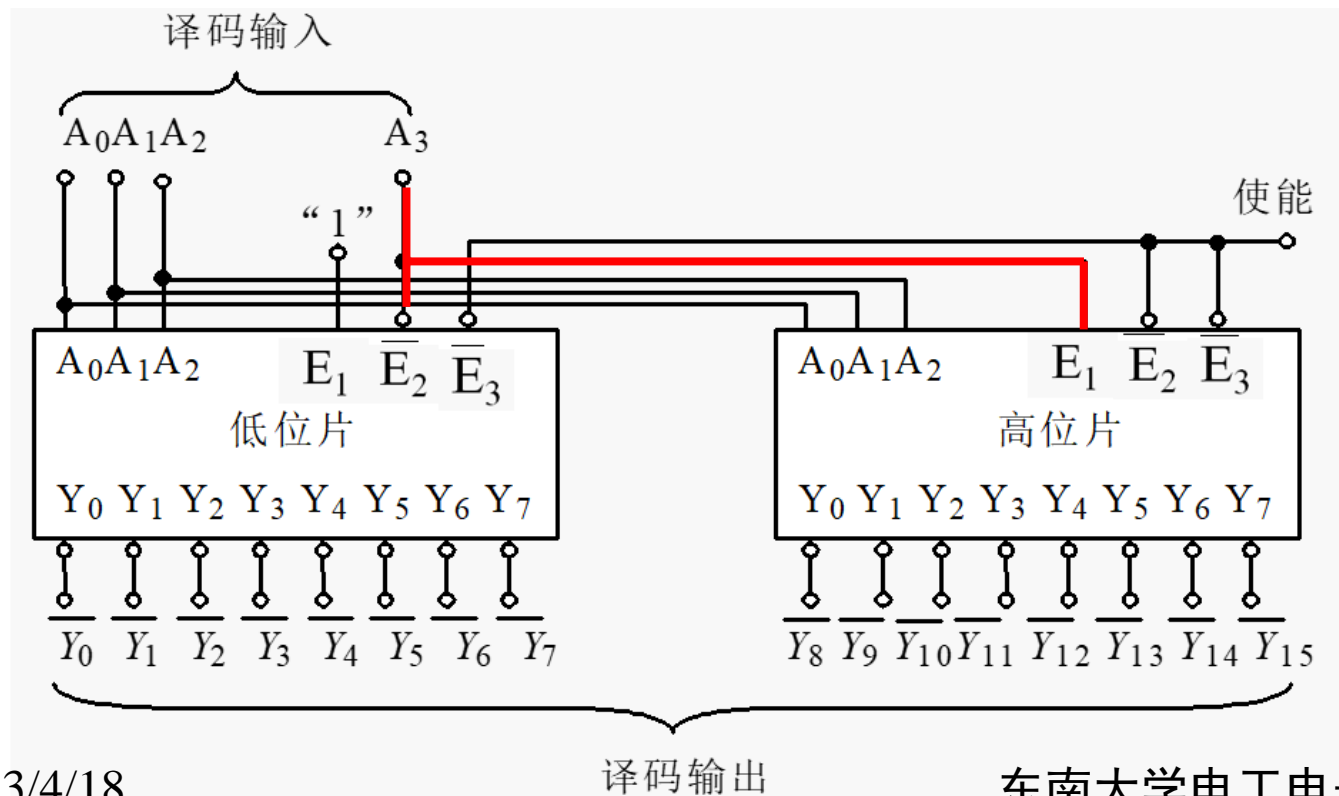
2.译码器

◆应用

(2) 3-8线译码器级联

当 $E_3 = 1$ 、 $\bar{E}_1 + \bar{E}_2 = 0$ 时，译码器处于工作状态

三个使能端也叫“**片选**”输入端，用于**多片连接**以扩展译码器的功能



- 1.地址输入端并联,加低位信号
- 2.输出端命名
- 3.使能端加高位信号选择芯片



3. 数据选择器

- 数据选择器的数据选择端少于函数中的变量数时，可以采用：
- (1) 扩展法：将数据选择器扩展，使其数据选择端跟变量数一样多
 - (2) 降维卡诺图法

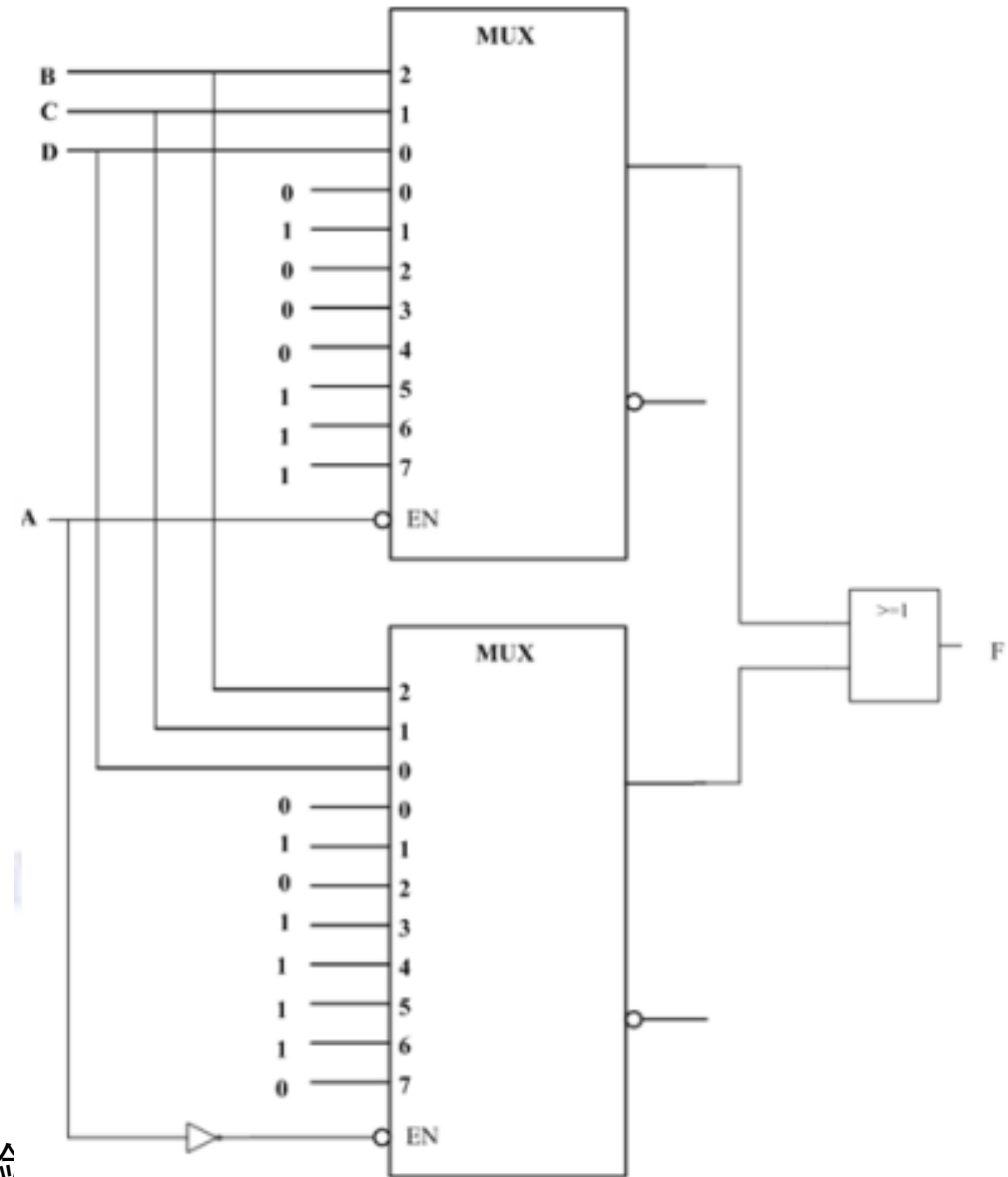
例：用8选1数据选择器实现 $F_{(ABCD)} = \Sigma m(1,5,6,7,9,11,12,13,14)$

3.数据选择器

例：用8选1数据选择器实现 $F_{(ABCD)} = \sum m(1,5,6,7,9,11,12,13,14)$

(1)扩展法

- 1.地址输入端并联,加低位信号
- 2.数据端命名
- 3.使能端加高位信号选择芯片



3. 数据选择器

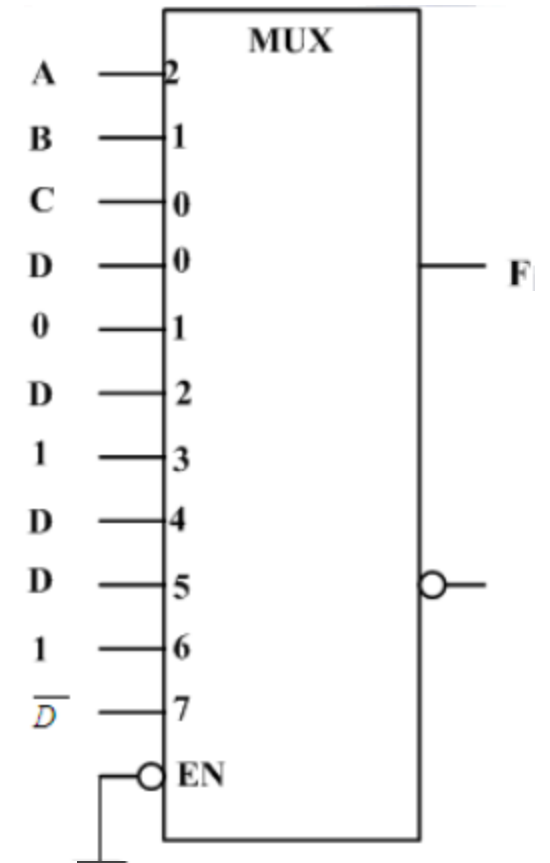
例：用8选1数据选择器实现 $F_{(ABCD)} = \sum m(1,5,6,7,9,11,12,13,14)$

(2) 降维卡诺图法

CD \ AB		CD			
		00	01	11	10
AB	00	0	1	0	0
	01	0	1	1	1
	11	1	1	0	1
	10	0	1	1	0



C \ AB		C	
		0	1
AB	00		
	01		
	11		
	10		





4. 计算机中二进制的原码、补码

在计算机系统中，数值一律用**补码**来表示（存储）。

主要原因：使用补码，可以将符号位和其它位统一处理；同时，减法也可按加法来处理。另外，两个用补码表示的数相加时，如果最高位（符号位）有进位，则进位被舍弃。

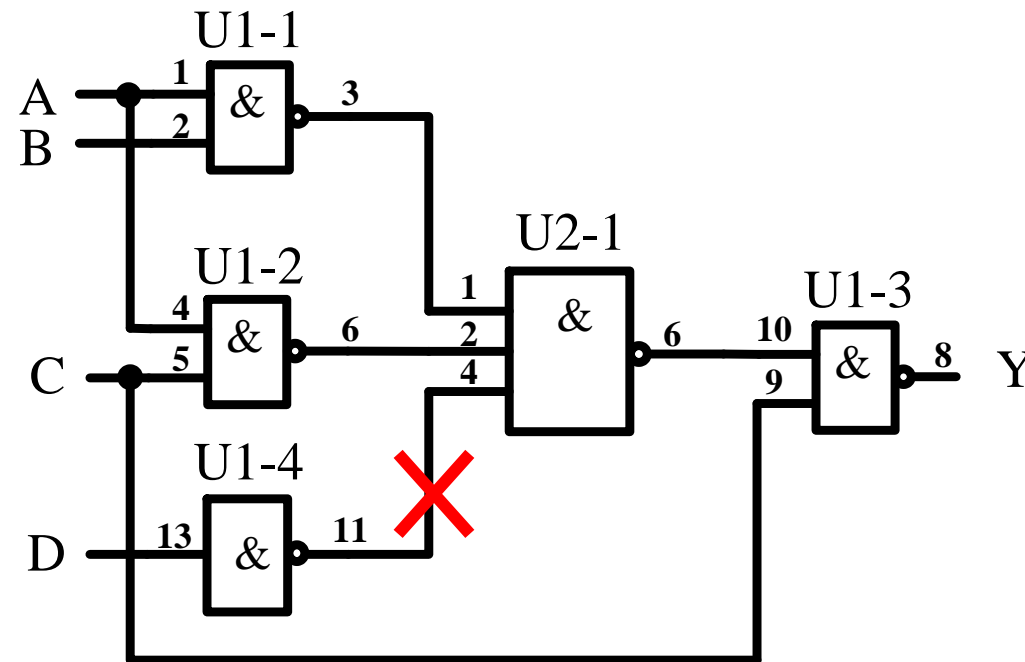
补码与原码的转换过程：

- 正数的补码与原码相同
- 负数的补码，符号位为1，其余位为该数绝对值的原码按位取反，然后末位数加1

➤ 人为制造故障：将U1-4的11脚与U2-1的4脚断开

- 将输入逻辑开关“ABCD”置在“0011”状态，根据真值表，输出应为“0”，即逻辑电平指示灯应该灭
- 实际输出逻辑电平指示灯是亮，电路存在故障

0	0	1	1	0
---	---	---	---	---



➤ 用万用表从后向前测各点的电平并与理论值比较

1) 最后一级2输入与非门 (U1-3)

- 理论分析:

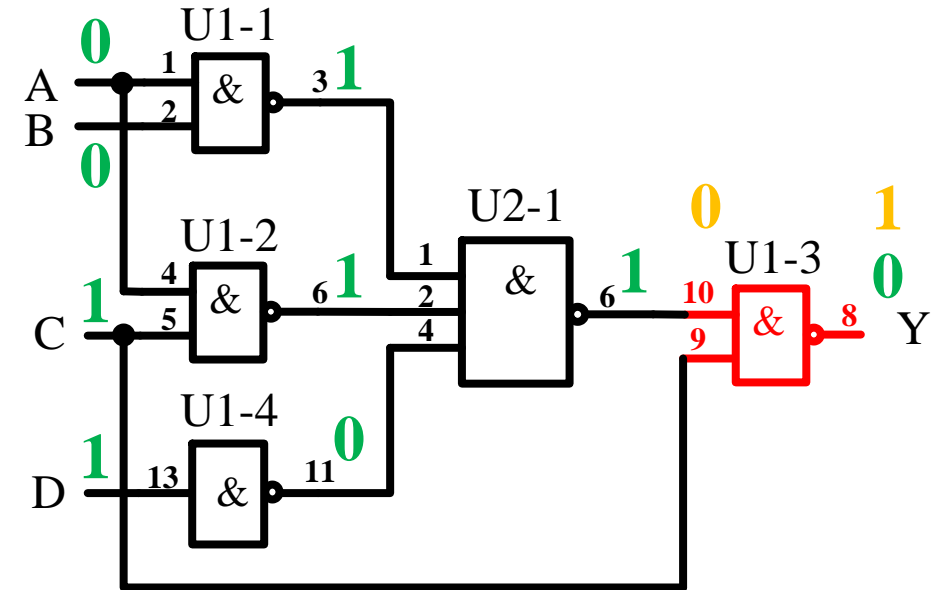
- 输入 U1-3输出 (U1-3 8脚) 应为 “0”
- 输入 U1-3的9、10脚应为 “1”

- 万用表实测

- U1-3 8、9脚对地电压, 约为5V, 等效逻辑 “1”, 9脚信号正确
- U1-3 10脚对地电压, 约为0V, 等效逻辑 “0”, 信号错误

- 结论

- 因为U1-3 10脚连接到4输入与非门输出 (U2-1 6脚), 排查U2-1



2) 排查 4 输入与非门 U2-1

- 理论分析:

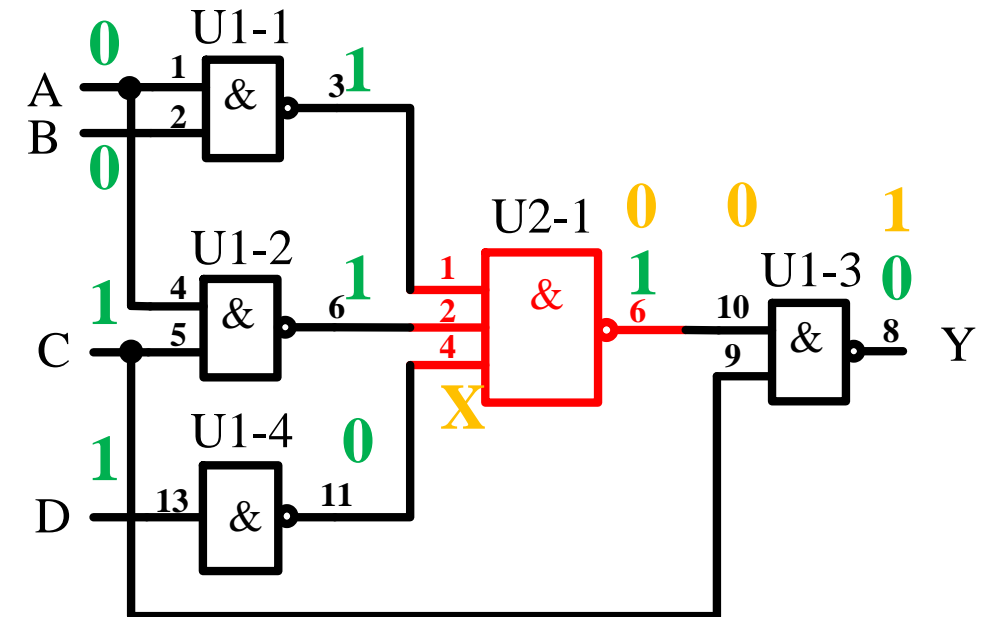
- 如 U2-1 6 脚为 “1”，则 U2-6 脚和 U1-10 之间的连线有问题
- 如 U2-1 6 脚为 “0”，则需检查 U2-1 的 4 个输入信号
- 根据原理图，U2-1 1、2、5 脚都应为 “1”，4 脚应为 “0”

- 万用表实测论

- U2-1 1、2、5 脚对地电压，约为 5V，等效逻辑 “1”，1、2、5 脚信号正常
- U2-1 4 脚对地电压，约为 0~1V，等效逻辑 “X”，信号错误

- 结论

- 因为 U2-1 4 脚信号连接到 2 输入与非门输出(U1-4 11 脚)，需排查 U1-4



6.故障排查



3) 排查 2 输入与非门 U1-4

- 理论分析:

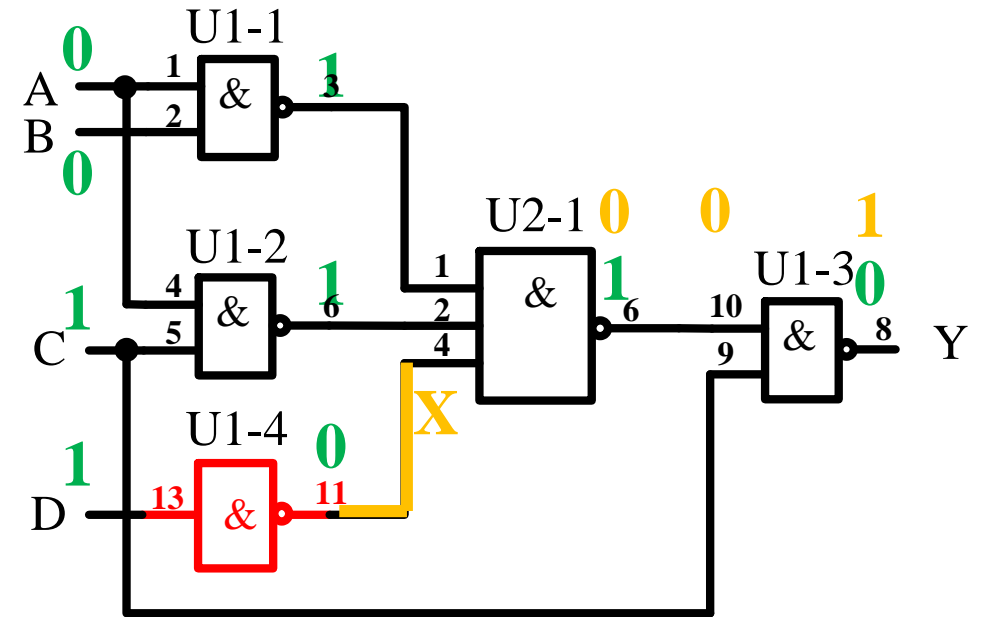
- 如 U1-4 11 脚为 “0”, 则 U1-4 11 脚和 U2-1 4 脚之间的连线有问题
- 如 U1-4 11 脚为 “1”, 则需检查 U1-4 的 2 个输入信号

- 万用表实测论

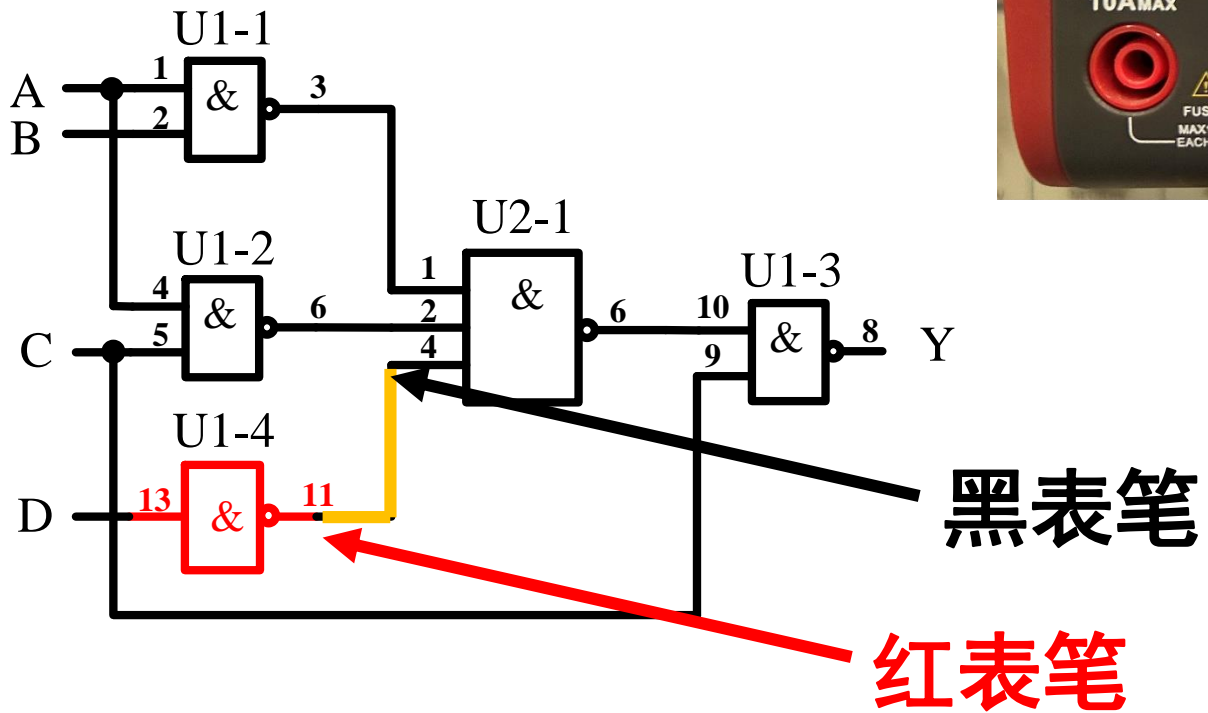
- U1-4 11 脚对地电压, 约为 0V, 等效逻辑 “0”, 信号正常

- 结论

- U1-4 11 脚和 U2-1 4 脚之间的连线有问题



万用表测量电路导通性



- ◀实验目的
- ◀相关知识点
- ◀实验内容
- ◀预习要求

1、设计一个 3 位二进制原码转补码电路，用三种方案实现

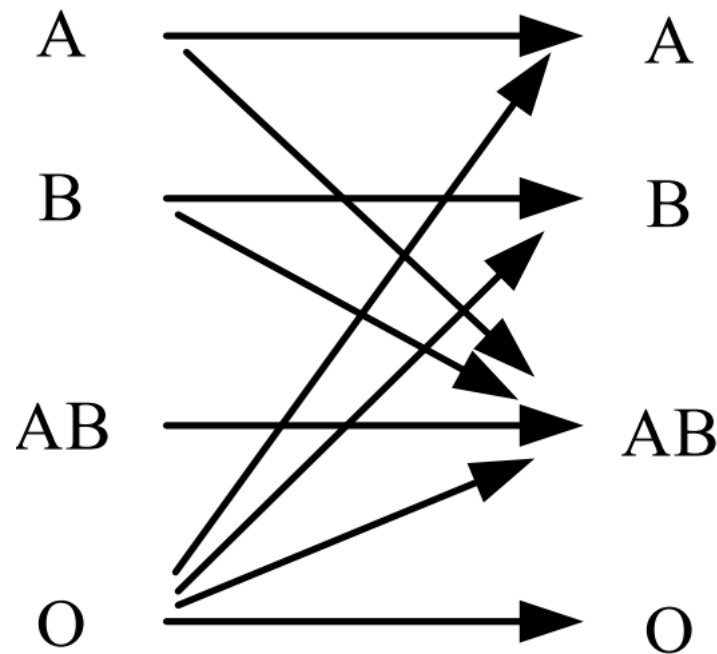
- 1) 全部用门电路实现（提示：异或逻辑可以直接选用7486）
- 2) 用数据选择器 74151+门电路实现
- 3) 用三八译码器 74138+门电路实现

◆ 注意：不考虑符号位，默认为 0 和负数，异或逻辑可以直接选用 7486

- (1) 输入输出信号编码
- (2) 列出真值表
- (3) 逻辑化简
- (4) 逻辑电路图
- (5) 硬件连接图

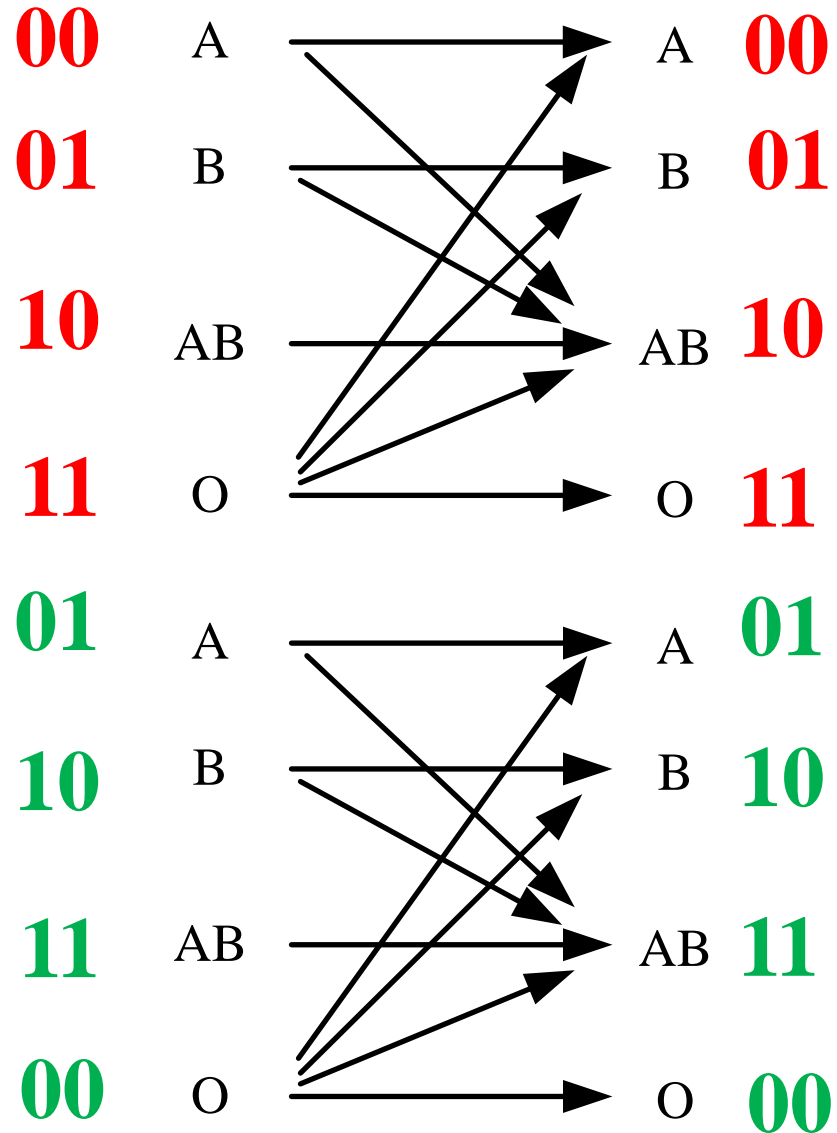
2、血型配对（必须用数据选择器实现）

- 人类有四种血型：A、B、AB 和 O 型。输血时，输血者与受血者必须符合下图的规定，否则有生命危险，利用数据选择器和最少数量的与非门，完成血型配对任务。（设计方案可参看数字逻辑电路实践教材 Page 86）



实验内容

变量定义：输血者、受血者、是否匹配



匹配：1

不匹配：0

匹配：0

不匹配：1

输血者	受血者	是否匹配
-----	-----	------

实验内容

3、发电机控制器（必须用译码器实现）

- 设有三台用电设备 A、B、C 和两台发电机组 X、Y。X 机组功率为 15kW，Y 机组功率为 25kW。用电设备 A 用电量为 15kW，设备 B 用电量为 10kW，设备 C 用电量为 5kW，三台用电设备有时同时工作，有时只有其中部分设备工作，甚至均不工作。试用 3-8 译码器设计一个供电控制电路控制发电机组，以达到节电的目的。（设计方案可参看数字逻辑电路实践教材 Page 83）

➤三台用电设备A、B、C

- 1) A用电量 15 kW
- 2) B用电量 10 kW
- 3) C用电量 5 kW
- 4) 三台用电设备有时同时工作，
有时部分设备工作，有时不工作

➤两台发电机组X、Y

- 1) X机组功率为 15 kW
- 2) Y机组功率为 25 kW

A	B	C	X	Y

◆选做实验

- 用 MSI 器件设计 2 位全加器

输入 $A_1 A_0 B_1 B_0 C_i$

输出 $C_o S_1 S_0$

实验报告



- ◆报告提交形式： **电子报告**
- ◆报告提交时间： 在每次实验课前完成上一次课的实验报告， 具体时间参照《教学计划》
- ◆报告提交地址： <http://seu.olab.top>
- ◆下载实验报告模板， 在本地编辑后再以**pdf**格式上传

下次实验预习要求



◆完成“血型配对”和“发电机控制器”电路设计，将设计方案、原理图（手绘和Multisim仿真）、硬件连接示意图（可选）写在实验报告的原理部分，并完成电路搭接

参照教学计划中“预习报告样例”

本周日



THANK YOU!