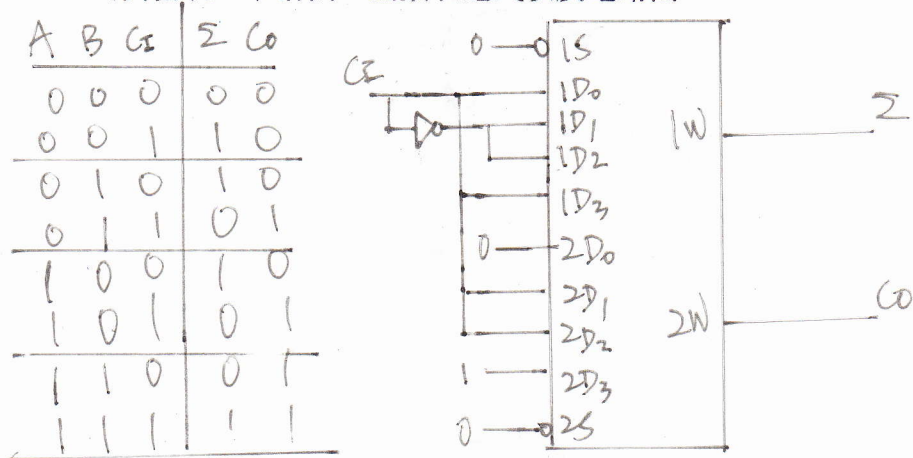
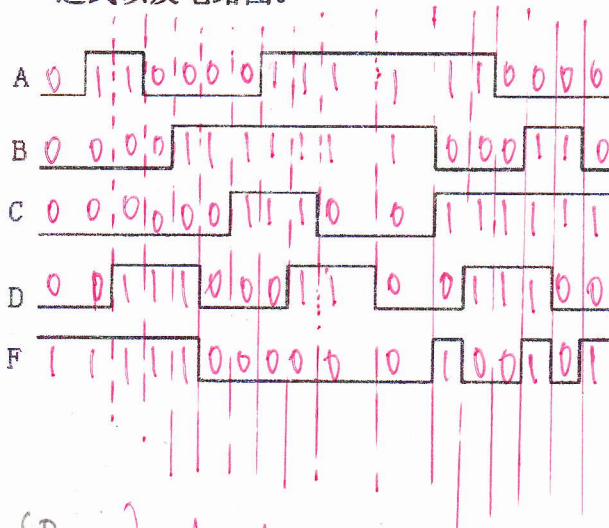


五、(10 分) 用两个四选一数据选择器，构造一位二进制数的全加器电路。写出真值表、卡洛图、函数表达式以及电路图。



六、(10 分) 在输入信号 A、B、C、D 与输出信号 F 的波形如图所示。试用“与非”门设计完成该功能的组合逻辑电路。写出真值表、卡洛图、函数表达式以及电路图。



A	B	C	D	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

AB \ CD	00	01	11	10
00	1	1	0	1
01	0	1	0	0
11	0	0	0	0
10	1	1	0	1

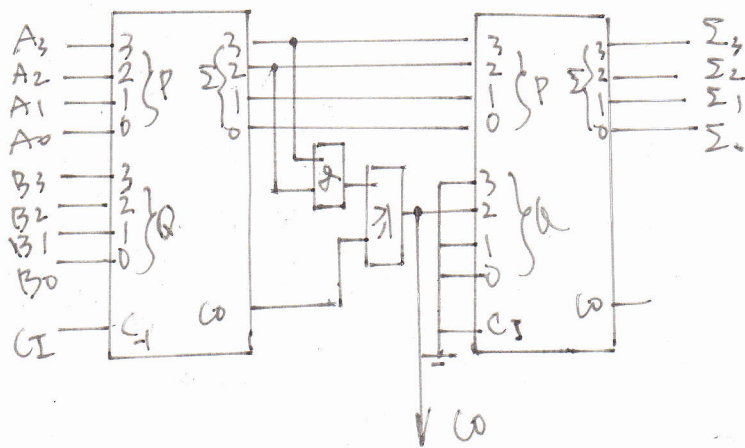
$$F = \bar{B}\bar{D} + \bar{B}C + \bar{A}BD$$

七、(15分) 试用 74283 和少量门电路设计一个 4 位十二进制全加器电路。

$\Sigma_3 \Sigma_2$	$\Sigma_1 \Sigma_0$	00	01	11	10
00					
01					
11		1	1	1	1
10					

$$\Sigma_{>12} = C_0 + \Sigma_3 \Sigma_2$$

74283 为 4 位二进制加法器
 C_0 为模 16 进位, 因此, 对于
 $\Sigma_{>12}$ 的和作 +4 处理, 实
 现模 12 进位



八、(15分) 试分析如题图所示的电路中

(1) 是否存在功能险象, 判断在何种情况下出现险象, 并取其中任一例, 画出它们的仿真波形。

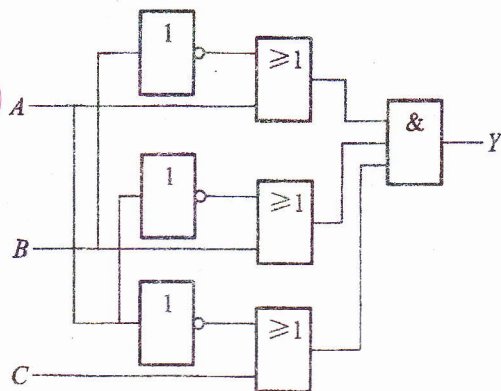
(2) 是否存在逻辑险象, 判断在何种情况下出现险象, 并安排合适的测试顺序, 画出它们的仿真波形。

(3) 试修改电路, 消除逻辑险象。

$$Y = (A+B)(\bar{A}+B)(\bar{A}+C)$$

(注意卡诺图中成5式必错)

A \ BC	00	01	11	10
0	1	1	0	0
1	0	0	1	0



(1) 存在功能险象

例: 当 $ABC = 001 \rightarrow 111$ 时
 ① 若 B 先于 A 变: $\rightarrow 011 \uparrow$
 会有 "0" 险象

$001 \rightarrow 111$
 $\rightarrow 101 \uparrow$ 若 A 先于 B 变
 会有 "0" 险象

例: 当 $ABC = 100 \rightarrow 010$ 时
 若 B 先于 A 变: $\rightarrow 000 \uparrow$
 会有 "1" 险象

A \ BC	00	01	11	10
0	1	1	0	0
1	0	0	1	0

(2) 存在逻辑险象 (卡诺图相切)

当 $B=1, C=0$ 时, $F = A \cdot \bar{A}$
 在 $A: 0 \rightarrow 1$ 的上升沿, 会有 "1" 险象

增加冗余项

(3) 增加冗余项 $(B+C)$

$$F = (A+B)(A+B)(A+C)(B+C)$$

A \ BC	00	01	11	10
0	1	1	0	0
1	0	0	1	0