# define\_design\_lib

## 功能

这个命令告诉DC设计库（design\_library）存储的位置。

## 语法

**define\_design\_lib** *library\_name* –path *directory*

## 举例

define\_design\_lib DEFAULT –path ./analyzed

define\_design\_lib WORK –path ./analyzed

# set\_false\_path

## 功能

这个命令告诉DC不需要进行时序优化的路径。

## 语法

set\_false\_path –from from\_list –through through\_list –to to\_list

from\_list:指定路径的起点，可以是clocks、ports、pins、cells。如果没有指定from\_list，那么所有到路径终点的路径都被作为不需做时序优化的路径。如果指定的from\_list是时钟，那么所有与指定的时钟相关的路径起点都被包括在内（例如：与该时钟相关的输入端口也被包括在内）；如果指定的from\_list是一个内部引脚，那么这个引脚必须是合法的路径起点（合法的路径起点包括输入端口、寄存器的时钟引脚）；如果指定的from\_list是一个cell，那么该cell上的合法路径起点被包括在内。

to\_list：指定路径的终点，to\_list可以是：clocks、ports、pins、cells。如果不指定to\_list，那么以指定的路径起点为起点的路径全部被作为不需要时序优化的路径。如果指定的to\_list是一个时钟，那么所有与指定的时钟相关的路径终点被包括在内；如果指定的to\_list是一个内部引脚，那么这个引脚必须是一个合法的路径终点，例如，一个触发器的数据引脚；如果指定的to\_list是一个cell，那么这个cell上的路径终点被指定为不需要时序优化的路径的终点。

## 举例



**create\_clock –name my\_clka –period 10 [get\_ports CLKA]**

**create\_clock –name my\_clkb –period 10 [ger\_ports CLKB]**

**set\_false\_path –from [get\_clocks my\_clka] –to [get\_clocks my\_clkb]**

**set\_false\_path –from [get\_clocks my\_clkb] –to [get\_clocks my\_clka]**

# set\_operating\_conditions

## 功能

这个命令用于指定工作条件，可以同时指定最好和最坏工作条件。最好是指延迟最小，最坏是指延迟最大。

## 语法

**set\_operating\_conditons –min min\_condition**

**–max max\_condition**

**-min\_library min\_lib**

**-max\_library max\_lib**

**-library lib**

如果不使用-max或-min选项，命令会认为输入的条件为延迟最大的工作条件；如果要使用-min选项，则必须使用-max选项，-min选项用于检查保持时间，-max选项用于检查建立时间。

## 举例

假定名为cb13fs120\_tsmc\_max的工艺库有名为cb13fs120\_tsmc\_max的最坏工作条件，名为cb13fs120\_tsmc\_min的工艺库有名为cb13fs120\_tsmc\_min的最好工作条件，现在使用set\_operating\_conditions命令同时指定最好和最坏的工作条件。

**set\_operating\_conditions –min cbs13fs120\_tsmc\_min \**

**-max cbs13fs120\_tsmc\_max \**

**-min\_library cbs13fs120\_tsmc\_min**

**-max\_library cbs13fs120\_tsmc\_max**

set\_dont\_touch

在当前设计的cells、nets、references、designs中或在library cells中设置dont\_touch属性，防止这些objects在最优化过程中被修改或替换。

语法

set\_dont\_touch object\_list [true | false]

参数