关于如何指定输入延迟和输出延迟的总结

首先，需要明确的是：Synopsys公司的DC软件对于时序逻辑约束都是基于寄存器到寄存器的模型来的，如图1所示，D触发器FF1某个时钟有效沿（这里假定为上升沿，我们把该有效沿称为“launch edge”）后将数据输出到FF1/Q端，数据经过组合逻辑经历一定延迟后到达D触发器FF2/D端，数据应在与launch edge相邻的下一个上升沿（我们称之为“latch edge”）前FF2的建立时间个时间单位保持稳定。我们所指定的输入延迟或是输出延迟都是指定的相对于某个时钟的输入延迟或输出延迟，也应该用如图1所示的约束模型来分析时序。



图1 寄存器到寄存器约束模型

## 什么是输入延迟和输出延迟？

输入延迟是指数据从外部D触发器launch edge输出后到到达待综合的设计的输入端口所经历的延迟。如图2 输入延迟和输出延迟的定义中所示。



图2 输入延迟和输出延迟的定义

输出延迟是指数据从设计内部时钟上升沿（launch edge）输出数据，经内部组合逻辑延迟输出到端口后，从端口到外部接收寄存器D端所经历的延迟，如图2中所示。

从上面的定义我们可以看出，指定的输入延迟或输出延迟都表示指定的外部的延迟。

## 指定输入延迟和输出延迟的意义

下面讨论为什么需要定义输入延迟和输出延迟？为什么要像1.1小节中给出的定义那样定义输入和输出延迟？为了使得综合后的设计能够正确的锁存输入的信号，需要指定输入端口相对于时钟信号的时序；此外，为了使得与设计相连的下游设备能够正确的锁存设计输出的信号，需要指定输出端口相对于时钟信号的时序。

那么，我们为什么不根据输入端口和输出端口相对于时钟的波形指标直接对从输入端口到与其相连的D触发器D端的路径或对设计内部D触发器Q端到输出端口的路径进行约束呢？这是因为Synopsys公司的Design Compiler软件是根据寄存器到寄存器模型来读入约束信息和进行静态时序分析（STA）的。因此，按照寄存器到寄存器模型来的话，输入延迟和输出延迟都是指的是外部环境带来的延迟，而不是直接告诉DC内部的延迟应该是多少。DC根据给出的外部环境输入延迟和输出延迟自行计算恰当的内部延迟。

## 设计的SPEC指定输入端口时序和输出端口时序的方式

SPEC通常通过两种方式来指定输入端口时序和输出端口时序。它们分别是直接指定外部输入或输出延迟和给出输入端口和输出端口相对于它们的时钟的波形图。

### 指定输入延迟（set\_input\_delay）

#### SPEC中直接给出外部输入延迟

如果直接指定了外部的输入延迟，那么在约束中给出的输入延迟值即为给定的输入延迟。例如，如图2所示，如果给定CLK的周期为10ns，外部到输入端口DIN的延迟最大为2ns，最小为1.5ns，那么，相应的约束语句应为：

create\_clock –name CLK –period 10 [get\_ports CLK]

set\_input\_delay –clock CLK –max 2 [get\_ports DIN]

set\_input\_delay –clock CLK –min 1.5 [get\_ports DIN]

#### SPEC中给出输入端口处时序波形图

如果SPEC中指定的是输入端口处相对于时钟的时序关系的波形图，则需要根据寄存器到寄存器的模型，将其转化为等效的外部输入的延迟。如图3所示，时钟CLKP的周期为8ns，输入端口CIN与CLKP的时序关系如图3所示。



图3 给定输入端口与其对应时钟时序关系波形图

在输入端口CIN处，CIN在CLKP上升沿前至少4.3ns保持稳定，CIN在CLKP上升沿后至少2ns保持稳定。根据寄存器到寄存器模型，是外部寄存器CLK端到设计输入端口的延迟使得输入端口的时序如图3所示。

那么，我们接下来介绍怎样将这个波形时序关系转换为外部输入延迟值。因为CIN在CLKP上升沿前至少4.3ns就保持稳定了，并且时钟CLKP的周期为8.0ns，所以从外部寄存器CLK端到输入端口CIN的延迟应不大于（8.0-4.3）ns，即3.7ns。此外，CIN在CLK上升沿后至少2ns保持稳定，所以从外部寄存器CLK端到输入端口CIN的延迟应不小于2.0ns。

**解题方法：谨记一点，根据寄存器到寄存器模型，是外部寄存器CLK端到设计输入端口的延迟造成了输入端口相对于其对应时钟的波形时序。所以，在思考指标时，只要考虑什么样的外部延迟才会带来SPEC中规定的时序关系就能正确的求解出合理的约束了。**

所以，约束语句应为：

create\_clock –name CLKP –period 8 [get\_ports CLKP]

set\_input\_delay –clock CLKP –max 3.7 [get\_ports CIN]

set\_input\_delay –clock CLKP –min 2.0 [get\_ports CIN]

### 指定输出延迟（set\_output\_delay）

#### SPEC中直接给出外部输出延迟

如果直接指定了输出端口到外部寄存器的延迟，那么在约束中给出的输出延迟值即为该给定的延迟。例如，如图2所示，如果给定CLK的周期为10ns，给定输出端口DOUT到外部寄存器D端的延迟最大为2.8ns，最小为2.1ns，那么，相应的约束语句应为：

create\_clock –name CLK –period 10 [get\_ports CLK]

set\_output\_delay –clock CLK –max 2.8 [get\_ports DOUT]

set\_output\_delay –clock CLK –min 2.1 [get\_ports DOUT]

#### SPEC中给出输出端口处时序波形图

如果SPEC中给出的是输出端口处信号与其对应的时钟的时序波形图，那么则应根据寄存器到寄存器模型，将其转换成等效的外部输出延迟。转换的核心思路是：思考怎么样的外部延迟才会迫使DC在综合时使得设计内部寄存器CLK端到输出端口的路径延迟能够在输出端口处输出SPEC中指定的时序关系。下面用一个例子来阐述如何得出等效的外部输出延迟，从而完成输出延迟约束的指定。

如下图4中所述，时钟信号CLKP的周期为6ns，输出端口信号QOUT在CLKP上升沿前2ns保持稳定，在CLKP上升沿后1.5ns保持稳定。我们注意到QOUT在CLKP上升沿后1.5ns保持稳定，我们可以明确的是，我们必须施加一个外部输出延迟约束，使得DC在综合时使得内部输出寄存器的CLK端到输出端口的延迟至少为1.5ns，根据寄存器到寄存器模型，只有在外部输出延迟至少为-1.5ns时，才能使得DC在综合时使得内部延迟至少为1.5ns。此外，因为输出端口信号QOUT在CLKP上升沿前2ns保持稳定，而且时钟CLKP的周期为6ns，这也就意味着从内部寄存器CLK端到输出端口的延迟不能超过（6-2）ns，否则，不能满足在CLKP上升沿前2ns保持稳定。综上所述，等效的外部输出延迟最小为-1.5ns，最大为4ns，对应的约束语句如下所述：

create\_clock –name CLKP –period 6 [get\_ports CLKP]

set\_output\_delay –clock CLKP –max 2 [get\_ports QOUT]

set\_output\_delay –clock CLKP –min -1.5 [get\_ports QOUT]



图4 SPEC中给出输出端口处时序波形

## 实际项目中的经验积累

### SPEC中给定输入端口信号时序波形范例1

如图5中所示，IOR信号为读信号，这里用作时钟信号，在IOR上升沿判断片选信号CS\_n是否为低，若为低则表示片选有效。但是，当CS\_n输出有效时相对于IOR下降沿有最大±5ns的延迟，假定IOR的周期为20ns，如图5(a)和图5(b)中所示。



图5(a)



图5(b)

从图5可以看出，根据寄存器到寄存器模型，输入信号的有效时间应为1个时钟周期的长度，但是这里输入信号的有效时间与时钟信号低电平宽度相同，而我们只能采用寄存器到寄存器模型对输入端口进行约束。我们经过观察可以看出，我们使用IOR上升沿作为时钟有效沿，结合输入信号CS\_n的端口时序，可以看出，我们将CS\_n的有效宽度扩展为IOR时钟周期的宽度也是可以的，对输入波形指标不会产生影响。因此，输入端口的时序要求可以转换为：



图6 输入端口CS\_n端口时序参数等效



图7 根据波形指标得出的最大延迟情况



图8 根据波形指标得出的最小延迟情况

根据图6、图7和图8可得，对应的输入延迟约束应为：

create\_clock –name RCLK –period 20 [get\_ports IOR]

set\_input\_delay –clock RCLK –max 5 [get\_ports CS\_n]

set\_input\_delay –clock RCLK –min -5 [get\_ports CS\_n]