**脚本仿真说明**

**\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*注意\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\***

**Modelsim自动脚本仿真方式并不唯一，脚本Tcl代码也可以根据需求特别设计，有兴趣的同学可以参考modelsim\_se\_tut.pdf官方说明文档。本文档主要针对实验“Module\_verification”中脚本进行说明。**

1. **脚本介绍**

本实验（以32位为例）共使用到三个脚本：sim32.bat(windows系统下的批处理脚本)，sim32.do(Modelsim自动仿真脚本，使用Tcl脚本语言)，run\_module.f(源文件目录文件，主要用于指定源文件的目录)

*//斜体为说明文字*

**sim32.bat:** vsim *(打开Modelsim)* -do sim32.do*(在Modelsim命令行中运行sim32.do)*

**sim32.do:**

vlib work *//新建一个work库*

vlog -incr -f run\_module.f

vlog -incr -f run\_module.f *//编译所有在run\_module.f中引用的源文件*

vsim -c -sv\_lib altivec32 top\_class\_based -novopt –wlfdeleteonquit *//加载激励以及systemverilog仿真库等*载激励以及仿真库

add wave -r /\* *//加载波形，/\*表示添加所有信号*

run –all *//运行*

#quit -f

**run\_module.f:**

./src/t\_altivec\_env\_pkg.sv

./src/t\_altivec\_dut.sv

./src/t\_top\_class\_based.sv

./Define.v *//本行及前三行为用SystemVerilog写的测试平台源代码*

../src/altivec\_design/vsfx/vsfx\_top.v *//指定所有源文件的路径，这里只写了vsfx\_top.v，实验时需要将所有vsfx的子文件添加到此文件中*

1. **使用方法**

1.实验时需要将所有编写好的源文件，存储到实验文件./src/altivec\_design/vsfx目录下，并将vsfx\_top.v改写好或直接替换为自行编写好的vsfx\_top.v。

2. 将所有添加的源文件路径添加到run\_module.f文件中（仿照../src/altivec\_design/vsfx/vsfx\_top.v，注意名称要一致）。

3. 根据Modelsim软件的位数（32位还是64位，打开Modelsim便可查看），运行相应位数的.bat脚本，开始自动化仿真

4. 根据仿真信息及波形查看结果或定位错误。