Indice:

-Introduzione: cosa è il btb e a cosa serve

-Architettura: come è stato concepito e la sua struttura interna + scenari

-Interfacciamento con il dlx: quali segnali usiamo e come cambia la logica della pipeline

-Risultati sperimentali: testbench del btb + simulazioni

-Codice

**UNIVERSITÀ DEGLI STUDI DI BOLOGNA**

FACOLTÀ DI INGEGNERIA

Corso di Laurea Magistrale in Ingegneria Informatica

Calcolatori Elettronici M – Prof. Giovanni Neri, Prof. Stefano Mattoccia

**Progetto di Calcolatori Elettronici M**

**“Realizzazione di un branch target buffer nel linguaggio VHDL”**

Realizzato da:

*Enrico Baioni*

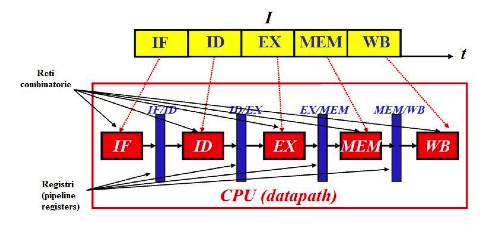
*Raffaele Luca Iannario*

*Simone Tallevi Diotallevi*

**Anno Accademico 2009 - 2010**

# Introduzione

Il progetto realizzato si basa sull’implementazione nel linguaggio VHDL di un Branch Target Buffer (BTB) da utilizzare con un processore DLX operante con una pipeline costituita da cinque stadi: Instruction Fetch (IF), Instruction Decode (ID), Execute (EX), Memory (MEM), Write Back (WB).

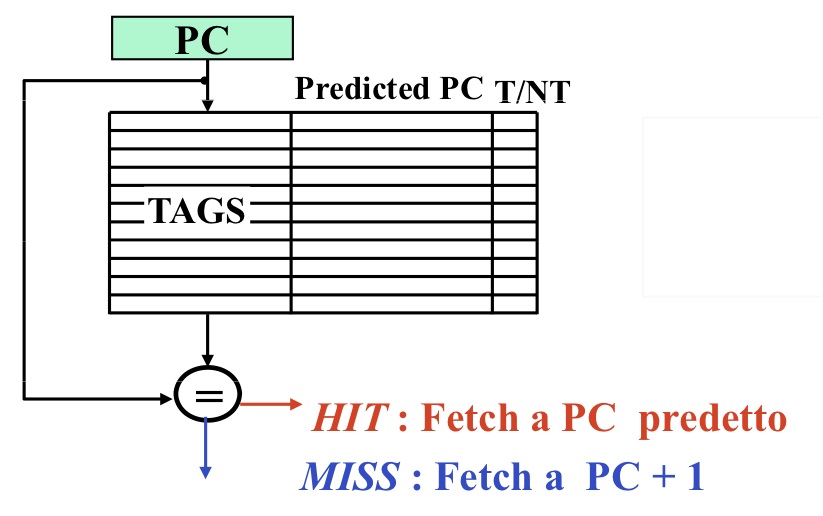


Figura

Il componente realizzato dovrebbe fornire un incremento delle prestazioni della pipeline, in particolare dello throughput, in quanto permette di evitare stalli dovuti alle istruzioni di branch nel sistema DLX predicendo le stesse, grazie ad un algoritmo di predizione, nello stadio di IF. Il sistema verifica sempre la predizione nello stadio di EX in cui è valutata la condizione del branch. Nel caso di valutazione contrastante con la predizione è necessario inserire degli stalli all’interno della pipeline e riprendere l’esecuzione dall’istruzione corretta. Nel caso di valutazione coerente non è necessario apportare alcuna modifica al flusso di esecuzione poiché è stato già eseguito il fetch dell’istruzione corretta.

# Architettura

Il BTB è realizzato come una cache i cui TAG sono costituiti dai Program Counter (PC) corrispondenti a istruzioni che in precedenza sono state individuate, dallo stadio di EX, come branch. La prima volta che s’incontra un’istruzione di branch, non è presente una linea relativa all’interno del BTB; pertanto l’esecuzione procede normalmente fino allo stadio di EX, il quale valuta il branch e procede all’aggiornamento del BTB.



Figura

## Struttura interna

Nel caso specifico, l’unità è stata realizzata mediante una cache set-associative a due vie da 64 slot.

Ogni via segue la seguente modellazione:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| TAG | DESTINAZIONE | PREDIZIONE | RIMPIAZZAMENTO | STATO |

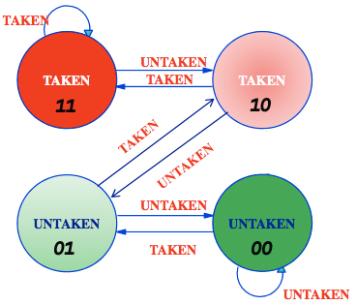
* TAG: 24 bit (30 relativi al PC a cui vengono sottratti i 6 che formano l’Index).  
  Anche se l’architettura RISC del DLX prevede indirizzi a 32 bit, poiché le istruzioni sono di lunghezza fissa (32 bit) e quindi allineate, gli ultimi due bit assumono sempre il valore zero ed è possibile non considerarli. È necessario un Index a 6 bit per l’identificazione univoca dei 64 slot (log2 64 = 6)
* DESTINAZIONE: 30 bit che individuano l’indirizzo di destinazione
* PREDIZIONE: 2 bit (vedi Algoritmo di predizione)
* RIMPIAZZAMENTO: 1 bit (vedi Politica di rimpiazzamento)
* STATO: 1 bit che indica la validità della linea

Quindi ogni via è composta da 58 bit e di conseguenza ogni slot da 116 bit. La dimensione totale della cache è di 116\*64/8 = 928 Byte.

## Algoritmo di predizione

Gli algoritmi di predizione determinano il successo o meno di un BTB poiché sono fondamentali per l’incremento prestazionale della pipeline. Esistono diversi algoritmi, alcuni protetti da segreto industriale.

Nel progetto è stato implementato un algoritmo semplice che prevede l’utilizzo di due bit per la codifica di quattro stati al fine di memorizzare la storia relativa all’istruzione.  
Basandosi sulla correttezza della predizione comunicata dal mondo esterno al BTB è possibile eseguire una transizione di stato seguendo la logica rappresentata nella figura sottostante. In caso di MISS in scrittura lo stato iniziale è determinato staticamente e quindi portato in uno stato forte (“11” o “00”) sulla base della correttezza della predizione iniziale, la quale, in caso di MISS in lettura, è sempre UNTAKEN poiché non c’è modo di determinare la destinazione del branch (in mancanza di una logica aggiuntiva nello stadio di IF).



Figura

I quattro stati garantiscono una maggiore robustezza nei casi di predizione errata. Infatti sono necessarie due “misprediction” consecutive per cambiare la predizione. Inoltre è possibile invertire repentinamente la predizione qualora si sbagliasse una terza volta.

Con questo algoritmo di predizione è attesa un’accuratezza superiore all’80%.

## Politica di rimpiazzamento

Quando il sistema si trova a regime, a causa della limitata dimensione della cache, a seguito della richiesta d’inserimento di una linea non presente è possibile che occorra rimpiazzare una delle linee appartenenti a un determinato slot. Tra le varie politiche possibili ne è stata scelta una di tipo Least Recently Used (LRU), la quale prevede la sostituzione della linea utilizzata meno recentemente.

Nel caso di una cache set-associative a due vie è necessario un bit per il rimpiazzamento per ogni linea di ogni slot. In realtà sarebbe sufficiente un solo bit per ogni slot che indichi la linea da rimpiazzare, ma è stato scelto di utilizzare due campi dedicati per slot in modo da fornire una maggiore scalabilità al sistema.

Le situazioni che portano all’applicazione della politica LRU sono essenzialmente due:

* HIT in lettura: occorre marcare la linea trovata come più giovane, portando il valore del bit di rimpiazzamento al valore logico zero e settando il bit relativo all’altra via
* MISS in scrittura: sono possibili due situazioni. La prima è che una delle due vie (o entrambe) dell’Index corrente sia invalida. In tal caso si scrivono tutte le informazioni in quella via (o nella prima linea invalida trovata) e viene settata come valida e più giovane mentre l’altra (se valida) diventa la più vecchia. La seconda situazione è che entrambe le linee sono valide e quindi occorre rimpiazzare la via più vecchia (bit di rimpiazzamento a “1”). Dopo la scrittura si agisce su tale linea come se ci fosse stato un HIT in lettura

## Casi d’uso

## [todo: inserire omino con casi d’uso viso]Scenario – Lettura

Descrizione  
 - Lo scenario descrive l’interrogazione del BTB da parte dello stadio di IF

Attore  
 - Stadio di IF

Flusso principale

1. Lo stato IF invia al BTB il PC corrente attivando il segnale RD
2. Il BTB ricerca il PC al suo interno
3. Il PC è presente e la linea è valida
4. Il BTB aggiorna i bit di rimpiazzamento
5. Il BTB emette i 30 bit relativi all’indirizzo di destinazione del branch e contemporaneamente emette il valore determinato dall’algoritmo di predizione sulla relativa uscita.
6. Lo stadio di IF, al clock successivo, esegue il fetch dell’istruzione successiva in base alla predizione

Flusso alternativo

3a. Il PC non è presente (o la corrispondente linea è invalida)

4a. Il BTB emette sempre come predizione UNTAKEN

5a. Lo stadio di IF considera l’indirizzo di destinazione ricevuto dal BTB come non significativo ed esegue il fetch all’indirizzo PC+1 (idealmente +4)

## Scenario – Scrittura

Descrizione  
 - Lo scenario descrive il dialogo tra il BTB e lo stadio di EX

Attore  
 - Stadio di EX

Flusso principale

1. Lo stadio di EX invia al BTB il proprio PC (se esso è associato a una istruzione di branch), l’indirizzo di destinazione calcolato e la correttezza della predizione
2. Il BTB ricerca il PC al suo interno
3. Il PC è presente
4. Il BTB aggiorna i bit di predizione della via identificata dal PC
5. Il BTB sovrascrive l’indirizzo di destinazione

Flusso alternativo

3a. Il PC non è presente

4a. Il BTB applica la politica di rimpiazzamento per lo slot identificato dal PC

5a. Il BTB sovrascrive l’indirizzo di destinazione

6a. Il BTB inizializza lo stato della predizione

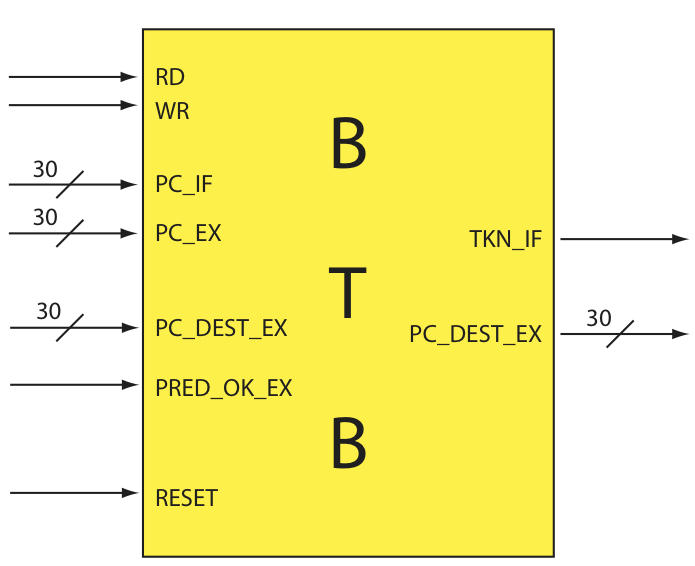
Nota

La riscrittura dell’indirizzo di destinazione avviene sempre, in previsione dell’utilizzo del BTB da parte di un processore in grado di eseguire istruzioni di branch non solamente con operando (offset) immediato.

# Realizzazione VHDL

In questa sezione verrà presentata l’implementazione del componente BTB nel linguaggio VHDL.

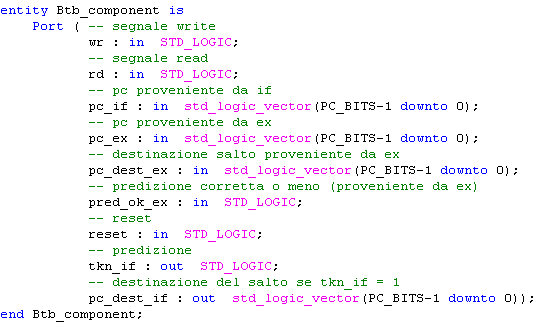
## Pin in/out logico BTB

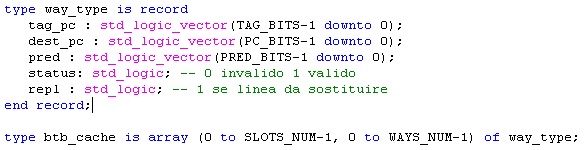


Figura

* RD: settato dallo stadio di IF per la lettura del BTB
* WR: settato dallo stadio di EX per la scrittura sul BTB
* PC\_IF: PC, inviato dallo stadio di IF, dell’istruzione di cui si vuole sapere la predizione
* PC\_EX: PC, inviato dallo stadio di EX, dell’istruzione di cui si vuole aggiornare o aggiungere il record sul BTB
* PC\_DEST\_EX: PC di destinazione relativo all’istruzione di branch che si trova all’indirizzo PC\_EX
* PRED\_OK\_EX: se alto significa che la predizione effettuata per l’istruzione all’indirizzo PC\_EX è corretta. Se basso significa che la predizione era errata
* RESET: quando alto resetta il BTB invalidando tutte le linee
* TKN\_IF: predizione relativa all’istruzione PC\_IF
* PC\_DEST\_IF: PC di destinazione dell’istruzione all’indirizzo PC\_IF

Definizione del componente BTB in VHDL:

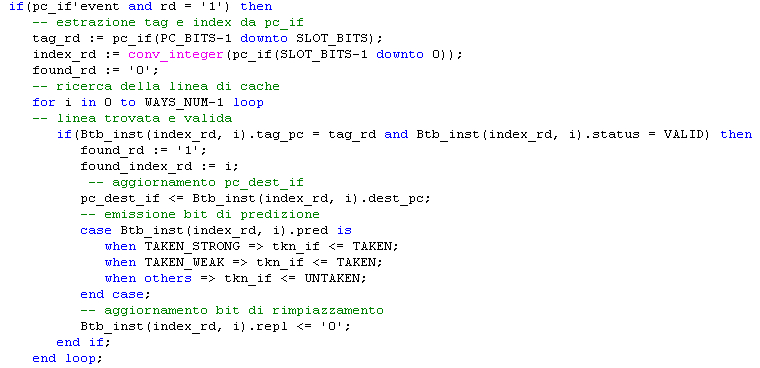


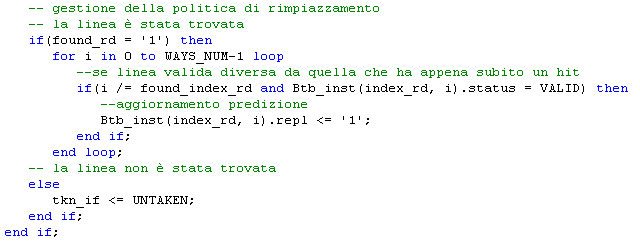


Figura

## BTB Component Logic

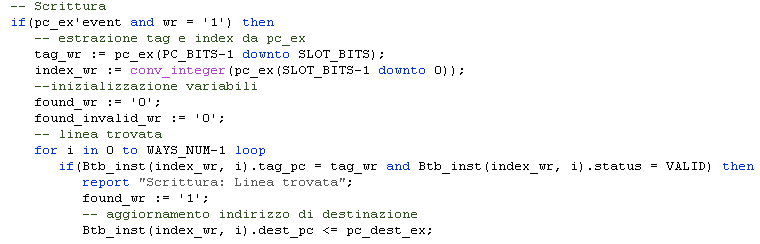
Implementazione dello scenario di lettura:

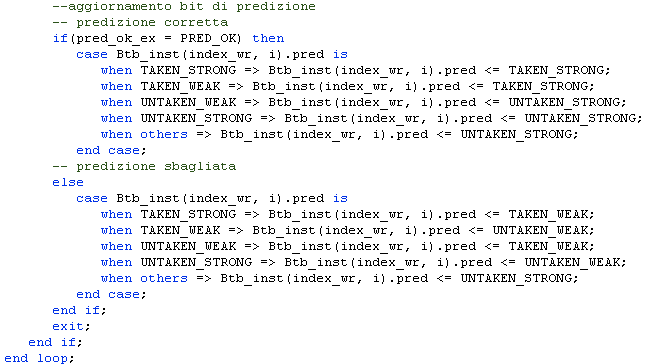


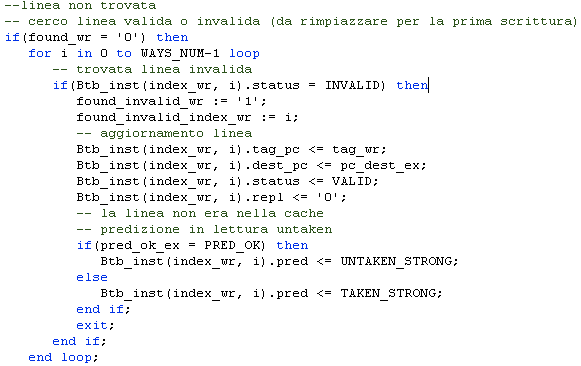


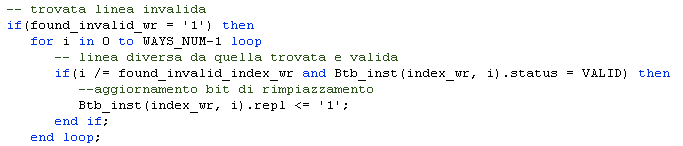
Figura

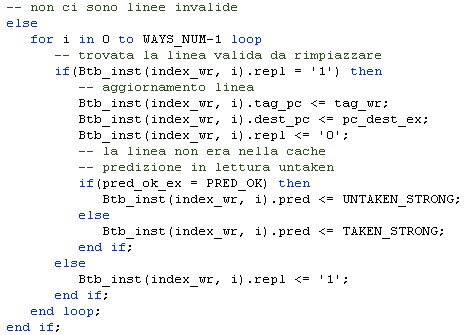
Implementazione dello scenario di scrittura:





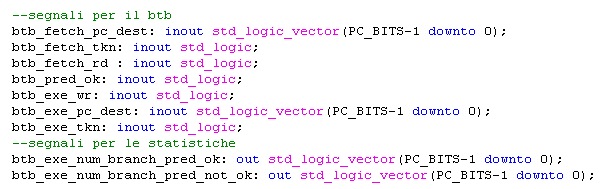


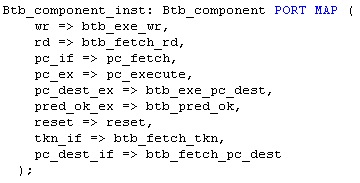




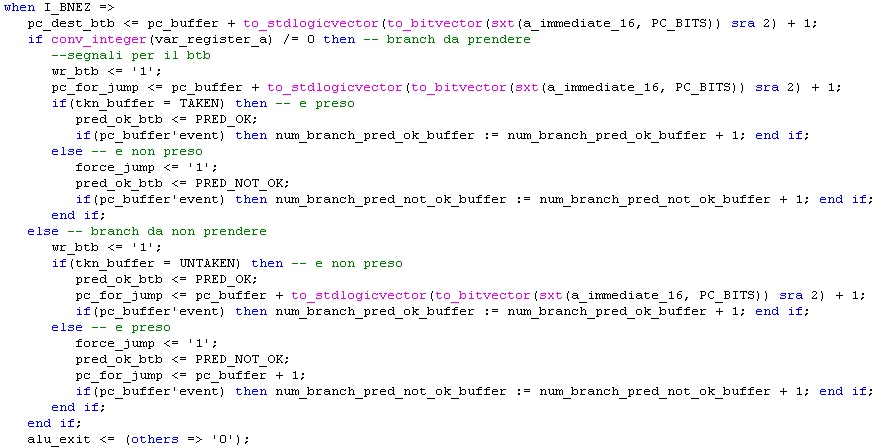
Figura

## Integrazione con il sistema DLX Pipelined



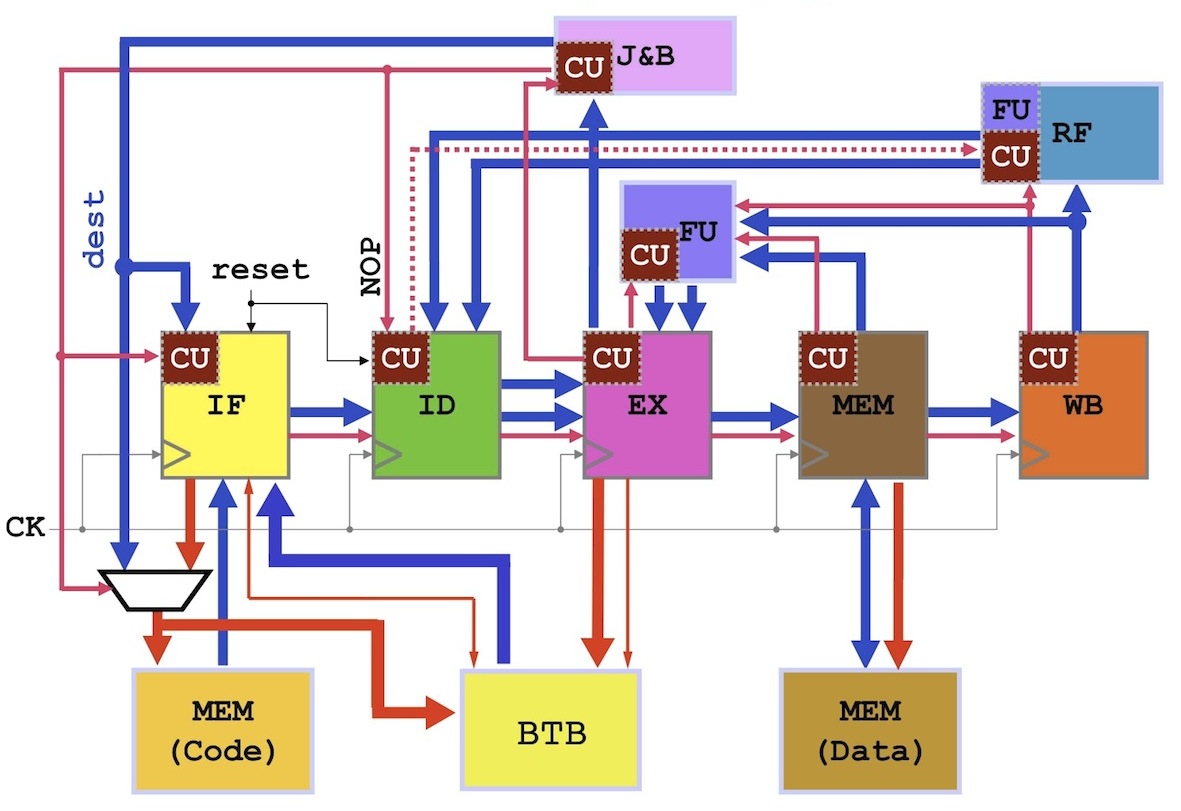


Figura



Figura

Affinchè il processore DLX possa utilizzare il BTB sono necessarie modifiche alla sua pipeline per quanto concerne gli stadi di IF, ID e EX. Lo stadio di IF deve essere in grado di pilotare il segnale RD e PC\_IF verso il BTB e campionare i segnali di risposta TKN\_IF e PC\_DEST\_IF. È fondamentale portare la predizione lungo la pipeline per dare la possibilità allo stadio di EX di verificare la correttezza della predizione. A tal fine la modifica riguardante lo stadio di ID è semplicemente l’aggiunta di un segnale, appunto la predizione, da campionare dall’uscita del BTB e da trasmettere allo stadio di EX. Le modifiche relative allo stadio di EX sono più articolate in quanto, oltre all’aggiunta dei segnali di WR, PC\_EX, PC\_DEST\_EX e PRED\_OK verso il BTB, è necessario modificare la logica in caso di predizione errata: in tale situazione occorre riportare la pipeline nello stato corretto attivando il segnale già presente di force\_jump e settando pc\_for\_jump. L’unità J&B già presente nel sistema eseguirà il fetch asincrono dell’istruzione corretta e provvederà a trasformare in NOP l’istruzione presente nello stadio ID.



Figura

# Test bench

[todo: spiegare in cosa consiste il test, grafico della simulazione, commenti sulla simulazione]

# Risultati sperimentali