

计算机组成原理

Homework 6

Made by TA

2023 年 4 月 23 日

注意：

1. 本次作业提交 DDL 为 5.10 下午 2:00 之前，超过该时间的提交会被扣除一定的作业分数。
2. 不加特殊说明的情况下，所有的寄存器、地址均为 32 位宽度的。以下题目均在 RV32I 指令集中讨论。

题目 1. 在本题中将讨论流水线如何影响处理器的时钟周期。假设数据通路的各个流水级的延迟如下：

IF	ID	EX	MEM	WB
250ps	350ps	150ps	300ps	200ps

同时，假设处理器执行的指令分布如下：

ALU/Logic	Jump/Branch	Load	Store
45%	20%	20%	15%

1. 在流水化和非流水化的处理器中，时钟周期分别是多少？
2. 在流水化和非流水化的处理器中，对于 ld 指令的延迟分别是多少？
3. 如果我们将数据通路中的一个流水级拆成两个新的流水级，每一个新的流水级的延迟是原来的一半，那么我们将拆分哪一级？新处理器的时钟周期是多少？

4. 假设没有停顿或冒险，数据存储器利用率如何？
5. 假设没有停顿或冒险，寄存器堆的写端口利用率如何？

题目 2. 对于如下的 RSIC-V 的汇编片段：

```
sd    x29, 12(x16)
ld    x29, 8(16)
sub   x17, x15, x14
beqz  x17, label
add   x15, x11, x14
sub   x15, x30, x14
```

假设我们修改流水线使得其只有一个存储器（存放指令和数据）。在这种情况下，每次程序在另一个指令访问数据的同一周期内获取指令时，都会存在结构冒险。

1. 请画出流水线图，说明以上代码会在何处停顿。
2. 是否可通过重排代码来减少因结构冒险而导致的停顿次数？
3. 该结构冒险必须用硬件来解决吗？我们可以通过在代码中插入 NOP 指令来消除数据冒险，对于结构冒险是否可以相同处理？请解释原因。
4. 在典型程序中，大约需要为该结构冒险产生多少时钟周期的停顿？（使用以下指令分布）

R-type/I-type (non-ld)	ld	sd	beq
52%	25%	11%	12%

题目 3. 如果我们改变 load/store 指令格式，使用寄存器（不需要立即数偏移）作为访存地址，这些指令就不再需要使用 ALU。这样的话，MEM 阶段和 EX 阶段就可以重叠，流水级数变为四级。

1. 流水级数的减少会影响时钟周期吗？
2. 这样的变化可能会提高流水线的性能吗？
3. 这样的变化可能会降低流水线的性能吗？

题目 4. 考虑如下循环：

```
LOOP: ld    x10, 0(x13)
      ld    x11, 8(x13)
      add   x12, x10, x11
      subi  x13, x13, 16
      bnez  x12, LOOP
```

如果使用完美的分支预测（即没有控制冒险带来的流水线停顿），流水线中没有使用延迟槽，采用硬件前递解决数据冒险，分支指令在 EX 阶段判断是否跳转。

1. 给出该循环中前两次循环的流水线执行图。
2. 标注出没有进行有用操作的流水级。当流水线全负荷工作时，所有五个流水级都在进行有用的操作的情况多久会出现一次？（从 `subi` 指令进入 IF 阶段开始计算，到 `bnez` 指令进入 IF 阶段结束）