

计算机组成原理

Homework 8

Made by TA

2023 年 5 月 24 日

注意：

1. 本次作业提交 DDL 为 6.7 下午 2:00 之前，超过该时间的提交会被扣除一定的作业分数。
2. 请特别注意按照题目所给的地址位宽完成题目。

题目 1. 现在一台电脑的处理器有**32 bits**的寻址空间，内存中的每个块的大小为**32 bytes**，电脑的 cache 能够存储 **16KIB** 数据。

1. 请问该电脑的 cache 能够存储多少个块？
2. 假设该电脑的 cache 采用直接映射的方式，那么地址中**TAG**、**Index**、**OFFSET**的位宽分别是多少？
3. 如果采用的是 4 路组相联的方式，那么**TAG**、**Index**、**OFFSET**的位宽分别是多少？

题目 2. 现在我们有一个8bits寻址空间的计算机，内存中的每个块的大小为 8 bytes，计算机的 cache 能够存储 32B 数据。cache 采用两路组相联的方式，采用 LRU 策略。现在有以下访问序列：(Tag, Index, Offset均填入二进制)

有关Miss Type的说明：指3C模型中的三种失效类型，可以参加老师ppt 98页的内容。

Address	Tag	Index	Offset	Hit/Miss/Replace	Miss Type
0b000000100					
0b000000101					
0b01101000					
0b11001000					
0b01101000					
0b11011101					
0b01000010					
0b000000100					
0b11001000					

题目 3. 现在有一个32位字节寻址的 RISC-V 计算机，拥有 4 GiB 内存，一个 16 KiB 的 cache，每个 cache 块的大小为 32 byte 同时采用 LRU 策略。现在我们有如下的 C 代码, 假定第一次运行时cache为空：

```
#define SIZE_A 2048

typedef struct {
    int x; // int 为 32 bits
    int y[3];
} node;

int count(node *A, int x) { // 为简化问题，A的首地址恰好位于一个块的首地址
    int k = 0;
    for (int i = 0; i < SIZE_A; i++) {
        if (A[i].x == x) {
            k++;
        }
    }
    return k;
}
```

```
}
```

在相同A在不同x下连续进行充分多次调用，回答下列问题：

1. 采用直接映射，对A[i].x的访问是否会产生cache失效？如果会，会出现哪些失效？命中率是多少？
2. 如果采用8路组相联，对A[i].x的访问是否会产生cache失效？如果会，会出现哪些失效？命中率是多少？
3. 如果采用全相联映射且将cache的策略改为MRU，对A[i].x的访问是否会产生cache失效？如果会，会出现哪些失效？命中率大约是多少？
4. cache容量满后，出现的失效一定为容量失效吗？如果不是，举例说明。
5. 通过增加块的数量cache容量一定能提高命中率吗？如果不是，举例说明。