



东华大学

课程设计报告

数字频率计

专业: _____ 专业

姓名: _____ 姓名

学号: _____ 学号

2023 年 11 月 14 日

摘要

随着科技的不断发展，数字式频率计的应用前景越来越广泛，在物联网、智能家居、医疗设备等领域都有着广泛的应用。本次课程设计主要基于FPGA和数字电路设计了一个简易的数字频率计。

本数字频率计数器主要由分频、计数、锁存、译码显示等主要模块构成。由这些模块组合成整体电路。

分频模块:输入10MHz的时钟信号,经过分频后,可输出1MHz、100KHz、10KHz、1KHz、100Hz、10Hz、1Hz、0.1Hz的信号,用于后续的调试信号。

计数模块:计数模块是一个10000进制计数器,输入的时钟信号为分频模块输出的信号,经过计数后,可以获得四位的计数结果。

锁存模块:两个八位锁存器对计数模块输出四位计数结果进行锁存,锁存后的信号送入译码显示模块。

译码显示模块:锁存模块输出四位数据到数据选择器,数据选择器选择一位数据输出,再送入译码器,译码器输出对应的七段显示码,最后送入数码管,显示出来。

关键词: 数字电路; 频率计; FPGA

目录

1	设计概述	3
2	设计任务及要求	3
3	系统概述	4
3.1	设计思想	4
3.2	可行性论证	4
3.3	各功能组成	4
4	模块设计	6
4.1	八级十分频电路	6
4.2	四位数码管译码显示电路	6
4.3	计数锁存电路	7
4.4	单稳态触发电路	8
4.5	小数点控制电路	9
4.6	测量时基选择电路	10
4.7	调试信号选择电路	10
5	电路组构与调试	11
5.1	遇到的问题	11
5.2	解决方案	12
5.3	功能的测试方法、步骤、设备、记录的数据	12
6	总结与体会	14
6.1	完成情况	14
6.2	心得体会	14

1 设计概述

在生产实践和科学实验中，经常需要测量信号的频率或周期。数字频率计和数字周期计就是用数字方式测量和显示被测信号频率或周期的仪器。数字测频和数字测周的原理是相似的，所以测频仪器一般兼有测周功能。实用的数字频率计或周期计可以测量多种不同形式的周期性波形，如正弦波、三角波、方波等。

本设计的目的在于帮助读者理解频率测量和周期测量的基本原理以及计数型测量仪表的量程扩展方法，所以只要求对输入为 TTL 方波信号进行测量。

2 设计任务及要求

基本任务

要求设计一个测量 TTL 方波信号频率或周期的数字系统。用按键选择测量信号频率或周期。测量值采用 4 个 LED 七段数码管显示，并以发光二极管指示测量对象：频率（周期）以及测量值的单位:Hz(s)、kHz(ms)。频率和周期的测量范围都有 4 档量程。

要求

1. 测量结果显示四位有效数字，测量精度为万分之一。

2. 测量范围：频率 0.1Hz~999.9KHz，分为 4 档。

- 第一档:100.0 Hz~999.9 Hz
- 第二档:1.000 kHz~9.999 kHz
- 第三档:10.00 kHz~99.99 kHz
- 第四档:100.0 kHz~999.9 kHz

周期测量范围:0.1 us-999.9 ms, 分为 4 档。

- 第一档:1.000 ms~9.999 ms
- 第二档:10.00 ms~99.99 ms
- 第三档:100.0 ms~999.9 ms
- 第四档:1.000 s~9.999 s

3. 量程切换可以采用两个按键手动切换或由电路控制自动切换。

4. 设计一个周期性方波产生电路输出频率/周期计调试所需的信号。输出信号的频率范围与测量范围相同，分为 4 个量程。再设置 4 个按键在每档范围内选择 4 位有效数字的 9~16 个固定频率，最高位数值必须分布为 1~9，信号占空比可以任意。

3 系统概述

3.1 设计思想

- 数字频率计的基本原理是测量周期性信号在单位时间内的信号周波数，所以它的主要电路是计数器，需要控制的是计数器的输入脉冲和计数时间，其输入脉冲为被测信号，计数时间为时基信号的周期 (单位时间)。
- 被测信号的频率就是在单位时间内所产生的脉冲个数。因此可以利用计数器来完成计数功能，在利用公式 $f = \frac{N}{T}$ 就可以计算出待测信号的频率。
- 计数器进行计数，利用锁存器将计数的结果进行锁存，并把锁存的结果输送到译码器来控制七段显示器显示输出结果。同时还需用一个逻辑控制电路产生相应的锁存和清零信号以分别控制锁存器和计数器的工作状态。

3.2 可行性论证

- 频率的物理意义是单位时间 (1s) 内信号的周波数。所以频率测量问题等同于时间测量问题。
- 在电子系统中，频率、周期、时间的测量通常采用计数器。
- 计数测量一般采用比较法:
 1. 测量一段标准时间内周期性信号的周波数 (测频)。
 2. 计数器的计数时间 (开门时间) 和计数脉冲是关键参数。

3.3 各功能组成

1. 产生系统基准时钟的石英晶体振荡器;
2. 多级分频电路;
3. 计数锁存电路;

4. 显示译码电路;
5. 锁存清零驱动电路;
6. 量程切换控制;
7. 小数点位置控制;
8. 测量时基控制;

总体系统框图

总体系统框图如图 1。

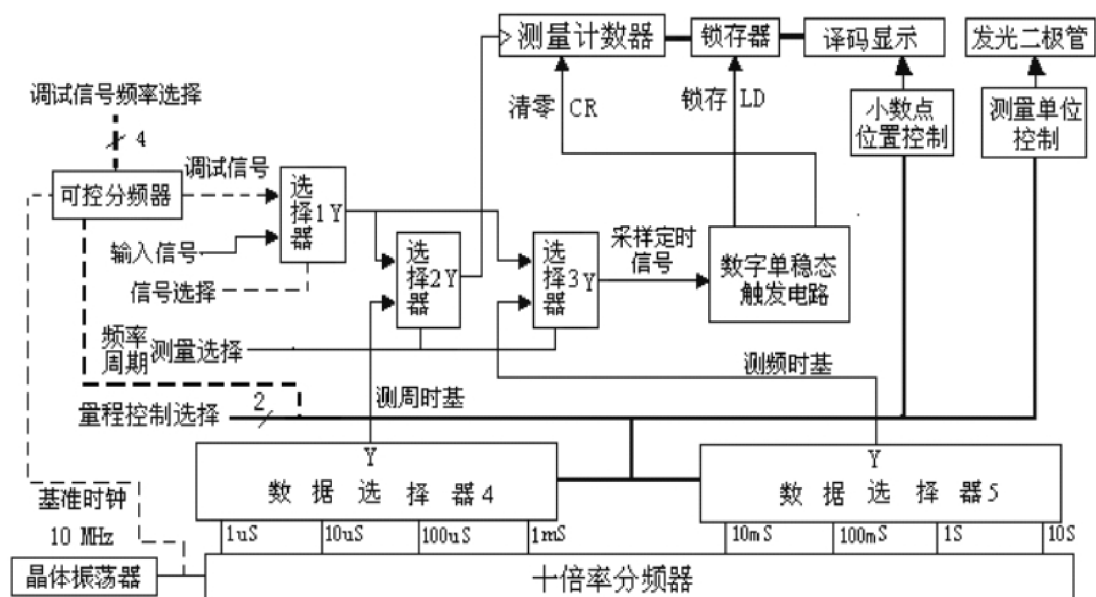


图 1: 总体系统框图

4 模块设计

4.1 八级十分频电路

十分频电路如图 2，它是由一个二-五-十进制计数器构成，输入频率接 CLKA 口，输出的 QD 接 CLKB 口，这样每隔 10 个输入上升沿，就会输出 1 个上升沿，达成十分频的效果。八级十分频电路由八片十分频级联而成。

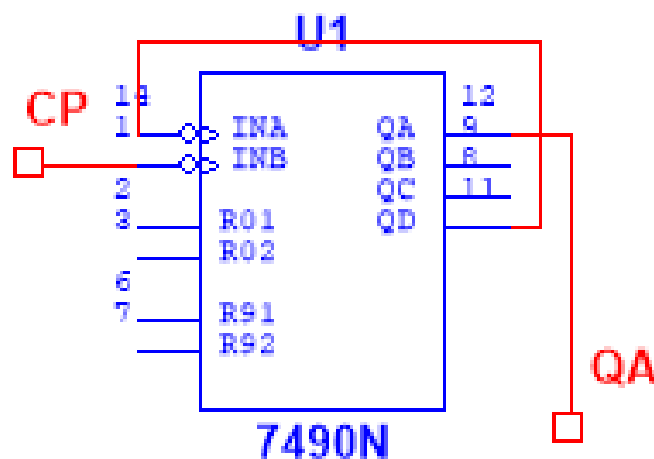


图 2: 八级十分频电路

4.2 四位数码管译码显示电路

四位数码管译码显示电路如图 3。此电路由一片 74161 加法计数器、五片 74153 四选一数据选择器、一片 7448 七段译码器构成。

74161 时钟信号端接入一个 1KHz 的信号，可以使得四位数码管扫描速度超过人眼分辨能力，从而达到静止显示的效果。74161 输出两位二进制数，分别接入两片 74153 的 A、B，每次选择一位数据输出，构成一个 BCD 码，再接入 7448 译码器，输出对应的七段显示码，最后接入四位数码管，显示出来。

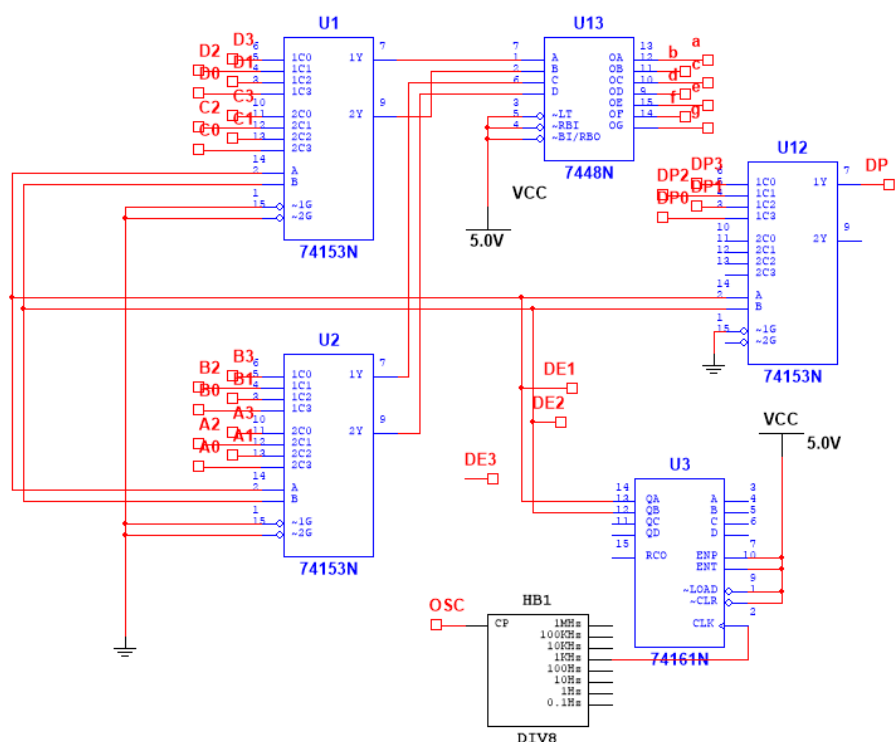


图 3: 四位数码管译码显示电路

4.3 计数锁存电路

计数锁存电路如图 4。此电路由四片 74160 加法计数器、两片 74374 锁存器、四位数码管译码显示电路构成。

四片 74160 级联构成一个 10000 进制的加法计数器，输出的数据接入两片 74374 锁存器进行锁存，锁存器的输出接入四位数码管译码显示电路。

在一个测量周期内，计数器进行计数，锁存器接收到锁存信号后进行锁存，之后计数器立马接收到清零信号，进行清零，再次开始计数。这样就可以在一个测量周期内完成计数、锁存、清零的过程，从而达到测量频率的目的。

锁存器内锁存的数据送入四位数码管译码显示电路，译码显示电路每次将选择一位数据进行显示。由于译码显示电路的扫描速度很快，所以人眼看到的是四位数码管同时显示的效果。

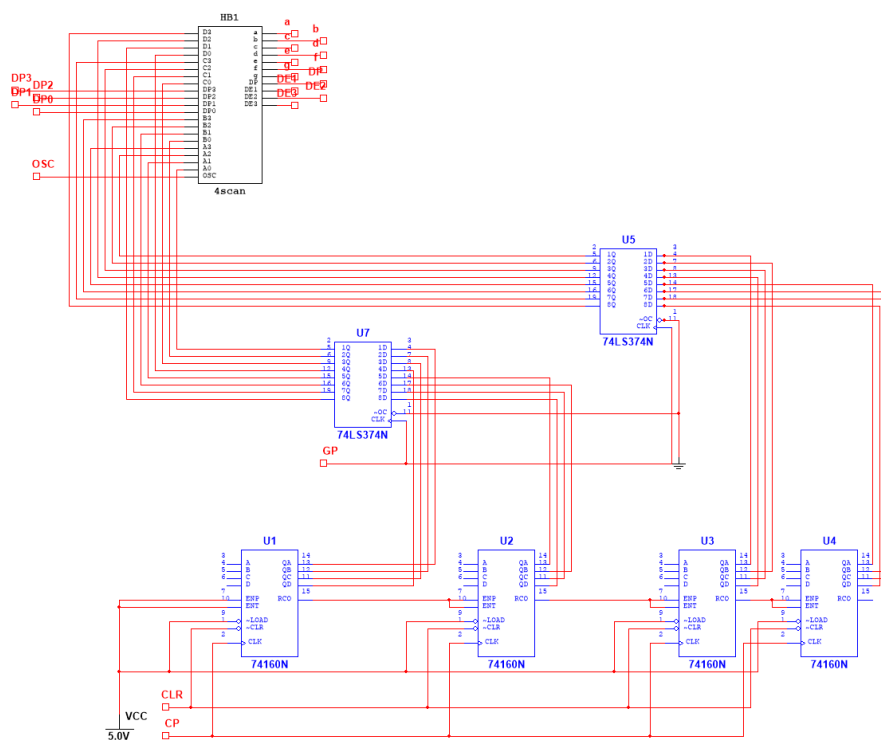


图 4: 计数锁存电路

4.4 单稳态触发电路

单稳态触发电路如图 5。此电路由三个 D 触发器与一些逻辑门构成。单稳态触发电路的波形如图 6。时钟信号 CP 频率非常高时，输出的信号 Y、CLR 的周期为输入信号 M 的周期。且 Y 信号比 CLR 信号超前一个正半周，所以输出的 Y、CLR 信号可以分别接入计数锁存电路的锁存器锁存信号、计数器清零信号，使得可以在锁存之后立即清零，提高测量精度。

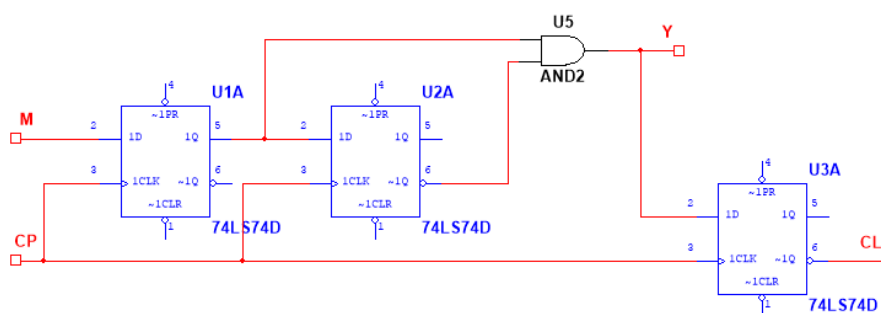


图 5: 单稳态触发电路

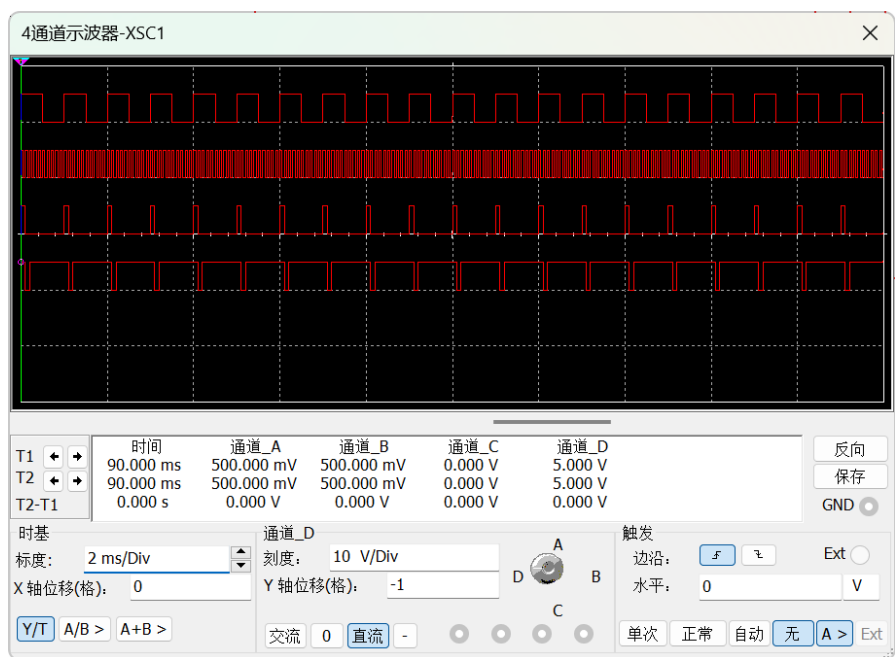


图 6: 单稳态触发电路输出波形

4.5 小数点控制电路

小数点控制电路如图 7。此电路由一些逻辑门构成，输入 A_1A_0 两位二进制数，对应显示第一、第三、第二、第一位小数点，最后一位小数点默认不显示。对应的逻辑真值表如表 1。

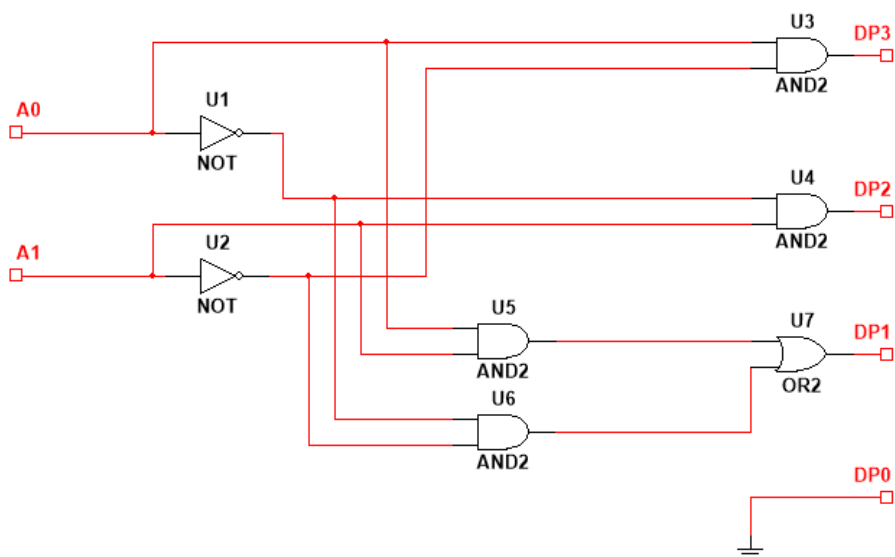


图 7: 小数点控制电路

表 1: 小数点控制电路逻辑真值表

输出 输入 A_1A_0	DP_3	DP_2	DP_1	DP_0
00	0	0	1	0
01	1	0	0	0
10	0	1	0	0
11	0	0	1	0

4.6 测量时基选择电路

测量时基选择电路如图 8。此电路由一片四选一数据选择器和八级十分频电路构成。四选一数据选择器的 D_0 、 D_1 、 D_2 、 D_3 分别接入八级十分频电路的 100Hz、10Hz、1Hz、0.1Hz 输出端，分别对应 0.01s、0.1s、1s、10s 的时基信号，选择器的 A、B 用于选择测量时基。

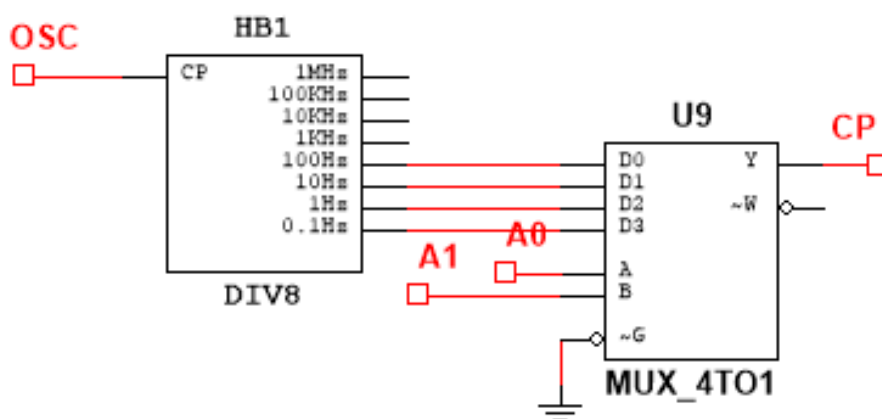


图 8: 测量时基选择电路

4.7 调试信号选择电路

调试信号选择电路如图 9。此电路由一片四选一数据选择器、八级十分频电路、74160 计数器构成。四选一数据选择器的 D_0 、 D_1 、 D_2 、 D_3 分别接入八级十分频电路的 1MHz、100KHz、10KHz、1KHz 输出端，对应要测量的频率。选择器的 A、B 用于选择测量信号。选择的信号接入 74160 计数器，进行分频，分频的级数由 ABCD 端接入的预置数控制，为 $10 - (DCBA)_{BCD}$ 级分频。

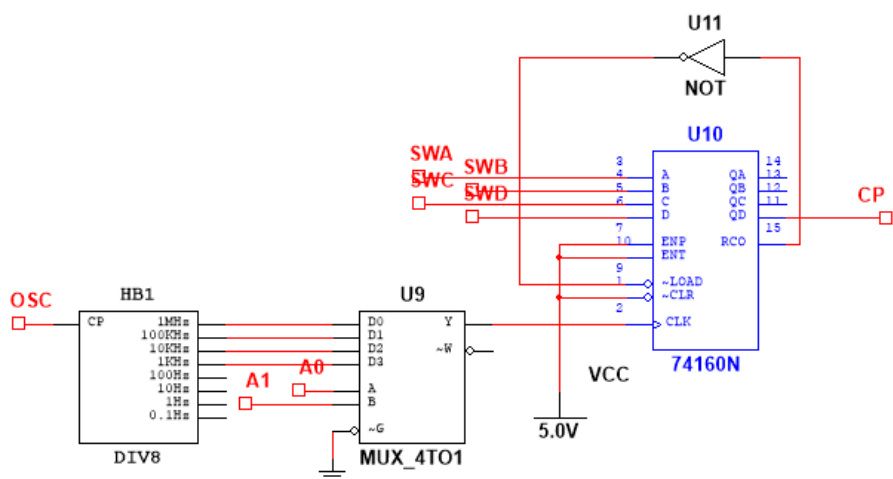


图 9: 调试信号选择电路

5 电路组构与调试

将各部分封装成符号文件，组装。在 Quartus II 中进行仿真，分配引脚，下载到 FPGA 中进行调试。

总电路图如图 12。各个模块封装成的符号文件如图 11。

5.1 遇到的问题

1. 显示数据错误。
2. 小数点显示错位。

现象记录及原因分析

1. 显示数据错误。经过检查，发现是由于信号调试模块的分频计数器使用错误（本该使用 74160，结果用了 74161，导致分频混乱，最终使结果错误）。
2. 纠正完数据显示错误的原因后，发现第二、第三个数码管显示的数据反了。经过检查，发现是由于引脚分配错误，导致数码管译码显示错误，造成相应数码管错位。

5.2 解决方案

1. 更换分频计数器。将 74161 用 74160 替换，再连接相应的电路。进行仿真，发现数据显示部分正确。
2. 调换 PIN_41、PIN_42 引脚后，数据显示全部正确。

5.3 功能的测试方法、步骤、设备、记录的数据

功能测试方法

1. 按键 SW1、SW2 可以控制小数点、单位的显示、测量时间、量程的切换、最小误差。
2. SW3、SW4、SW5、SW6 对输入频率进行分频级别调试（可进行 1 ~ 10 分频）。
3. 0 ~ 3 号数码管进行四位数据显示。
4. 第一个 LED 用于单位显示，灯亮表示 KHz，灯灭表示 Hz。

功能测试步骤

- 分析与综合、编译总电路文件。
- 将总电路文件下载到 FPGA 中。LP-2900 灯亮，开始测试：
 1. 同时按下 SW1、SW2，表示选择测量量程为 100.0KHz~999.9KHz、小数点位置为第三位、误差为 100Hz、测量时间为 0.01s。
 2. 按下 SW6，表示分频级别为 $10 - (1000)_{BCD} = 2$ 。
- 预期结果： $f = \frac{1MHz}{2} = 500.0KHz$ 。测量结果如图 10，显示为 500.0KHz。表明电路工作正常。

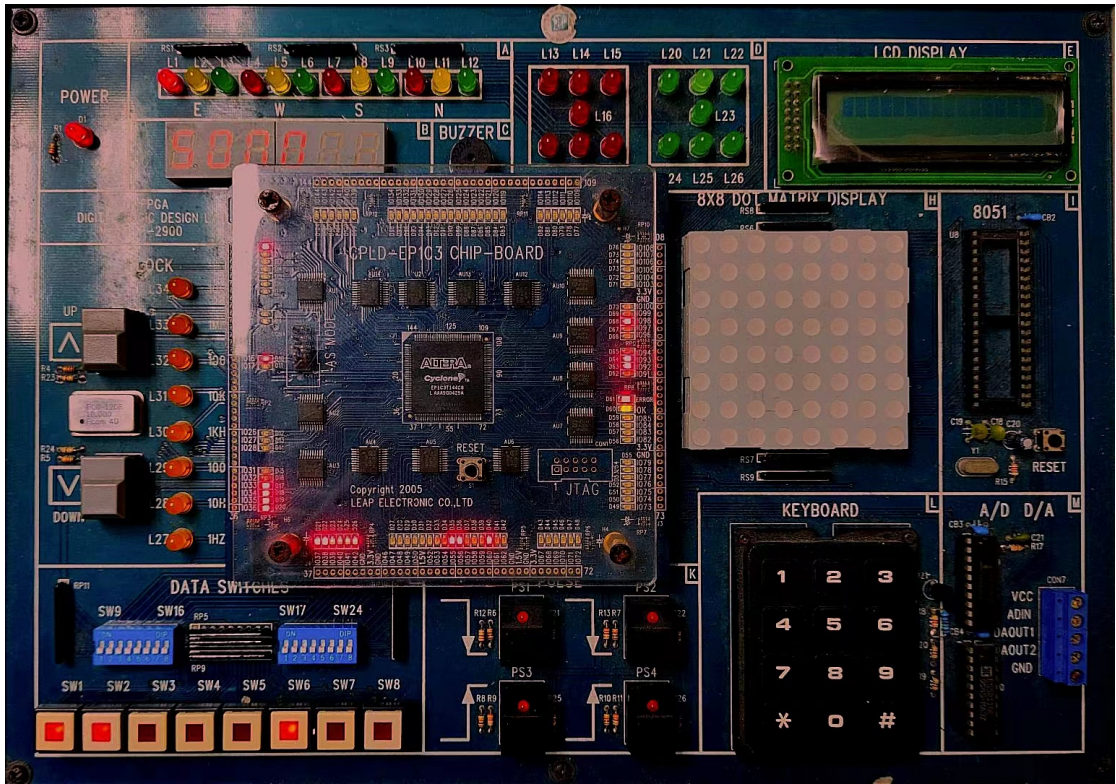


图 10: 测量结果

功能测试设备

Quartus II 软件、LP-2900 开发板。

记录数据

测量的数据如表 2

表 2: 测量数据

分频 范围 \ 结果	1	2	3	4	5	6	7	8	9	10
100.0Hz~999.9Hz	999.9	500.0	333.3	250.0	200.0	666.7	142.8	125.0	111.1	100.0
1.000KHz~9.999KHz	9.999	5.000	3.333	2.500	2.000	6.667	1.428	1.250	1.111	1.000
10.00KHz~99.99KHz	99.99	50.00	33.33	25.00	20.00	66.67	14.28	12.50	11.11	10.00
100.0KHz~999.9KHz	999.9	500.0	333.3	250.0	200.0	666.7	142.8	125.0	111.1	100.0

测量的数据与预期结果相符，测量百分误差在 0.1% 以内。表明电路工作正常。

6 总结与体会

6.1 完成情况

截至第 10 周，笔者已顺利地完成了本次课程设计的基础内容，且测量结果较为准确。

6.2 心得体会

在这次数字频率计课程设计中，我学到了很多关于数字电路、电路设计、仿真软件的使用等方面的知识。通过这个课程设计，我不禁掌握了这些知识，还深入了解如何运用这些知识来解决问题。

我认为我在以下几个方面取得了收获：

- 掌握了数字电路的基本知识，学会频率计算的方法。
- 电路设计及软件的使用技巧。
- 增强了解决实际问题的能力。

同时，我也发现了一些问题：电路布局不够优美、电路设计不够简洁、电路设计不够完善等。这些问题将在今后的学习中得到改善。

参考文献

- [1] 童诗白, 华成英. 《模拟电子技术基础 (第五版)》. 高等教育出版社, 2015.
- [2] 崔葛瑾, 沈利芳, 李伟民. 《基于 FPGA 的数字电路系统设计》. 西安电子科技大学出版社. 2008.7.

附录

封装符号图

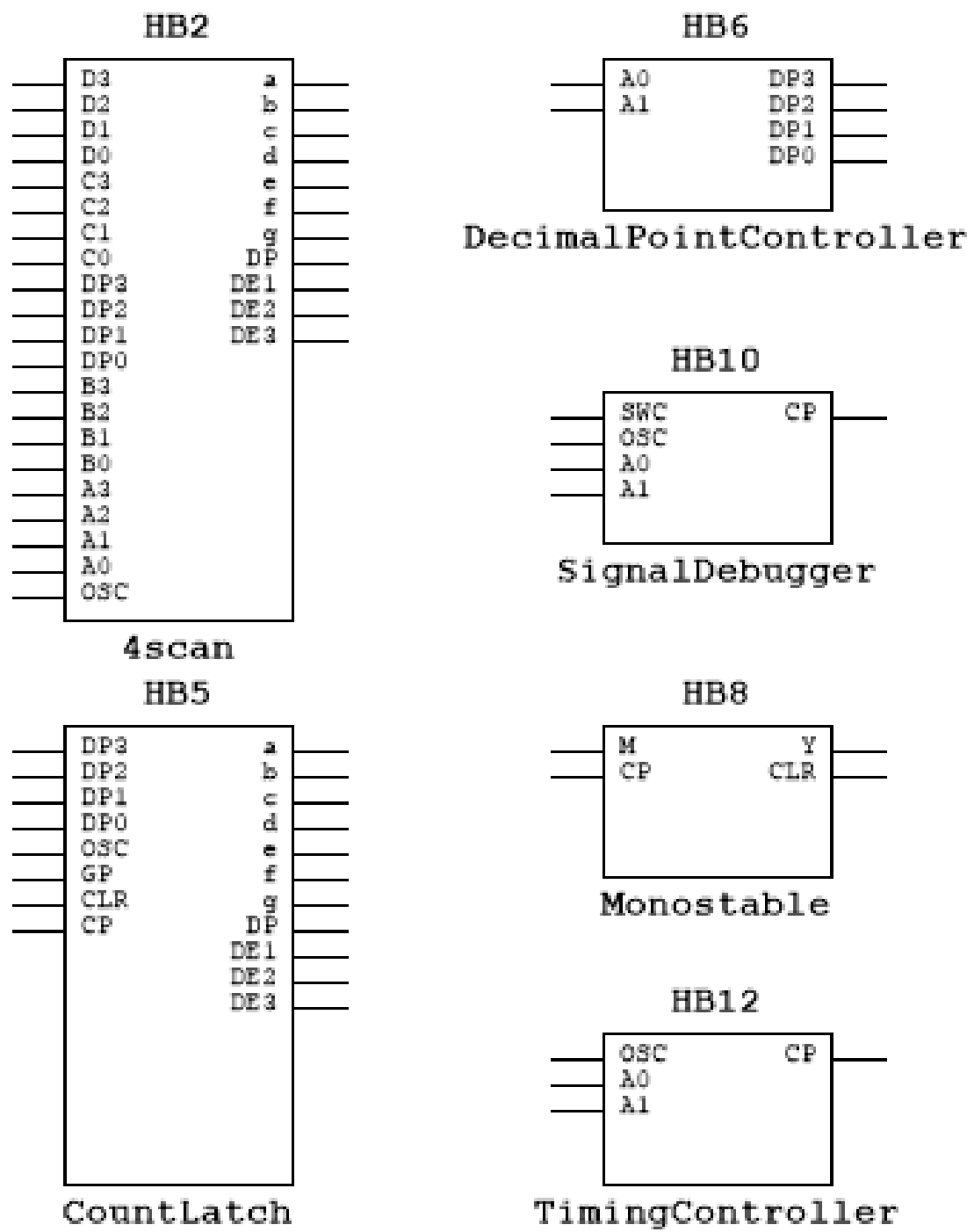


图 11: 封装符号图

总电路图

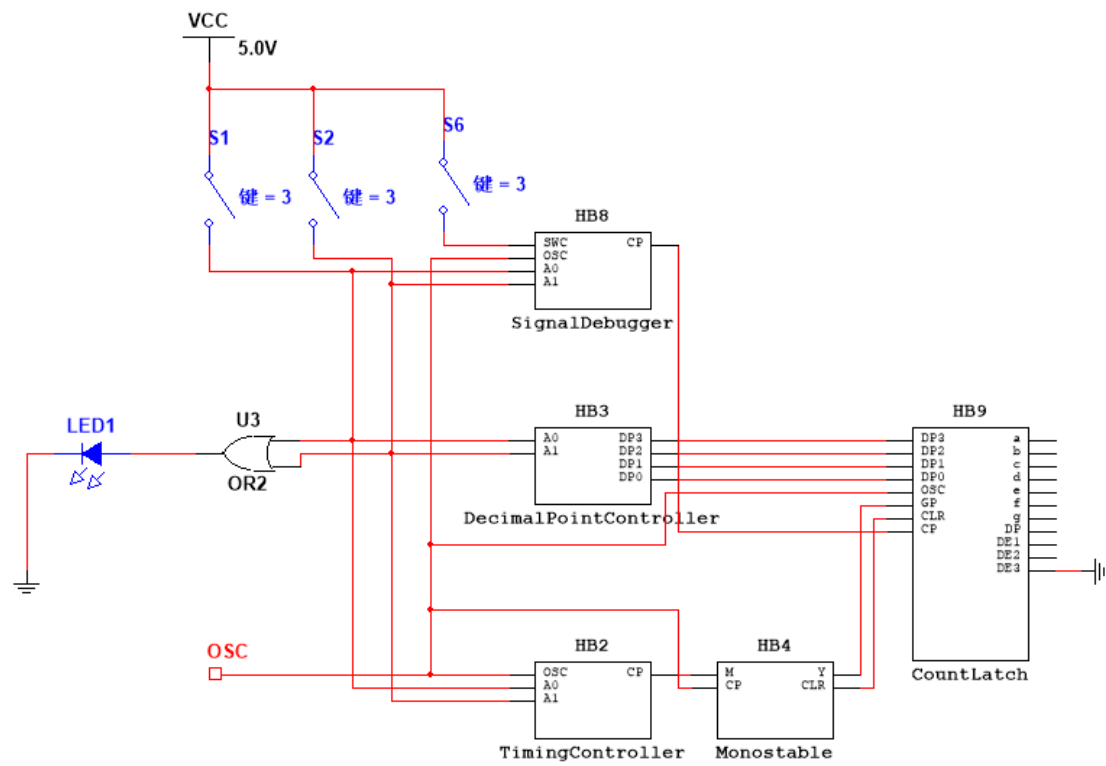


图 12: 总电路图