

数字电路课程设计 实验指导书-

《自动数字日历》

北京邮电大学自动化学院

2018 年 8 月

一、任务和要求

设计一台用数字显示月、日和星期的自动数字日历。

具体要求如下：

1. 计日脉冲用 555 时基集成电路产生 $T=0.5-1$ 秒的脉冲信号代替。
2. 用七段数码管显示星期数和日、月的个位数：星期数的 1-6 用数码管显示“1-6”，而星期日要求数码管显示 8，读做“日”。日、月的个位数显示“1-9”。
3. 用发光二极管以二进制方式显示日、月的十位数：日的十位数“00”（1-9 号）、“01”（10-19 号）、“10”（20-29 号）、“11”（30-31 号）。月的十位数“00”（1-9 月）、“01”（10-12 月）
4. 实现平年（2 月 28 日）的自动数字日历：在计日脉冲的作用下，自动完成 1-12 月的月、日及星期的计数和显示。
5. 设置开关，手动使平年置成 1 月 1 日，而星期不进行控制。
6. 在完成平年电路设计、安装、调试后，加做下面功能：将平年数字日历改为含闰年在内的自动数字日历。

二、可选用的器件

1. 芯片：管脚定义和功能说明见附件 1

555 时基电路	1 片：	555 时基电路
74LS162	3 片：	同步十进制计数器（同步清零）
74LS47	3 片：	BCD 七段译码器、驱动器
74LS04	2 片：	六反相器
74LS112	2 片：	负边沿触发双 JK 触发器
74LS153	1 片：	双 4 选 1 数据选择器
74LS10	1 片：	三个 3 输入与非门
74LS20	1 片：	双 4 输入与非门
74LS02	1 片：	四 2 输入或非门
74LS30	1 片：	8 输入与非门
74LS00	1 片：	四 2 输入与非门

2. 显示：共阳极七段数码管、发光二极管各 3 只。
3. 电阻：10k，30k，50k 电阻各 1 只，330 Ω 电阻 6 只。
4. 电容：电解电容 10 μ f/16V 一个，370 μ f/16V 两个。陶瓷电容 0.01 μ f 两个，0.02 μ f 一个。

三、仪器设备

1. 数字万用表 1 块。
2. 器件盒一个(第二部分列出的器件、显示、电阻、电容)。
3. 工具箱 1 个（九件工具）。
4. 5V 电池盒 1 个（学生自备）。
5. 实验面包板 1 块。
6. 公用示波器 2 台。
7. 连接导线根据需要取舍。

四、预习及进实验室要求

1. 参照附表，熟悉上述所有器件的工作原理和硬件连线；
2. 利用 workbench、multisim 电路仿真软件搭建仿真电路，验证逻辑设计的正确性；

3. 进实验室开始调试之前，每个人要有各部分的原理设计图及逻辑推导过程、符合实验室提供的面包板的元器件布线图（每组的每个成员必须同时满足要求）、电路的仿真程序。

五、课程设计报告要求

1. 设计报告要求包含下面的内容

- (1) 对电路设计要求的分析；
- (2) 电路设计方案及各个模块的具体实现设计（包括逻辑设计和化简，模块逻辑图）；包含以下模块：**星期（1-6，日）、日单独（1-31）、月单独（1-12）、平年系统（2.28）、加一个单刀双掷开关的平年系统、闰年。**
- (3) 调试中问题分析及解决；
- (4) 心得体会与建议；
- (5) 附上电路元件的实际布线图和电路仿真图。

2. 报告格式

实验报告用统一的“北京邮电大学实验报告”表格，文字要手写，电路可手画或打印贴图插于叙述的正文中。按组提交“北京邮电大学课程设计报告表格”。

六、时间安排

1. 7.7(周六) 上午 9:00-11:30 沙河校区报告厅教师宣讲

2. 7.7(周六)下午至 7.10(周二)：学生分组进行设计和画图（每两人组成一组，建议最好设本班同学之间组队）。完成系统原理设计、元件布线图（元件管脚连接图，手绘在 $\geq A4$ 坐标纸上），做到熟知原理和连线图；同时有电路的仿真结果。

3. 7.11(周三)：每组同学拿模块设计过程、原理图、元件布线图和仿真程序，（四个内容缺一不可），经老师检查合格后，领元件、工具并开始进实验室，搭电路。检查截止时间 7.12 下午 4:00。

4. 7.12(周四)-7.16(周日)：每组同学连接、调试电路，完成电路课程设计。每完成一个功能模块请老师进行检查并记录，然后再调试下面的模块。

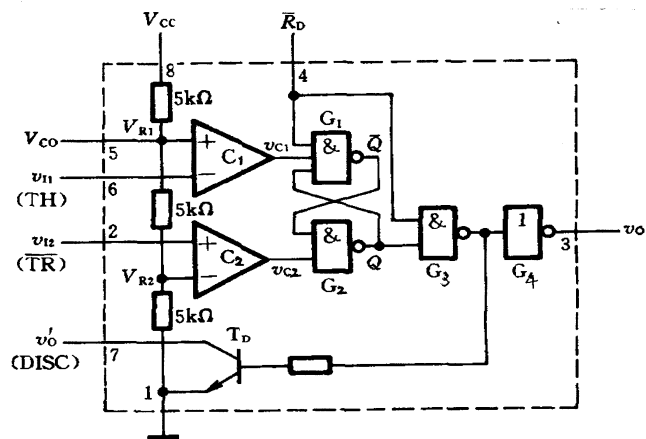
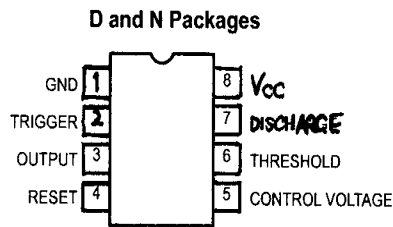
星期（1-6，日）→ 日单独（1-31）→ 月单独（1-12）→ 平年系统（2.28）→ 加一个单刀双掷开关的平年系统→ 闰年

5. 7.16(周日)下午：学生交课程设计报告和北京邮电大学课程设计报告电子版

6. 周六周日不休息.7.16 日下午 5 点前结束,交回元器件

附件 1：器件的管脚定义和功能图

1、555 定时器管脚图和内部电路框图



CB555 定时器组成的一个多谐振荡器：

振荡周期： $T=1$ 秒；

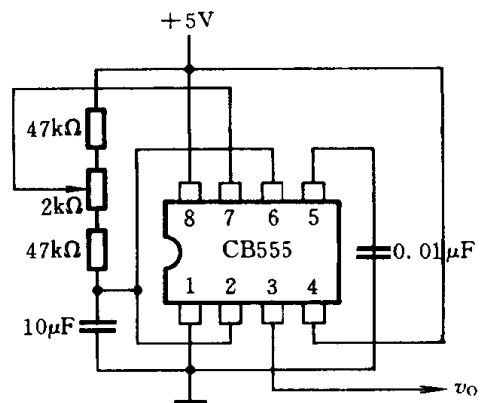
输出脉冲幅度：在 3V~5V 之间

输出脉冲的占比： $q=2/3$

$$T_1 = (R_1 + R_2)C \ln 2; \quad T_2 = R_2 C \ln 2;$$

$$T = T_1 + T_2 = (R_1 + 2R_2)C \ln 2$$

$$q = \frac{T_1}{T_2} = \frac{R_1 + R_2}{R_1 + 2R_2}$$



2、74LS162 同步型十进制计数器

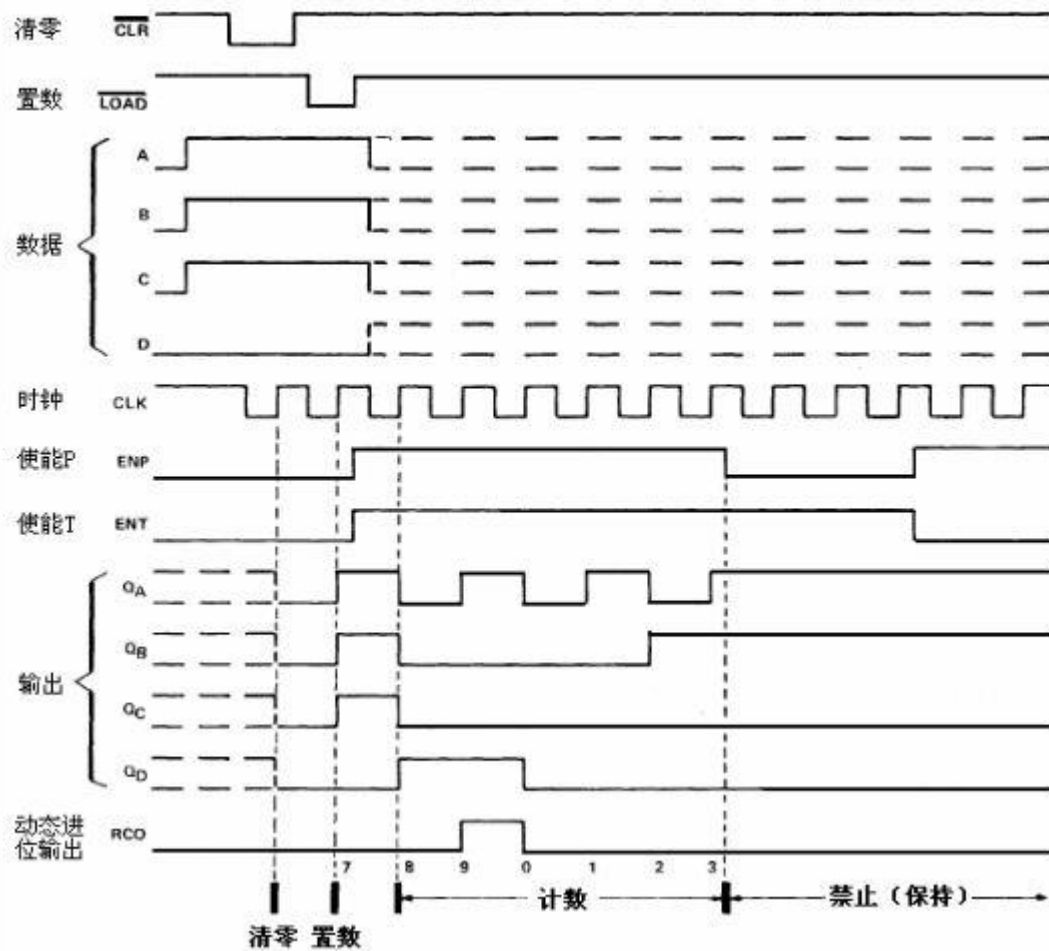
74LS162 是同步置数，同步清零。清零端低电平有效。

(工作) 方式选择表

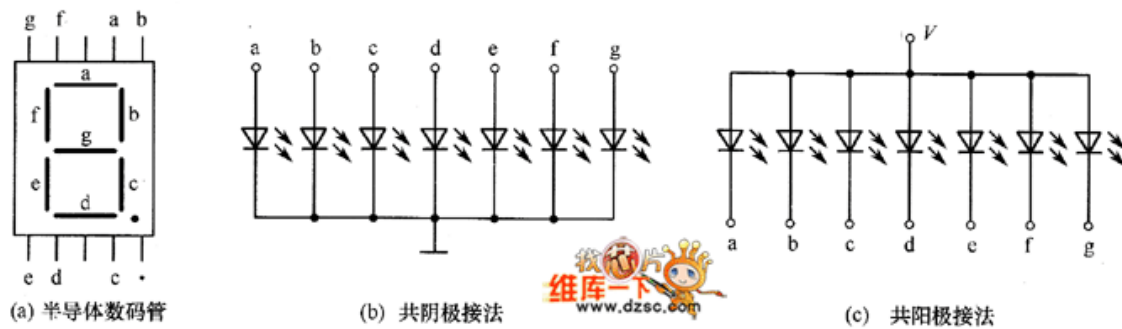
输入					工作模式
清零 CLR	置数 LOAD	使能 ENT	使能 ENP	时钟 CLK	
L	X	X	X	↑	清零
H	L	X	X	↑	置数
H	H	H	H	↑	计数
H	H	L	X	X	保持 (不变)
H	H	X	L	X	保持 (不变)

H=高电平 L=低电平 X=不定 (高或低电平) ↑=由“低”→“高”电平的跃变

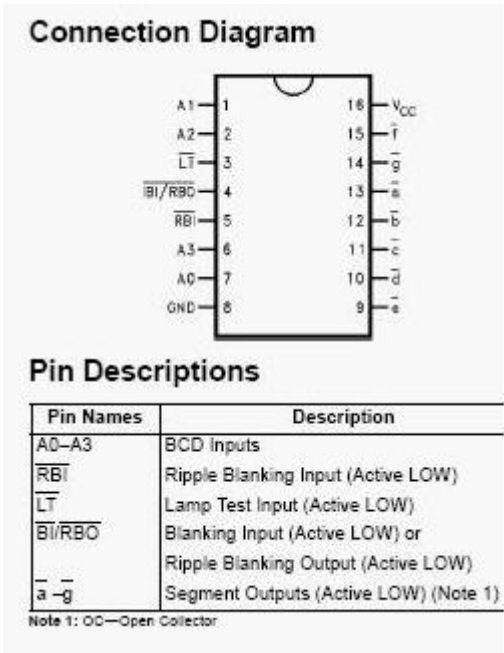




3、LED 七段共阳极数码管的引脚图



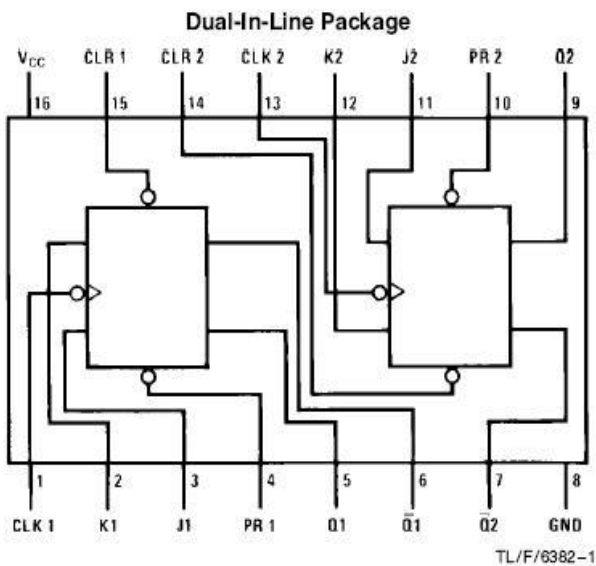
4、74LS47（BCD 七段译码器、驱动器；低电平作用）



Truth Table															
Decimal or Function	Inputs							Outputs							Note
	LT	RBI	A3	A2	A1	A0	BI/RBO	a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	(Note 2)
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	(Note 2)
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
BI	X	X	X	X	X	X	L	H	H	H	H	H	H	H	(Note 3)
RBI	H	L	L	L	L	L	L	H	H	H	H	H	H	H	(Note 4)
LT	L	X	X	X	X	X	H	L	L	L	L	L	L	L	(Note 5)

5、74LS112（下降沿触发双 JK 触发器）

Connection Diagram



Function Table

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q_0	\bar{Q}_0
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	Toggle	Toggle
H	H	H	X	X	Q_0	\bar{Q}_0

H = High Logic Level

L = Low Logic Level

X = Either Low or High Logic Level

↓ = Negative Going Edge of Pulse

* = This configuration is nonstable; that is, it will not persist when preset and/or clear inputs return to their inactive (high) level.

Q_0 = The output logic level before the indicated input conditions were established.

Toggle = Each output changes to the complement of its previous level on each falling edge of the clock pulse.

CLK1、CLK2——时钟输入端（下降沿有效）

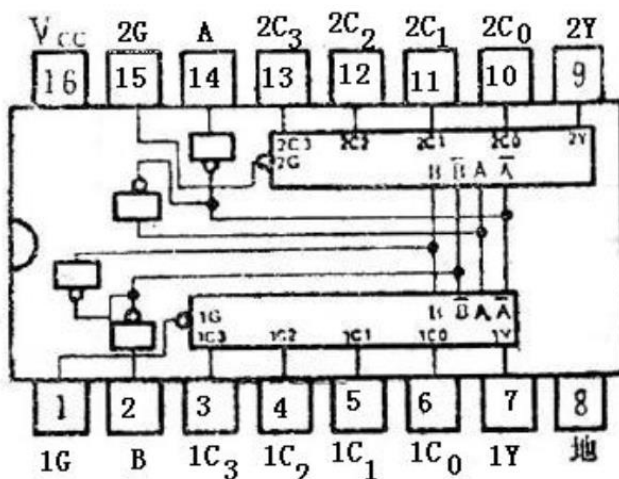
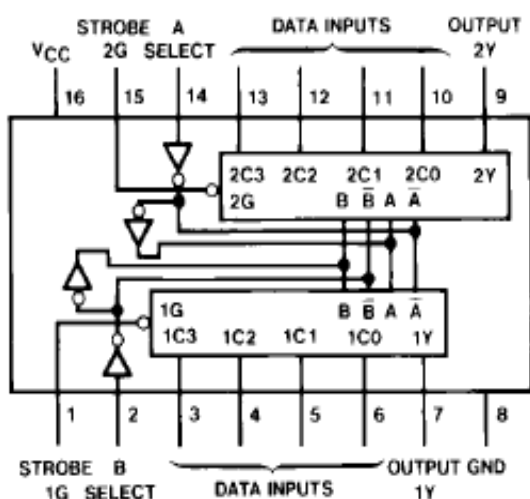
J1、J2、K1、K2——数据输入端

Q1、Q2、/Q1、/Q2——输出端

CLR1、CLR2——直接复位端（低电平有效）

PR1、PR2——直接置位端（低电平有效）

6、74LS153（双 4 选 1 数据选择器）



功 能 表

选择输入		数 据 输 入				选通脉冲输入	输 出
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

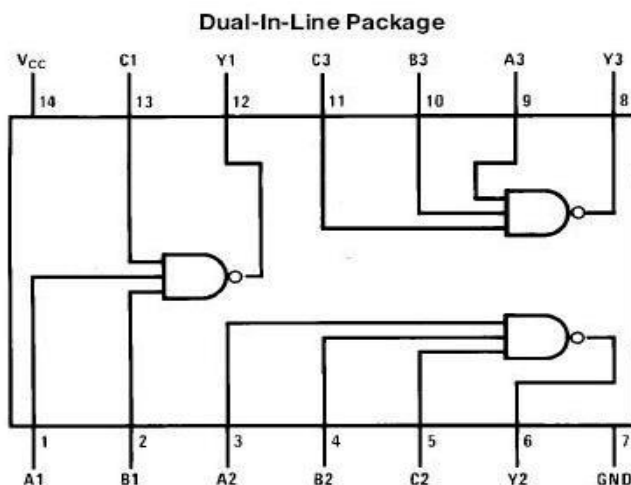
选择输入 A 和 B 对两部分是公共的。

说 明：

该电路由倒相器和“与或”门组成，从 4 个数据中选出 1 个输出，每个 4 线选择有 1 个选通端来控制。

7、74LS10（三个 3 输入与非门）

Connection Diagram



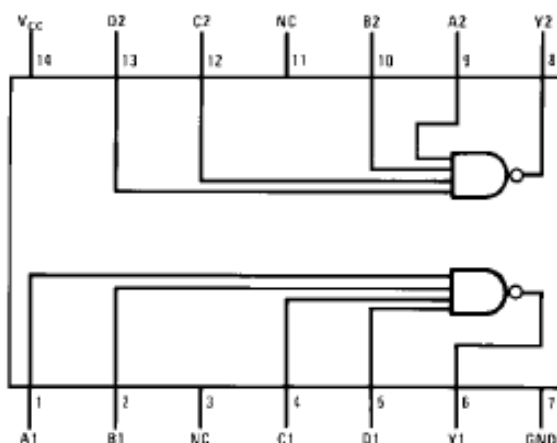
Function Table

$$Y = \overline{ABC}$$

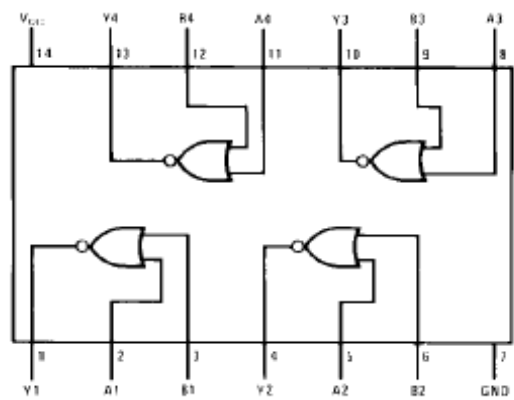
Inputs			Output
A	B	C	Y
X	X	L	H
X	L	X	H
L	X	X	H
H	H	H	L

H = High Logic Level
L = Low Logic Level
X = Either Low or High Logic Level

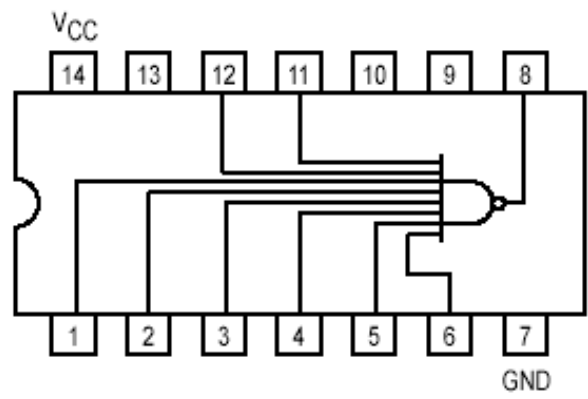
8、74LS20（双 4 输入与非门）管脚图



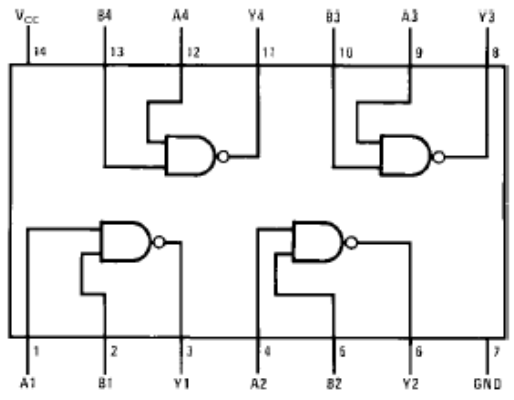
9、74LS02（四2输入与非门）管脚图



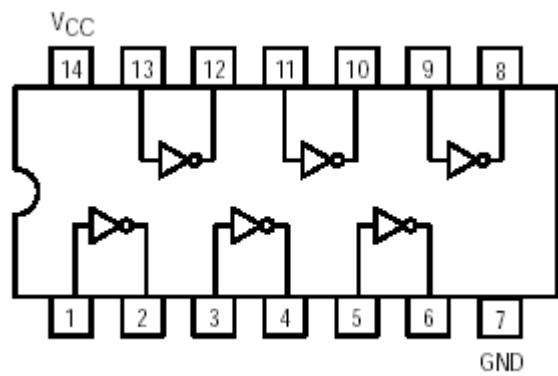
10、74LS30（8输入与非门）管脚图



11、74LS00（四2输入与非门）管脚图



12、74LS04（六反相器）管脚图



北京邮电大学课程设计报告

课程设计名称	电路课程设计	学 院	自动化学院	指导教师	(各班的实际老师)
学生姓名		班 级		学 号	
课 程 设 计 内 容	<p>简要介绍课程设计的主要内容，包括课程设计教学目的、基本内容、实验方法和团队分工等</p> <p>(请同学们填好内容；限制在一页；五号宋体，单倍行距)</p>				
学生课程设计报告 (附页)	见附件。				
课 程 设 计 成 绩 评 定	<p>遵照实践教学大纲并根据以下四方面综合评定成绩：</p> <ol style="list-style-type: none"> 1、课程设计目的任务明确，选题符合教学要求，份量及难易程度 2、团队分工是否恰当与合理 3、综合运用所学知识，提高分析问题、解决问题及实践动手能力的效果 4、是否认真、独立完成属于自己的课程设计内容，课程设计报告是否思路清晰、文字通顺、书写规范 <p>(空着，由老师写评语)</p> <p style="text-align: center;">成绩： 分</p> <p style="text-align: right;">指导教师签名：</p> <p style="text-align: right;">年 月 日</p>				

