

## AG1KLP 应用指南

### 1.) 软件安装:

解压缩或执行安装文件，安装 Supra 软件。执行文件为 bin 目录中的 Supra.exe。  
运行 Supra，选择菜单 File -> Import license，选择 license 文件并导入 License。

### 2.) 新建项目:

新建一工程目录。打开 Supra，进入 Tools -> Migrate:



Migrate

Select target directory  
E:/00\_Workspace/0326\_ag1280/abc Browse

Select migrate from directory  
Browse

Input design name  
spi

Select device  
AG1KLPQ48

Select ve file  
Browse

Select IP file(s)  
pll\_clk.ip Browse

Select mode  
☒ Compatible ☐ Synplicity ☐ Native

Backward compatible ☐

Target Directory 选新建的工程目录，Migrate from directory 不填，输入设计名称（这里例如 led），Device 选 AG1KLPQ48，ve 文件不填。

选择对应开发 Mode: Native 选项（AGM 自有 EDA 综合工具），Synplicity 选项（第三方综合工具，例如 Synplify, Mentor 等），Compatible 选项（兼容 Altera Quartus II 的综合工具）。

下面主要介绍 Supra 基于 Quartus II 综合的设计流程，其它工具设计流程类似。Mode 选择 Compatible，点 next， 生成一个以 led 命名的 Quartus II 项目，以及空的设计文件（qpf, v, sdc 等）。

### 3.) 项目设计:

用 Quartus II 打开 led.qpf 项目文件，修改设计文件 v，或添加其它所需设计源文件。  
设计完成后，Quartus II 中选择菜单中 Tools -> Tcl Scripts...，窗口中选 af\_quartus.tcl，点击 Run

进行编译。

Tcl 执行过一次后，以后修改原设计，Quartus 里只需执行正常的编译（Start Compilation）。

#### 4.) 项目设置:

Quartus II 里编译成功后，编辑 DesignName.asf 文件（Supra 的设置文件，类似 Quartus II qsf 文件，格式可参考 qsf 文件），

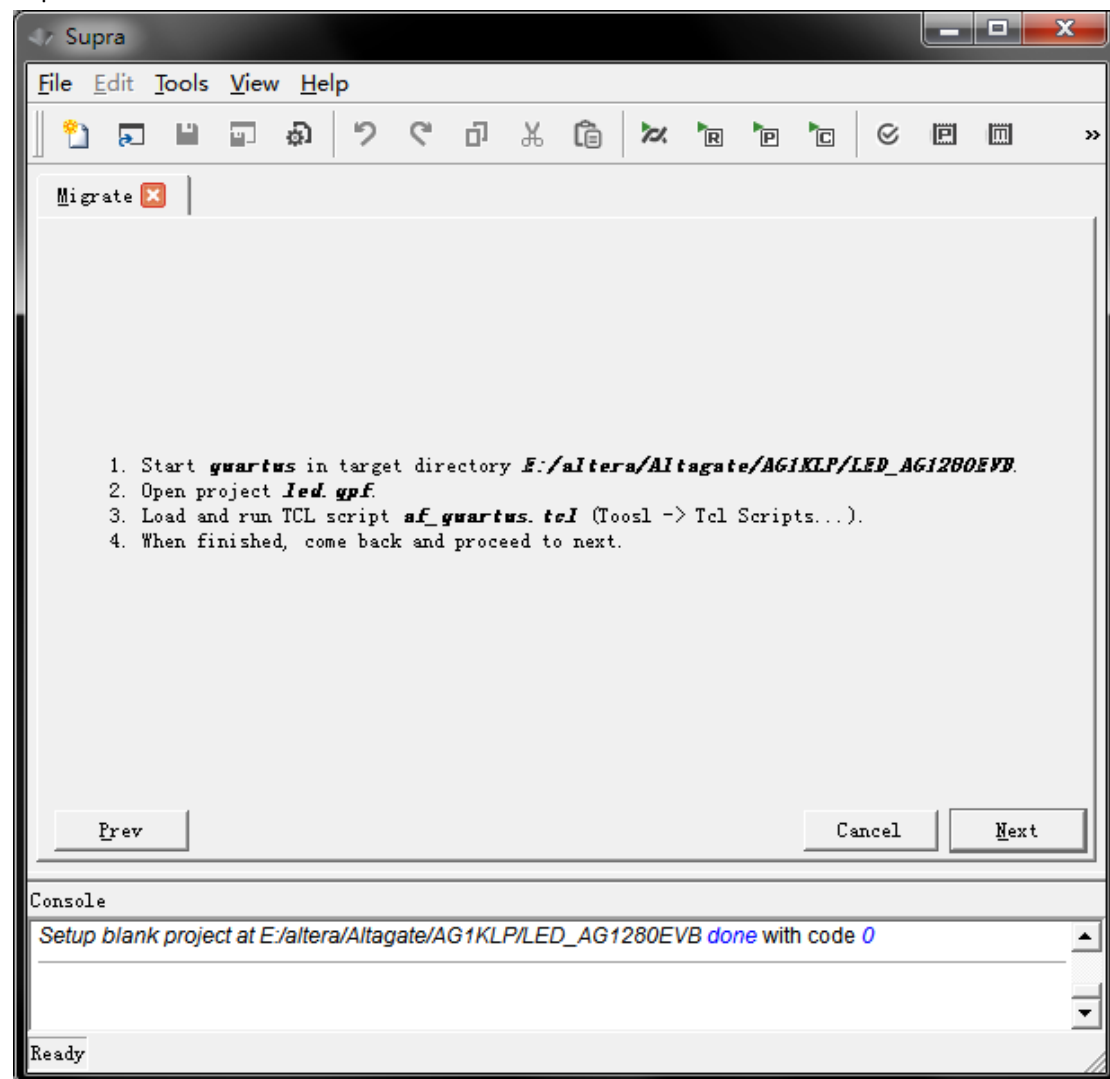
加入 IO 标准，IO 位置等设置信息，保存。

例如：**set\_location\_assignment -to clk PIN\_13**

（请参考芯片的管脚映射列表，确定 IO 名称及位置）

#### 5.) 项目编译:

Supra 里继续执行 Next，开始进行编译。



编译成功后可以得到烧写文件 bin 文件。

Bin 文件为两种，led\_master.bin，led .bin。分别用于 master 和 slave 的配置方式。Bin 烧写文件大小约 48K Bytes。

6.) 芯片配置:

Master 方式:

把 DesignName\_master.bin 用编程器烧写进通用 SPI Flash 后, 接入 FPGA 的 SPI 接口, 实现上电即配置。

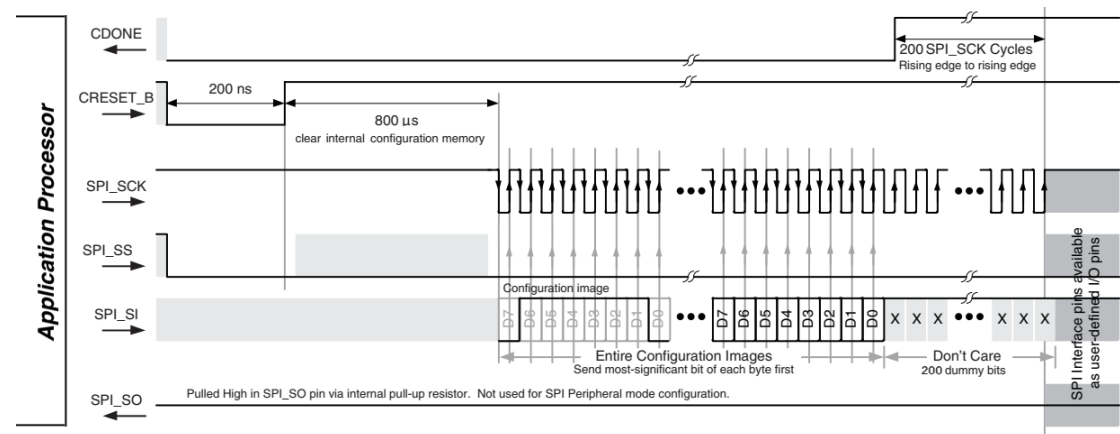
Salve 方式:

DesignName.bin 集成到外部 MCU 软件内, 通过 SPI 接口把数据配置到 FPGA 内。

通过 SPI 口进行 Master 或 Slave 方式配置, 配置管脚说明如下:

Pin Name	Function	Direction	Description
CRESET_B		Input	Configuration Reset, 低有效, 没有内部上拉
CDONE		Output	Configuration Done output, 需外接上拉电阻。配置成功后变高。
IO_SS	SPI Master/Slave configuration interface, 配置完可作为 IO 使用	Input/Output	SPI 片选信号, 低有效。Master 模式为输出, Slave 模式为输入
IO_SDI		Input	SPI 数据输入
IO_SDO		Output	SPI 数据输出
IO_SCK		Input/Output	SPI 时钟, Master 模式为输出, Slave 模式为输入

通过 MCU 配置 AG1KLP 的时序, 请参考下图:



Master 配置的方式, AG1KLP 3.3V VCCIO 电源应略先于 VDDC 1.2V 上电, 这样保证 FPGA 在启动前, 配置 FLASH (3.3V) 先启动完成, 从而避免上电配置失败。

## ● PLL 和 RAM 的使用方法

在 Supra 中进入 Tools -> Create IP，选择 PLL 或 Memory。

PLL 类型选择 PLLX，填写输入频率（MHz），输出频率，相移等数据。

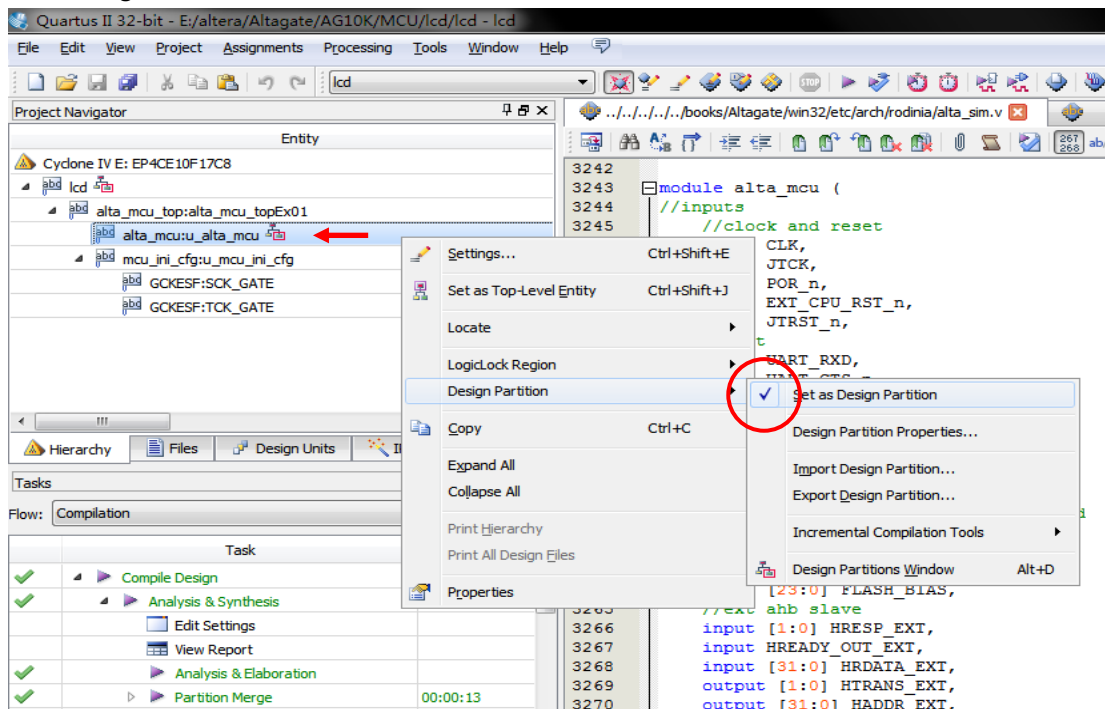
注意：PLL 的输入时钟必须是芯片的全局输入时钟管脚（Pin\_13，Pin\_15，Pin\_19 这三个）。

RAM 类型选择 BRAM，根据需要设置数据宽度和深度，以及端口方向。

完成后 Run，目录中会产生比如 pll0.v、pll0.ip 和 ram0.v、ram0.ip 两个文件。

如选用 Compatible 模式，需在 Quartus II 设计中加入 IP，代码中调用产生的模块。由于 IP 包含在 alta\_sim.v 的库文件中，这个文件默认在 supra 的安装目录中，如：

C:\Supra\etc\arch\rodinia.Quartus II project 要加入这个文件，同时，要把 alta\_pll 或 alta\_bram 设为 Design Partition，如图：



### AG1KLPQ48 Pinout

AG1KLPQ48, QFN-48 封装, body size=6mmX6mm, pitch=0.4mm

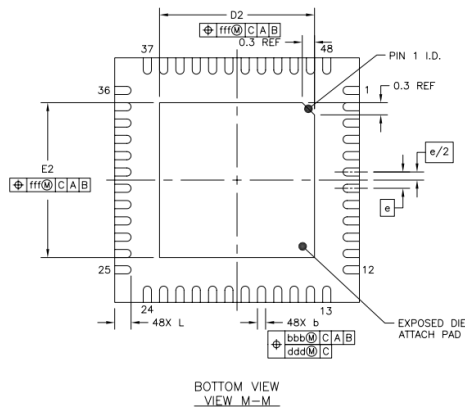
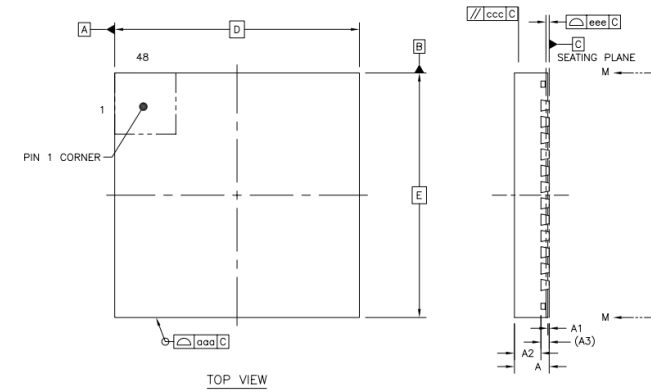
Finger No	Pin Name	Function
1	PIN_1	IO
2	PIN_2	IO
3	PIN_3	IO
4	PIN_4	IO
5	PIN_5	IO
6	PIN_6	IO
7	VDDC	VDDC power1.2V
8	GND	Ground
9	PIN_9	IO_GB_CDONE
10	VDDC	VDDC power1.2V
11	PIN_11	IO
12	PIN_12	IO
13	PIN_13	IO_GB
14	PIN_14	IO
15	PIN_15	IO_GB
16	PIN_16	IO
17	PIN_17	IO
18	PIN_18	IO
19	PIN_19	IO_GB
20	PIN_20	IO
21	VDDIO2	VDDIO power3.3V
22	PIN_22	IO_CBSEL0
23	PIN_23	IO_CBSEL1
24	CDONE	CDONE

Finger No	Pin Name	Function
25	PIN_25	IO
26	PIN_26	IO
27	PIN_27	IO_SDO
28	VDDSPI	VDDSPI power3.3V
29	PIN_29	IO_SS
30	CRESET_B	CRESET_B
31	PIN_31	IO_SCK
32	PIN_32	IO_SDI
33	PIN_33	IO
34	PIN_34	IO
35	PIN_35	IO
36	PIN_36	IO
37	PIN_37	IO
38	PIN_38	IO
39	PIN_39	IO_GB
40	PIN_40	IO_GB
41	PIN_41	IO
42	PIN_42	IO
43	PIN_43	IO
44	PIN_44	IO_GB
45	PIN_45	IO
46	PIN_46	IO_GB
47	VDDIO0	VDDIO power3.3V
48	PIN_48	IO

注意：全局输入信号，最好选用 IO\_GB 管脚；  
只有 PIN\_13/15/19 可以直接接入内部 PLL；  
IO\_CBSEL0/1 用于多个配置数据启动，不用可忽略作普通 IO；  
IO\_GB\_CDONE 可复用 CDONE 功能。

● AG1KLPQ48 封装图

QFN-48 封装，body size=6mmX6mm，pitch=0.4mm



DESCRIPTION	SYMBOL	MILLIMETER		
		MIN	NOM	MAX
TOTAL THICKNESS	A	0.8	0.85	0.9
STAND OFF	A1	0	0.035	0.05
MOLD THICKNESS	A2	---	0.65	0.67
L/F THICKNESS	A3		0.203	REF
LEAD WIDTH	b	0.15	0.20	0.25
	X	D	5.90	6.00
BODY SIZE	Y	E	5.90	6.00
			6.00	6.10
LEAD PITCH	e		0.40	BSC
	X	D2	3.70	3.80
EP SIZE	Y	E2	3.70	3.80
			0.30	0.40
LEAD LENGTH	L		0.30	0.40
PACKAGE EDGE TOLERANCE	aaa		0.1	
LEAD OFFSET	bbb		0.07	
MOLD FLATNESS	ccc		0.1	
	ddd		0.05	
COPLANARITY	eee		0.08	
EXPOSED PAD OFFSET	fff		0.1	