

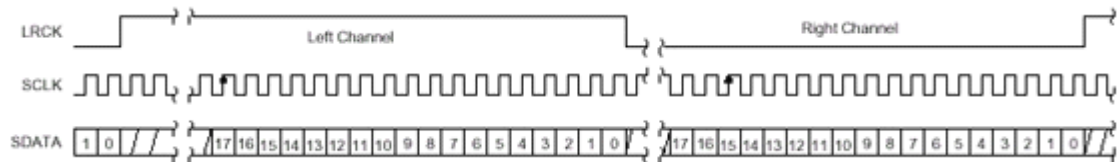
I²S 接口规范

I²S（Inter-IC Sound Bus）是飞利浦公司为数字音频设备之间的音频数据传输而制定的一种总线标准。在飞利浦公司的 I²S 标准中，既规定了硬件接口规范，也规定了数字音频数据的格式。I²S 有 3 个主要信号：

- 1、串行时钟 SCLK，也叫位时钟，即对应数字音频的每一位数据，SCLK 有 1 个脉冲。SCLK 的频率=2×采样频率×采样位数
- 2、帧时钟 LRCK，用于切换左右声道的数据。LRCK 为“1”表示正在传输的是左声道的数据，为“0”则表示正在传输的是右声道的数据。LRCK 的频率等于采样频率。
- 3、串行数据 SDATA，就是用二进制补码表示的音频数据。

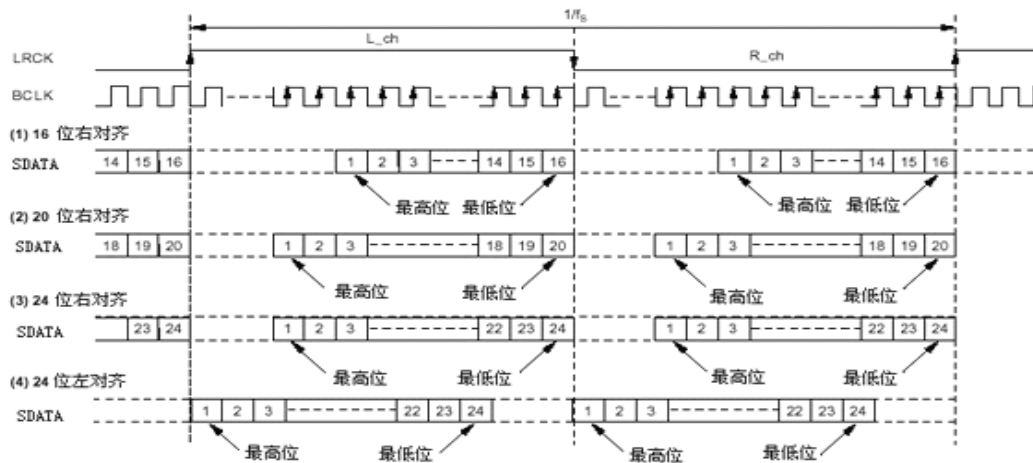
有时为了使系统间能够更好地同步，还需要另外传输一个信号 MCLK，称为主时钟，也叫系统时钟（Sys Clock），是采样频率的 256 倍或 384 倍。一个典型的 I²S 信号见图 3。

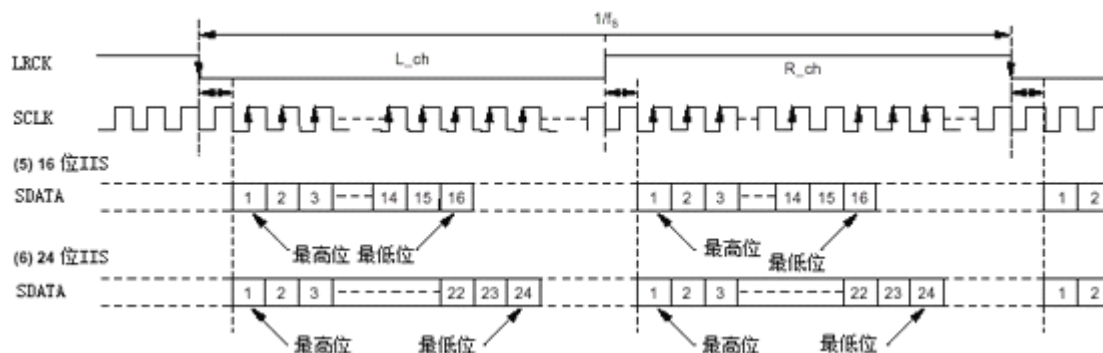
（图 3 I²S 信号）图 3



I²S 格式的信号无论有多少位有效数据，**数据的最高位总是出现在 LRCK 变化（也就是一帧开始）后的第 2 个 SCLK 脉冲处**。这就使得接收端与发送端的有效位数可以不同。如果接收端能处理的有效位数少于发送端，可以放弃数据帧中多余的低位数据；如果接收端能处理的有效位数多于发送端，可以自行补足剩余的位。这种同步机制使得数字音频设备的互连更加方便，而且不会造成数据错位。

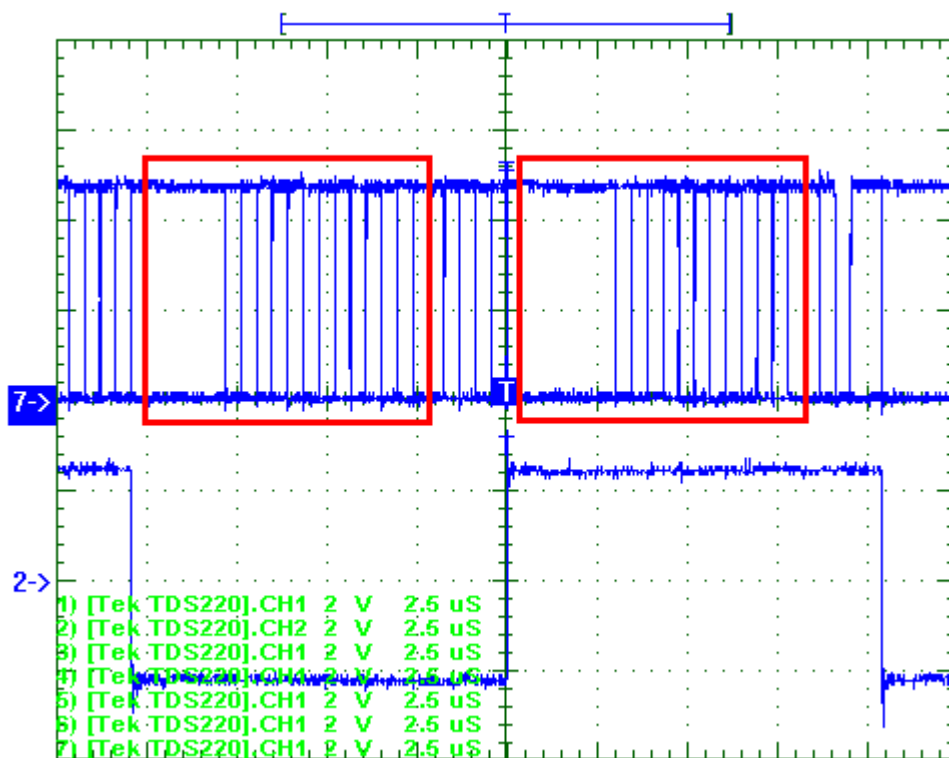
随着技术的发展，在统一的 I²S 接口下，出现了多种不同的数据格式。根据 SDATA 数据相对于 LRCK 和 SCLK 的位置不同，分为左对齐（较少使用）、I²S 格式（即飞利浦规定的格式）和右对齐（也叫日本格式、普通格式）。这些不同的格式见图 4 和图 5。（图 4 几种非 I²S 格式）图 4（图 5 几种 I²S 格式）图 5





为了保证数字音频信号的正确传输，发送端和接收端应该采用相同的数据格式和长度。当然，对 I2S 格式来说数据长度可以不同。

有了这些背景知识，让我们用示波器来观察一下 CT7160 的输出波形。图 6 中的波形是采用 Creative 原厂的 EEPROM ini 文件，选择 Dolby Prologic 方式时的 I2S 接口输出。可以测得 LRCK 的频率是 48KHz，SCLK 的频率是 2.304MHz，也就是说采样频率是 48KHz，数据位数是 24bit，数据格式是右对齐。（图 6 LS-220 输出的数字音频信号）图 6



然而 CT7160 采用的音频 DAC CS4331 接受的是 16bit 或 18bit 的 I2S 格式信号，而不是右对齐的信号。难道 Creative 在设计时选错了元件？仔细想想，这却是一个“歪打正着”的设计。从图中我们可以看到，音频数据的有效位数大概是 18 位左右。目前在 DVD 中，Dolby AC-3 编码的 6 个声道均采用 16 位的精度。LS-220 对 AC-3 信号进行 Down-mix，形成 Dolby Pro logic 的输出，这个过程进行的是数字混音。数字混音最简单的方法就是将两个数据相加，两个 16 位的数据相加，就产生了 17 位的结果。随着在混音过程中加入其他声道的信号，以及选取不同的混合比例（就是乘以不同的系数），得到的结果将具有 20 位以上的有效数据。让我们参考一下图 4 和图 5，如果让一个 18 位的 I2S 接收器接收一个 24 位的右对齐信号，会发生怎样的结果呢？数据发生错

位，所有的数据左移 1 位，最高位被挤到上一帧成了最低位。可是我们听到的音频输出却一切正常，这又是为什么呢？

原来，LS-220 的输出虽然有 24bit 的宽度，但这 24bit 并不都是有效数据。我们并不清楚 LS-220 在 Dolby Pro logic 方式下输出的有效位数到底是多少，但有一点是肯定的，那就是这个有效位数一定小于 24。这样一来第 24 位和第 23 位永远是相同的，第 24 位被挤到上一帧，由第 23 位取而代之成为最高位，对音频输出就不会产生不良影响。这就像在 C 语言程序中用整数型变量表示字节型数据一样，高 8 位永远是相同的 0 或 1。

同时，在外部时钟方式下，无论输入信号有多少位，CS4331 只取其中的 18 位，也就是说，LS-220 输出的数据中，只有第 23 位到第 6 位被 CS4331 真正接收了（图 6 中红线圈出的部分）。这样一来，数据错位虽然存在，但对音频输出是没有影响的。大家还可以看到，LS-220 输出的低位数据被 CS4331 丢掉了一部分。只要实际有效数据达到 16bit 左右，人耳听到的就是圆润清晰的声音，再多的数据只是提供更多的细节而已。如果 Creative 真的在 CT7160 上使用 24 位精度的 DAC，倒是成本过高，有违低价 DVD 的精神了。

（未完待续）本文作者：xuxu 转载自飞翔鸟硬件资讯站

什么 I²S 的数字音频

音响数据的采集、处理和传输是多媒体技术的重要组成部分。众多的数字音频系统已经进入消费市场，例如数字音频录音带、数字声音处理器。对于设备和生产厂家来说，标准化的信息传输结构可以提高系统的适应性。I²S(Inter—IC Sound)总线是飞利浦公司为数字音频设备之间的音频数据传输而制定的一种总线标准，该总线专责于音频设备之间的数据传输，广泛应用于各种多媒体系统。它采用了沿独立的导线传输时钟与数据信号的设计，通过将数据和时钟信号分离，避免了因时差诱发的失真，为用户节省了购买抵抗音频抖动的专业设备的费用。

I²S 总线规范

在飞利浦公司的 I²S 标准中，既规定了硬件接口规范，也规定了数字音频数据的格式。I²S 有 3 个主要信号：1. 串行时钟 SCLK，也叫位时钟（BCLK），即对应数字音频的每一位数据，SCLK 都有 1 个脉冲。SCLK 的频率=2×采样频率×采样位数 2. 帧时钟 LRCK，用于切换左右声道的数据。LRCK 为“1”表示正在传输的是左声道的数据，为“0”则表示正在传输的是右声道的数据。LRCK 的频率等于采样频率。3. 串行数据 SDATA，就是用二进制补码表示的音频数据。

有时为了使系统间能够更好地同步，还需要另外传输一个信号 MCLK，称为主时钟，也叫系统时钟（Sys Clock），是采样频率的 256 倍或 384 倍。

串行数据（SD）

I²S 格式的信号无论有多少位有效数据，数据的最高位总是出现在 LRCK 变化（也就是一帧开始）后的第 2 个 SCLK 脉冲处。这就使得接收端与发送端的有效位数可以不同。如果接收端能处理的有效位数少于发送端，可以放弃数据帧中多余的低位数据；如果接收端能处理的有效位数多于发送端，可以自行补足剩余的位。这种同步机制使得数字音频设备的互连更加方便，而且不会造成数据错位。

随着技术的发展，在统一的 I²S 接口下，出现了多种不同的数据格式。根据 SDATA 数据相对于 LRCK 和 SCLK 的位置不同，分为左对齐（较少使用）、I²S 格式（即飞利浦规定的格式）和右对齐（也叫日本格式、普通格式）。

为了保证数字音频信号的正确传输，发送端和接收端应该采用相同的数据格式和长度。当然，对 I²S 格式来说数据长度可以不同。

字段（声道）选择（WS）

命令选择线表明了正在被传输的声道。

WS 为“1”表示正在传输的是左声道的数据。

WS 为“0”表示正在传输的是右声道的数据。

WS 可以在串行时钟的上升沿或者下降沿发生改变，并且 WS 信号不需要一定是对称的。在从属装置端，WS 在时钟信号的上升沿发生改变。WS 总是在最高位传输前的一个时钟周期发生改变，这样可以使从属装置得到与被传输的串行数据同步的时间，并且使接收端存储当前的命令以及为下次的命令清除空间。

电气规范：

输出电压: $V_L < 0.4V$ $V_H > 2.4V$

输入电压 $V_{IL} = 0.8V$ $V_{IH} = 2.0V$

注：目前使用的 TTL 电平标准，随着其他 IC（LSI）的流行，其他电平也会支持。

时序要求：

在 I2s 总线中，任何设备都可以通过提供必需的时钟信号成为系统的主导装置，而从属装置通过外部时钟信号来得到它的内部时钟信号，这就意味着必须重视主导装置和数据以及命令选择信号之间的传播延迟，总的延迟主要由两部分组成：

外部时钟和从属装置的内部时钟之间的延迟

内部时钟和数据信号以及命令选择信号之间的延迟

对于数据和命令信号的输入，外部时钟和内部时的延迟不占据主导的地位，它只是延长了有效的建立时间(set-up time)。延迟的主要部分是发送端的传输延迟和设置接收端所需的时间。

T 是时钟周期， T_r 是最小允许时钟周期， $T > T_r$ 这样发送端和接收端才能满足数据传输速率的要求。

对于所有的数据速率，发送端和接收端均发出一个具有固定的传号空号比(mark-space ratio)的时钟信号，所以 t_{LC} 和 t_{HC} 是由 T 所定义的。 t_{LC} 和 t_{HC} 必须大于 $0.35T$ ，这样使信号在从属装置端可以被检测到。

延迟(t_{dtr})和最快的传输速度(由 T_r 定义)是相关的，快的发送端信号在慢的时钟上升沿可能导致 t_{dtr} 不能超过 t_{RC} 而使 t_{thr} 为零或者负。只有 t_{RC} 不大于 t_{RCmax} 的时候($t_{RCmax} > 0.15T$)，发送端才能保证 t_{thr} 大于等于 0。

为了允许数据在下降沿被记录，时钟信号上升沿及 T 相关的时间延迟应该给予接收端充分的建立时间(set-up time)。

数据建立时间(set-up time)和保持时间(holdtime)不能小于指定接收端的建立时间和保持时间。