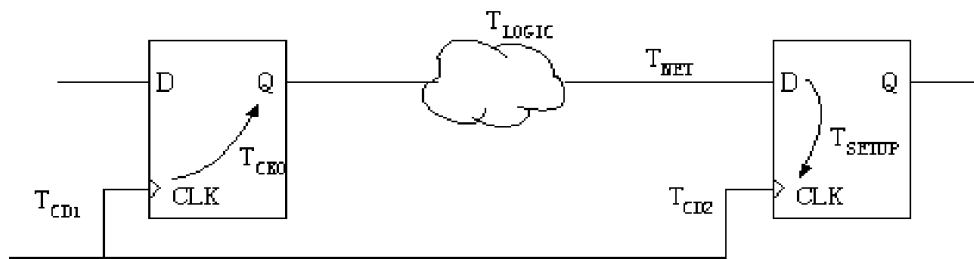


周期约束



周期约束的计算

- 设计内部电路所能达到的**最高运行频率**取决于同步元件本身的建立保持时间，以及同步元件之间的逻辑和布线延迟。
- 时钟的最小周期为：

$$T_{period} = T_{cko} + T_{logic} + T_{net} + T_{setup} - T_{clk_skew}$$

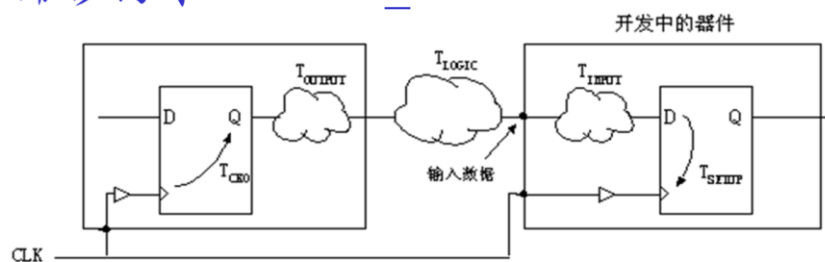
$$T_{clk_skew} = T_{cd2} - T_{cd1}$$

其中 T_{cko} 为时钟输出时间， T_{logic} 为同步元件之间的组合逻辑延迟， T_{net} 为网线延迟。 T_{setup} 为同步元件的建立时间， T_{clk_skew} 为时钟信号偏斜。

$$t_{hold} + t_{skew} < t_{clock_Q_min} + t_{logic_min}$$

$$t_{clock} > t_{clock_Q_max} + t_{logic_max} + t_{setup} + t_{skew}$$

偏移约束 OFFSET_IN



输入到达时间计算时序描述

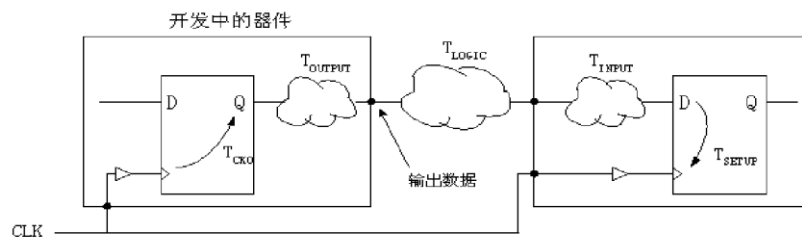
- 信号从上一级电路输出到达芯片输入引脚的延时计算公式：
 $T_{arrive} = T_{cko} + T_{output} + T_{logic}$
- 信号将在有效时钟沿之后的 T_{arrive} 时刻到达，约束设置为：
NET SIGNAL_IN OFFSET=IN T_{arrive} AFTER CLK
- 到达时间和时钟周期的关系满足：

$$T_{arrive} + T_{input} + T_{setup} < T_{period}$$

因此 **NET SIGNAL_IN OFFSET=IN T_{delay} BEFORE CLK**

$$T_{delay} < T_{period} - T_{arrive}$$

偏移约束OFFSET_OUT



计算要求的输出稳定时间

- 定义: $T_{stable} = T_{logic} + T_{input} + T_{setup}$
- 只要当前设计输出端的数据比时钟上升沿提前 T_{stable} 时间稳定下来，下一级就可以正确采样数据。
- 实现工具将会努力使输出端的延迟满足以下关系:

$$T_{cko} + T_{output} + T_{stable} < T_{period}$$

NET SIGNAL_OUT OFFSET=OUT Tstable BEFORE CLK

NET SIGNAL_OUT OFFSET=OUT Tdelay AFTER CLK

其中 $T_{delay} < T_{period} - T_{stable}$