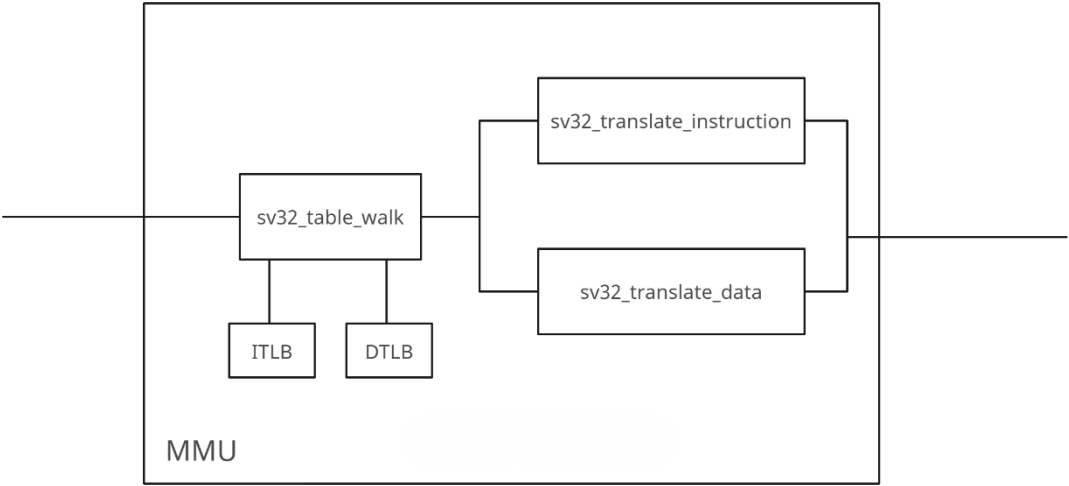


MMU 说明文档

一、模块概述

本模块为符合 RISC-V SV32（Supervisor-level 32-bit paging scheme）标准的内存管理单元（MMU, Memory Manage Unit），基于开源项目 `kianRiscV` 进行功能扩展，包含指令地址翻译模块、数据地址翻译模块和页表遍历模块，采用地址转换旁路缓冲器（Translation Lookaside Buffer, TLB）加速地址转换，实现页表管理和虚拟地址翻译功能，模块结构图如图一所示。



图一 MMU 结构图

二、模块信号

模块输入信号如表一所示。

表一 输入信号

信号名称	位宽	作用
clk	1 位	时钟信号
resetrn	1 位	复位信号，低电平有效
cpu_valid	1 位	CPU 就绪信号
cpu_wstrb	4 位	CPU 写使能控制信号
cpu_addr	32 位	CPU 访问地址
cpu_wdata	32 位	CPU 写入内存数据
mem_ready	1 位	内存就绪信号
is_instruction	1 位	Icache 和 Dcache 选择信号
tlb_flush	1 位	TLB 刷新使能信号，高电平有效
satp	32 位	satp 寄存器值
mstatus	32 位	mstatus 寄存器值
privilege_mode	2 位	当前特权模式

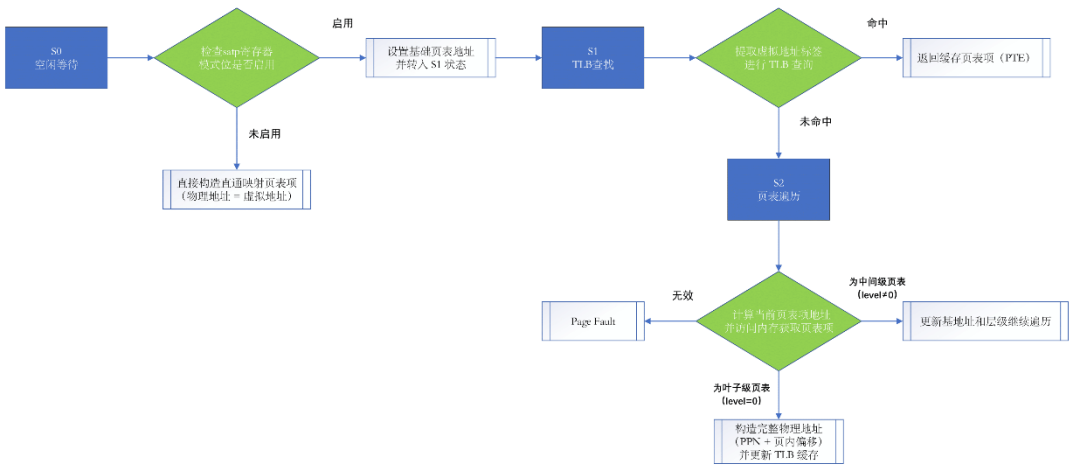
输出信号如表二所示。

表二 输出信号

信号名称	位宽	作用
cpu_ready	1 位	MMU 就绪信号，发送给 CPU
cpu_rdata	32 位	内存读取数据输出给 CPU
mem_valid	1 位	MMU 就绪信号，发送给内存
mem_wstrb	4 位	内存写使能信号
mem_addr	34 位	需要访问的物理地址
mem_wdata	32 位	写入物理内存数据
stall	1 位	流水线暂停信号
fault_address	32 位	发生页表错误的虚拟地址
page_fault	1 位	页表错误信号，高电平有效

三、工作流程

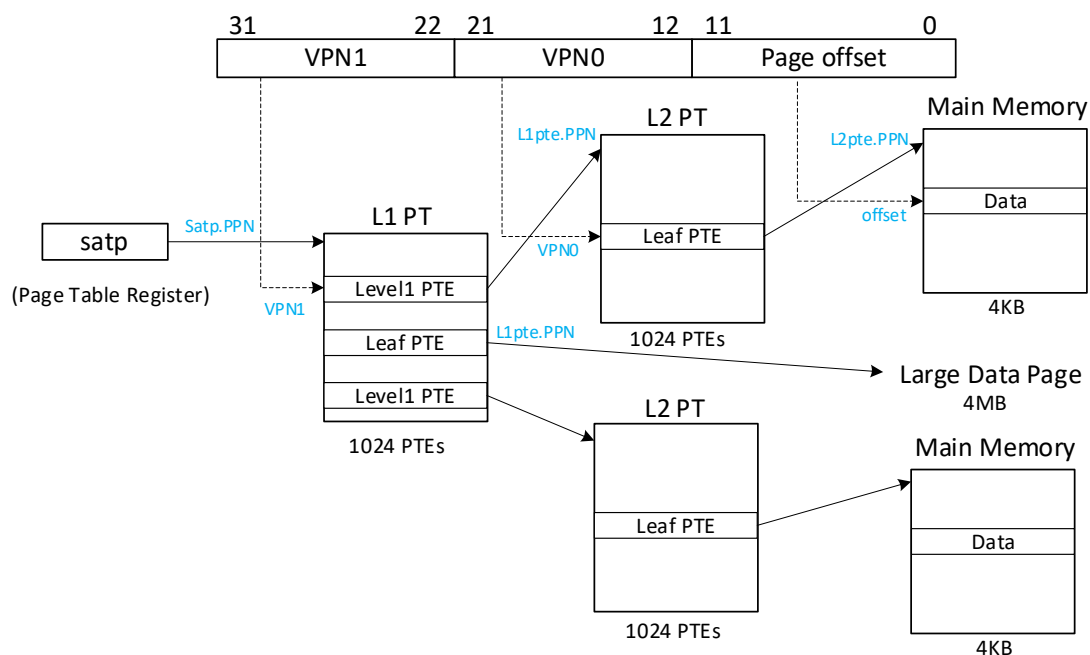
采用三级状态机实现地址转换，由等待阶段，地址翻译阶段和访存阶段三部分构成，根据当前输入信号和内部条件判断实现状态转换，状态转换图如图二所示。



图二 MMU 模块状态转换图

等待阶段中该模块会根据当前 CPU（Central Processing Unit,CPU）就绪信号，内存就绪信号和 satp（Supervisor Address Translation and Protection Register）寄存器中 MMU 状态位来判断是否进入地址翻译阶段。当 CPU 请求有效(cpu_valid=1)且内存操作完成(mem_ready=0)时，且 satp 寄存器中 MMU 控制位为开启状态，未发生页表错误时，MMU 判定接收到一组有效翻译指令，进入地址翻译模式，否则维持状态机稳态。

地址翻译阶段中该模块会优先从 TLB 中读取页表数据，当 TLB 命中时，直接输出缓存的物理页号(PPN)与页内偏移量组合生成物理地址，若未命中则以 satp 寄存器值作为一级页表基地址，遍历页表完成地址翻译，同时通过读取页表的权限位完成权限检查，页表遍历过程示意图如图三所示。



图三 SV32 页表遍历过程

访存阶段 MMU 模块会根据 CPU 输入信号对物理内存进行读写操作。

四、子模块分析

4.1 sv32 table walk 模块

4.1.1 模块概述

sv32_table_walk 是实现 RISC-V SV32 虚拟地址转换的关键模块，负责将虚拟地址转换为物理地址。该模块通过页表遍历技术实现地址转换，并使用 TLB（缓存转换结果以提高性能）。

4.1.2 参数说明

- NUM_ENTRIES_ITLB: 指令 TLB 条目的数量，默认值为 64。
- NUM_ENTRIES_DTLB: 数据 TLB 条目的数量，默认值为 64。

4.1.3 输入信号

表三 输入信号表

信号名称	位宽	作用
clk	1 位	时钟信号，用于模块同步
resetrn	1 位	异步复位信号，低电平有效
address	32 位	待转换的虚拟地址
satp	32 位	超级页表基地址寄存器，包含页表模式和基地址
is_instruction	1 位	指示是否为指令访问，用于区分指令 TLB 与数据 TLB
tlb_flush	1 位	TLB 刷新信号，控制 TLB 的清除
valid	1 位	地址转换请求的有效信号
walk_mem_ready	1 位	页表遍历内存就绪信号，指示内存是否可以响应请求

4.1.4 输出信号

表四 输出信号表

信号名称	位宽	作用
pte	32 位	输出页表项，包含转换后的物理地址信息
ready	1 位	指示当前模块是否已准备好，可以提供页表项或响应
walk_mem_valid	1 位	页表遍历内存有效信号，指示是否请求进行页表遍历
walk_mem_addr	32 位	页表遍历内存地址，用于访问页表

4.1.5 模块功能

地址转换

系统采用三阶段有限状态机 (FSM) 实现虚拟地址到物理地址的转换，核心状态包括空闲等待 (S0)、TLB 查找 (S1) 和页表遍历 (S2)。初始化阶段 (S0) 通过检查 satp 寄存器模式位确定 MMU 是否启用：未启用时直接构造直通映射页表项 (物理地址 = 虚拟地址)，启用时设置基础页表地址并转入 S1 状态。进入 TLB 查找阶段 (S1) 后，系统提取虚拟地址标签进行 TLB 查询，命中则直接返回缓存页表项 (Page Table Entry, PTE)，未命中则触发页表遍历流程 (转入 S2 状态)。页表遍历阶段 (S2) 执行两级页表 (SV32) 查询：通过计算当前页表项地址 ($pte_addr = base + vpn[level] * PTE_SIZE$) 并访问内存获取页表项，若无效则触发 Page Fault；若为中间级页表 ($level \neq 0$) 则更新基地址和层级继续遍历；若为叶子级页表 ($level=0$) 则构造完整物理地址 ($PPN + \text{页内偏移}$) 并更新 TLB 缓存。状态机通过 state/base/level/pte/ready 五个关键寄存器实现控制，其中 state 指示当前状态，base 记录页表基地址，level 标识当前层级，pte 缓存页表项内容，ready 标志转换完成状态。

TLB 管理

模块包含两个独立的 TLB。指令 TLB：缓存指令访问的地址转换；数据 TLB：缓存数据访问的地址转换。每个 TLB 通过 tag_ram 模块实现，具有以下功能：存储虚拟页号标签和对应的页表项，提供页表项的快速查找，支持页表项更新和刷新操作

页表项处理

页表项包含以下关键信息：有效位(V)：用以指示页表项是否有效，读(R)/写(W)/执行(X)权限位用以指示内存访问权限，物理页号(PPN)即转换后的物理页地址

模块执行以下页表项操作：读取页表项并检查其有效性，判断页表项是否指向下一级页表，构造最终页表项，包括物理页号和访问权限

4.2 tag_ram 模块

4.2.1 模块概述

tag_ram 模块实现了一个标签 RAM (Tag RAM) 结构，主要用于处理器中的快速查找操作，例如缓存 (Cache) 的标签比较或页表项查找。该模块通过标签匹配机制，能够根据输入的索引和标签值，快速确定是否命中并输出对应的负载数据。

4.2.2 参数说明

表五 参数说明表

参数名称	默认值	作用
TAG_RAM_ADDR_WIDTH	6	标签 RAM 的地址宽度
TAG_WIDTH	20	标签的位宽
PAYLOAD_WIDTH	32	负载数据的位宽

4.2.3 接口说明

以下接口宽度均为默认值，输入信号如表六所示。

表六 输入信号表

信号名称	位宽	作用
clk	1 位	时钟信号
resetn	1 位	异步复位信号，低电平有效
idx	6 位	访问索引输入
tag	20 位	标签输入
payload_i	32 位	负载数据输入
we	1 位	写使能信号，高电平表示执行写操作
valid_i	1 位	有效输入信号，控制是否更新内容

输入信号如表七所示。

表七 输出信号表

信号名称	位宽	作用
hit_o	1 位	命中输出信号，高电平有效
payload_o	32 位	负载数据输出，命中时输出对应的存储值，未命中时输出 0x0

4.2.4 功能实现

该模块存储结构分为标签存储结构和负载存储数据，tags[0:LINES-1]为标签存储数组，每个条目存储一个标签值，payloads[0:LINES-1]为负载数据存储数组，每个条目存储对应的数据，v[LINES-1:0]为有效标记数组，指示对应条目是否有效

命中检测部分当标签匹配和数据输出功能当输入标签与存储的标签相等（tag == tags[idx]）且对应条目有效（v[idx]为 1）判断为命中，命中时输出对应的负载数据（payloads[idx]），否则输出 0。

时序逻辑部分处理标签和数据的写入以及复位操作，低电平复位信号触发时，清除所有有效标记（v <= 0）实现复位。当有效信号（valid_i）和写使能信号（we）同时为高时，将输入标签写入标签数组（tags[idx] <= tag），将输入数据写入负载数组（payloads[idx] <= payload_i），设置对应条目为有效（v[idx] <= 1'b1），完成写入操作。

输入索引和标签值，模块检查该索引位置的标签是否匹配且有效，如果匹配且有效，置位命中信号并输出对应的负载数据，如果不匹配或无效，命中信号为低，输出数据为 0

4.3 sv32 translate 模块

4.3.1 模块概述

sv32 translate 模块用于完成 PTE（Page Table Entry）的解析和物理地址的计算，支持特权模式检查和页错误检测，在解析 PTE 时检查页表配置和访问权限。

4.3.2 接口说明

该模块输入信号如表八所示。

表八 输入信号表

信号名称	位宽	作用
clk	1 位	时钟信号
resetrn	1 位	异步复位信号，低电平有效
address	32 位	需要翻译的地址
privilege_mode	2 位	当前特权模式
walk_ready	1 位	页表遍历完成信号
valid	1 位	翻译使能信号，控制是否进行地址翻译
pte	32 位	页表项数据，由页表遍历模块提供

该模块输出信号如表九所示。

表九 输出信号表

信号名称	位宽	作用
physical_address	34 位	翻译得到的物理地址
page_fault	1 位	页表错误信号
ready	1 位	翻译完成信号，指示物理地址是否准备好

4.3.3 功能实现

该模块实现了页表遍历、PTE 合法性检查、特权模式检查和物理地址计算等功能。

在初始状态，该模块等待翻译使能信号，若遍历使能信号为高电平，则会根据当前特权模式决定是否进行页表遍历和地址翻译，若当前特权模式为机器模式(M-mode)，则不进行地址翻译，将当前输入的地址作为物理地址输出，并维持状态机稳态。若当前特权模式为监督模式(S-mode)，则进入页表解析状态。

在页表解析状态，该模块读取输入的虚拟地址和对应的页表项，进行 PTE 合法性检查并翻译地址。在执行指令地址翻译时，会检查 PTE 的 X 位验证是否有执行权限，若无执行权限则在下一时钟周期触发页错误异常。在执行数据地址翻译时，会检查该 PTE 的 W 位和 R 位验证是否有读写权限，若在无读写权限的情况下尝试进行读写，则会在下一时钟周期触发页错误异常，若当前为监督模式，检查 PTE 的 U 位和 mstatus 寄存器中 SUM 端检验监督模式是否允许访问用户模式内存，若无权限则会在下一时钟周期触发页错误异常。完成地址翻译后，该模块会回到初始状态等待翻译下一地址。

4.4 mmu_trans_tb 模块

4.4.1 模块概述

mmu_trans_tb 模块是一个用于测试 SV32 内存管理单元(MMU)的测试平台，主要用于验证 SV32 虚拟内存管理系统在 RISC-V 处理器中的地址转换功能。该测试平台通过模拟 CPU 对内存的读写操作，测试虚拟地址到物理地址的转换过程，并验证页表机制、权限检查和页错误处理等功能的正确性。

4.4.2 测试环境构成

测试平台主要包含以下几个关键组件：被测试模块（Device Under Test, DUT）是 SV32 内存管理单元，负责虚拟地址到物理地址的转换。存储器模块用来模拟物理内存，用于存储页表和数据。激励生成部分用以生成 CPU 读写请求，模拟不同特权级别下的内存访问。结果验证部分用来检查地址转换结果，验证数据正确性和异常处理。

4.4.3 功能实现

时钟生成:

测试平台生成一个周期为 10ns 的时钟信号，用于驱动被测试模块和内存模块的同步操作。

内存响应逻辑:

根据 MMU 模块的内存请求信号(mem_valid)生成相应的内存就绪信号(mem_ready)，模拟物理内存的响应行为。

事务处理任务

写事务任务(write_transaction)实现向指定虚拟地址写入数据的功能，包括以下步骤：设置 CPU 请求信号(cpu_valid)和相关数据信号，等待 MMU 完成地址转换和内存访问，输出调试信息。

读事务任务(read_transaction)实现从指定虚拟地址读取数据的功能，包括以下步骤：设置 CPU 请求信号和地址信号，等待 MMU 完成地址转换和内存访问，检查读取结果是否与预期值匹配，处理可能发生的页错误，输出调试信息。

4.4.4 测试流程

在初始化阶段复位系统，初始化所有控制信号，设置初始特权模式为机器模式(PRIVILEGE_MODE_MACHINE)。

在页表设置测试中，在物理地址空间中构建两级页表结构，设置一级页表项(地址 0x10000)，指向二级页表，设置二级页表项(地址 0x20000 和 0x20004)，设置适当的访问权限标志，预先在物理内存中写入测试数据。

在 SV32 模式启用测试中配置 satp 寄存器，启用 SV32 地址转换模式，设置页表基址指向一级页表，刷新 TLB，确保地址转换缓存清空，切换特权模式为监督模式(PRIVILEGE_MODE_SUPERVISOR)。

在虚拟地址访问测试中读取虚拟地址 0x000000321，验证地址转换和数据读取正确性，写入虚拟地址 0x000001321，验证地址转换和数据写入功能，再次读取该地址，验证写入内容正确。

在页错误测试中尝试访问无效的虚拟地址(0xDEADBEEF)，验证页错误信号(page_fault)正确触发，检查错误地址(fault_address)是否正确。

该 tb 通过\$monitor 系统任务持续监视关键信号的变化，包括复位状态、特权模式、satp 寄存器值、CPU 地址、读取数据和页错误状态，便于调试和观察系统行为。

五、参考资料

- [1] K. Riscv, "kianRiscV: RISC-V compatible processor core with SV32 MMU implementation," [Online]. Available: <https://github.com/splinedrive/kianRiscV>. [Accessed: Dec. 2023].