

# 同济大学计算机系

## 数字逻辑课程实验报告



学 号 1652286

姓 名 李辉

专 业 计算机

授课老师 张冬冬

## 一、实验内容

### 6.3\_1 decoder

利用 logisim 画出 3-8 译码器逻辑电路图并用 verilog HDL 设计实现 3-8 译码器

### 6.3\_2 display7

用 verilog HDL 设计实现七段数码管译码驱动器

### 6.3\_3 encoder83

利用 logisim 画出 8-3 编码器逻辑电路图并用 verilog HDL 设计实现 8-3 编码器

### 6.4\_3 encoder83\_Pri

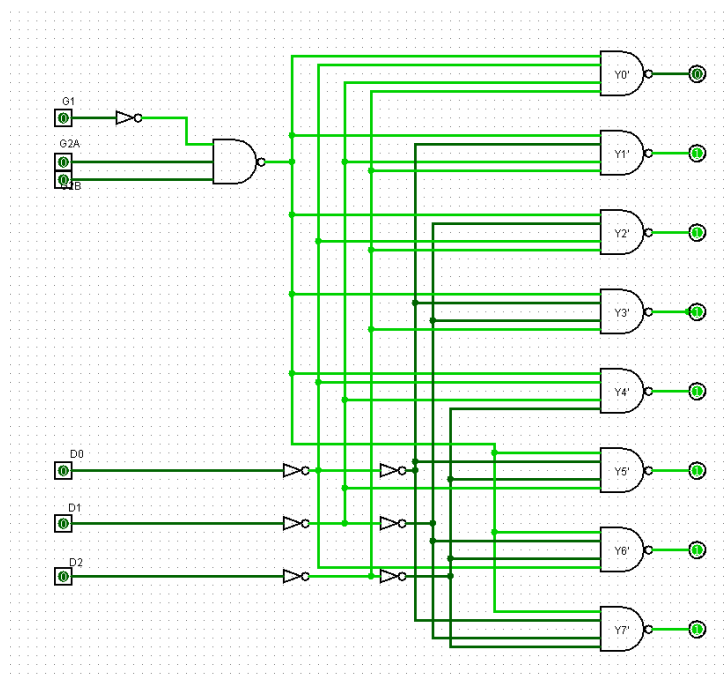
用 verilog HDL 设计实现七段数码管译码驱动器

\*对以上设计进行仿真和下板试验

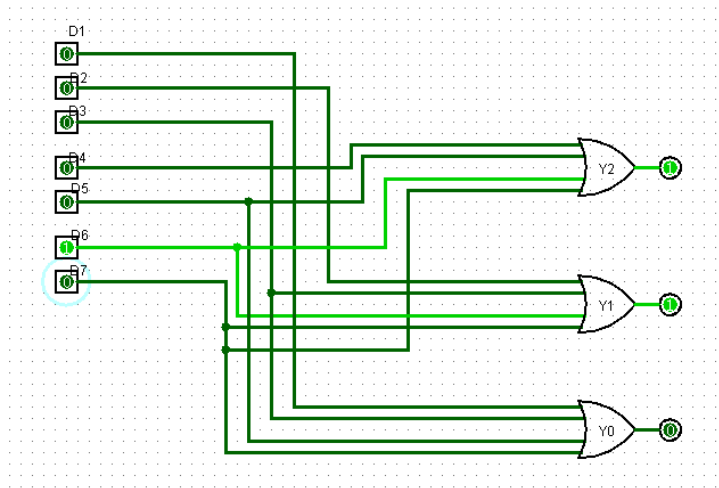
## 二、硬件逻辑图

(实验步骤中要求用 logisim 画图的实验, 在该部分给出 logisim 原理图, 否则该部分在实验报告中不用写)

### (1) 6.3\_1 decoder 3-8 译码器



### (2) 6.3\_3 encoder83 8-3 编码器



### 三、模块建模

（该部分要求对实验中建模的所有模块进行功能描述，并列出各模块建模的 verilog 代码）

#### (1)6.3\_1 decoder 3-8 译码器

```
`timescale 1ns / 1ns
module decoder(
    input [2:0] iData,
    input [1:0] iEna,
    output reg [7:0] oData
);
    always @(*)
    case(iEna)
    2'b01:
    case(iData)
    3'b000:oData=8'b11111110;
    3'b001:oData=8'b11111111;
    3'b010:oData=8'b11111011;
    3'b011:oData=8'b11110111;
    3'b100:oData=8'b11101111;
    3'b101:oData=8'b11011111;
    3'b110:oData=8'b10111111;
    3'b111:oData=8'b01111111;
    endcase
    default:oData=8'b11111111;
    endcase
endmodule
```

#### (2)6.3\_2 七段数码管译码驱动器

```
`timescale 1ns / 1ns
module display7(
```

```

        input [3:0] iData,
        output reg [6:0] oData
    );
    always @(*)
    case(iData)
        4'b0000:oData=7'b1000000;
        4'b0001:oData=7'b1111001;
        4'b0010:oData=7'b0100100;
        4'b0011:oData=7'b0110000;
        4'b0100:oData=7'b0011001;
        4'b0101:oData=7'b0010010;
        4'b0110:oData=7'b0000010;
        4'b0111:oData=7'b1111000;
        4'b1000:oData=7'b0000000;
        4'b1001:oData=7'b0010000;
        default:oData=7'b1111111;
    endcase
endmodule

```

### (3)6.3\_3 encoder83 8-3 编码器

```

`timescale 1ns / 1ns
module encoder83(
    input [7:0] iData,
    output reg [2:0] oData
);
    always @(*)
    case(iData)
        8'b10000000:oData=3'b111;
        8'b01000000:oData=3'b110;
        8'b00100000:oData=3'b101;
        8'b00010000:oData=3'b100;
        8'b00001000:oData=3'b011;
        8'b00000100:oData=3'b010;
        8'b00000010:oData=3'b001;
        8'b00000001:oData=3'b000;
        default:oData=3'b000;
    endcase
endmodule

```

### (4)6.3\_4 encoder83\_Pri 具有优先级的 8-3 编码器

```

`timescale 1ns / 1ns
module encoder83_Pri(
    input [7:0] iData,
    input iEI,
    output reg [2:0] oData,

```

```

        output oEO
    );
    assign oEO=~iEI;
    always @(*)
    if(iEI==0&&iData==8'b11111111)
    oData=3'b111;
    else if(iEI==0&&iData[7]==0)
    oData=3'b000;
    else if(iEI==0&&iData[7]==1&&iData[6]==0)
    oData=3'b001;
    else if(iEI==0&&iData[7]==1&&iData[6]==1&&iData[5]==0)
    oData=3'b010;
    else if(iEI==0&&iData[7]==1&&iData[6]==1&&iData[5]==1&&iData[4]==0)
    oData=3'b011;
    else
    if(iEI==0&&iData[7]==1&&iData[6]==1&&iData[5]==1&&iData[4]==1&&iData[3]==0)
    oData=3'b100;
    else

    if(iEI==0&&iData[7]==1&&iData[6]==1&&iData[5]==1&&iData[4]==1&&iData[3]==
    1&&iData[2]==0)
    oData=3'b101;
    else
    if(iEI==0&&iData[7]==1&&iData[6]==1&&iData[5]==1&&iData[4]==1&&iData[3]==1&&iDa
    ta[2]==1&&iData[1]==0)
    oData=3'b110;
    else
    if(iEI==0&&iData[7]==1&&iData[6]==1&&iData[5]==1&&iData[4]==1&&iData[3]==1&&iDa
    ta[2]==1&&iData[1]==1&&iData[0]==0)
    oData=3'b111;
    else
    oData=3'b111;
endmodule

```

## 四、测试模块建模

（要求列写各建模模块的 test bench 模块代码）

### (1) 6.3\_1 decoder 3-8 译码器

```

`timescale 1ns / 1ns
module decoder_tb();
reg [2:0] iData;
reg [1:0] iEna;
wire [7:0] oData;

```

```

decoder uut(.iData(iData),.iEna(iEna),.oData(oData));
initial
begin
iData=3'b000;
#200 iData=3'b000;
#50 iData=3'b001;
#50 iData=3'b010;
#50 iData=3'b011;
#50 iData=3'b100;
#50 iData=3'b101;
#50 iData=3'b110;
#50 iData=3'b111;
end

initial
begin
iEna=2'b00;
#50 iEna=2'b00;
#50 iEna=2'b11;
#50 iEna=2'b10;
#50 iEna=2'b01;
end

endmodule

```

## (2)6.3\_2 display7 七段数码管译码驱动器

```

`timescale 1ns / 1ns
module display7_tb();
reg [3:0] iData;
wire [6:0] oData;
display7 uut(.iData(iData),.oData(oData));
initial
begin
iData=4'b0000;
#50 iData=4'b0000;
#50 iData=4'b0001;
#50 iData=4'b0010;
#50 iData=4'b0011;
#50 iData=4'b0100;
#50 iData=4'b0101;
#50 iData=4'b0110;
#50 iData=4'b0111;
#50 iData=4'b1000;
#50 iData=4'b1001;

```

```

end
endmodule
(3)6.3_3 encoder83 8-3 编码器
`timescale 1ns / 1ns
module encoder83_tb();
reg [7:0] iData;
wire [2:0] oData;
encoder83 uut(.iData(iData),.oData(oData));
initial
begin
#50 iData=8'b10000000;
#50 iData=8'b01000000;
#50 iData=8'b00100000;
#50 iData=8'b00010000;
#50 iData=8'b00001000;
#50 iData=8'b00000100;
#50 iData=8'b00000010;
#50 iData=8'b00000001;
end
endmodule

```

#### **(4)6.3\_4 encoder83\_Pri 具有优先级的 8-3 编码器**

```

`timescale 1ns / 1ns
module encoder83_Pri_tb();
reg [7:0] iData;
reg iEI;
wire [2:0] oData;
wire oEO;
encoder83_Pri uut(.iData(iData),.iEI(iEI),.oData(oData),.oEO(oEO));

initial
begin
#50 iEI=1;

#50 iEI=0;

end

initial
begin
#100 iData=8'b11111111;
#50 iData=8'b01110101;
#50 iData=8'b00110010;
#50 iData=8'b10101001;
#50 iData=8'b10010010;
#50 iData=8'b11010101;

```

```
#50 iData=8'b11011011;  
#50 iData=8'b11101100;  
#50 iData=8'b11100101;  
#50 iData=8'b11110101;  
#50 iData=8'b11110011;  
#50 iData=8'b11111001;  
#50 iData=8'b11111010;  
#50 iData=8'b11111101;  
#50 iData=8'b11111100;  
#50 iData=8'b11111110;  
end  
endmodule
```

## 五、实验结果

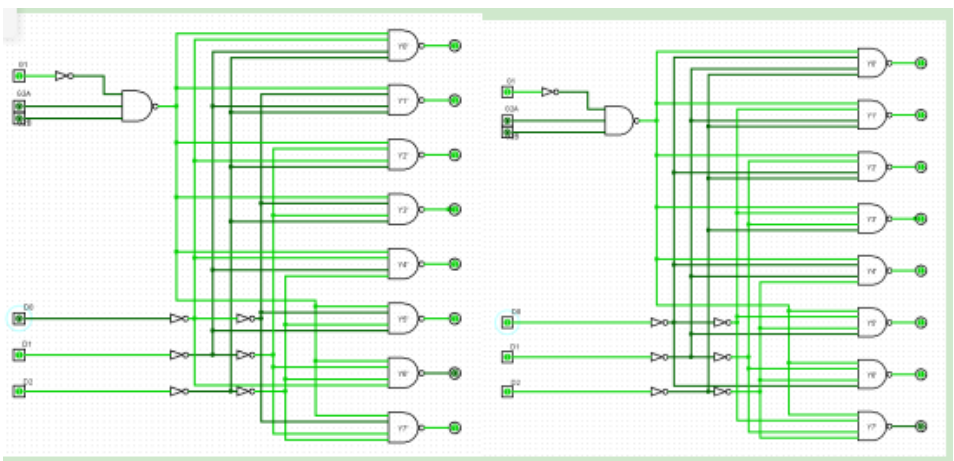
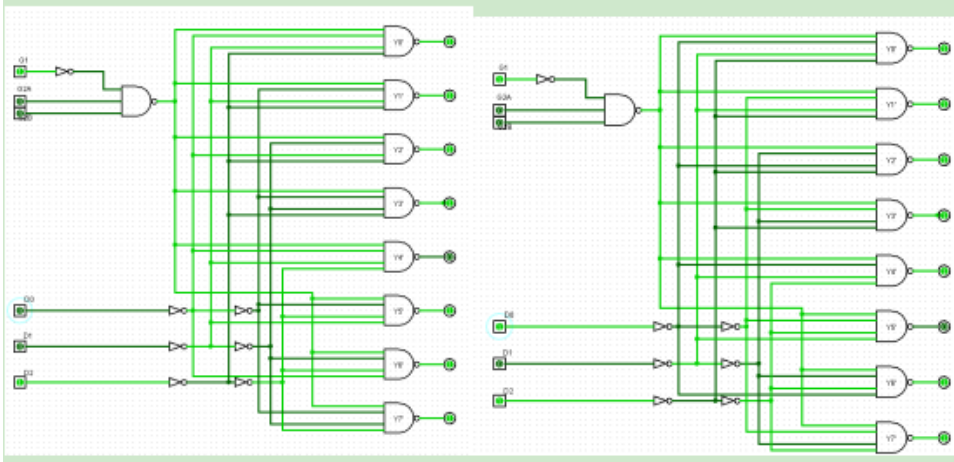
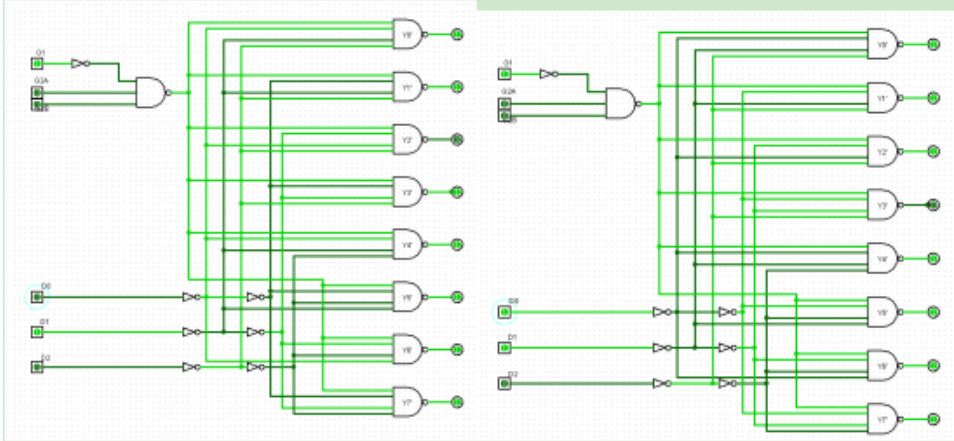
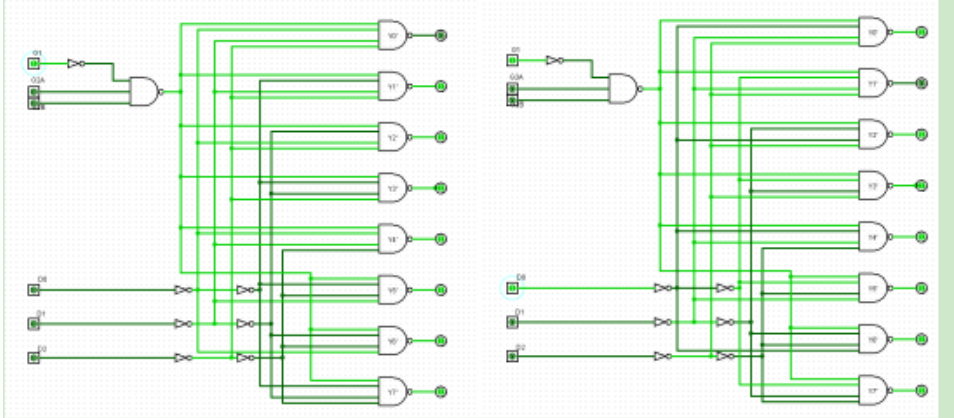
（该部分可截图说明，要求 logisim 逻辑验证图、modelsim 仿真波形图、以及下板后的实验结果贴图（实验步骤中没有下板要求的实验，不需要下板贴图））

### logisim 逻辑验证图

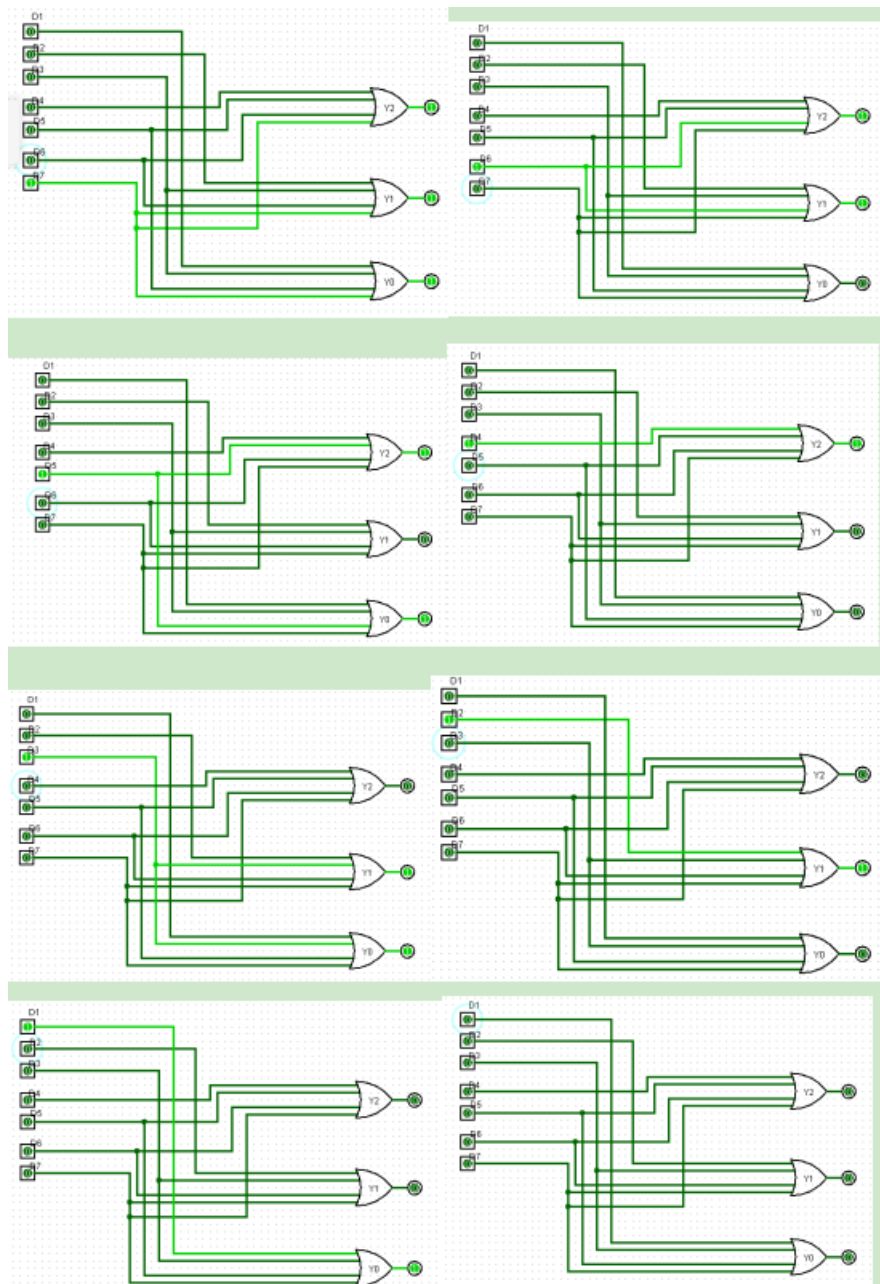
#### (一)6.3\_1 decoder 3-8 译码器

G1==1;G2==0;



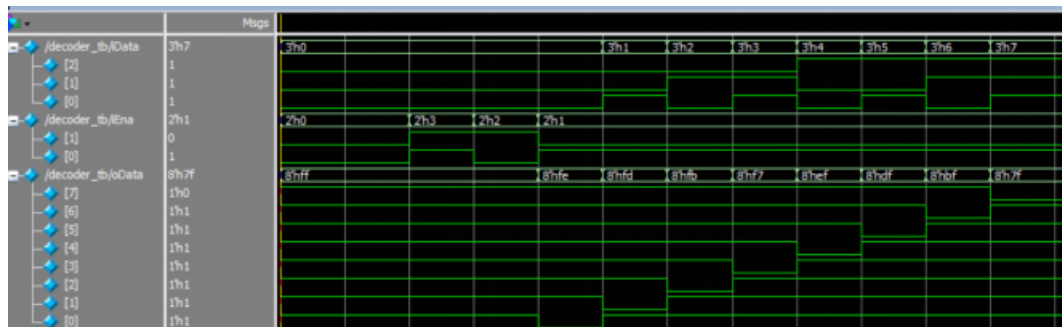


## (二)6.3\_3 encoder83 8-3 编码器

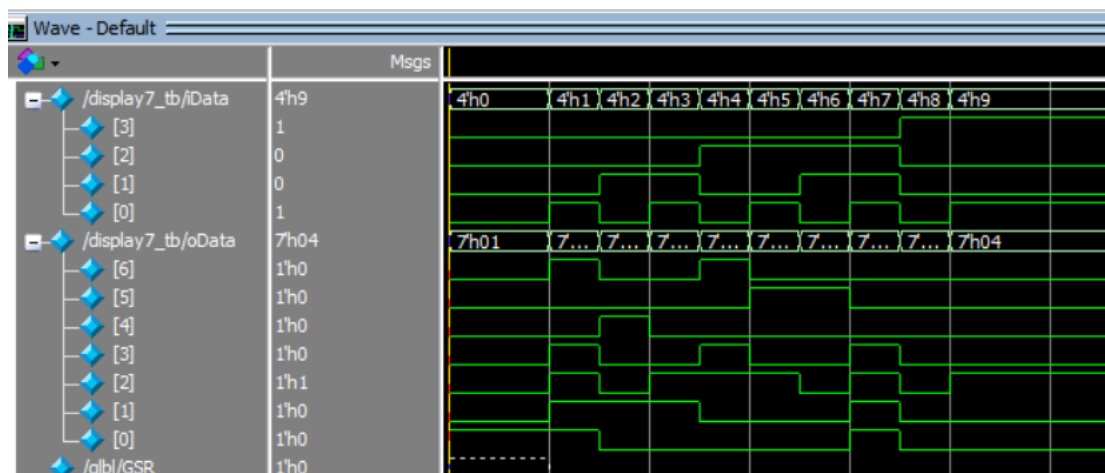


## Modelsim 仿真波形图

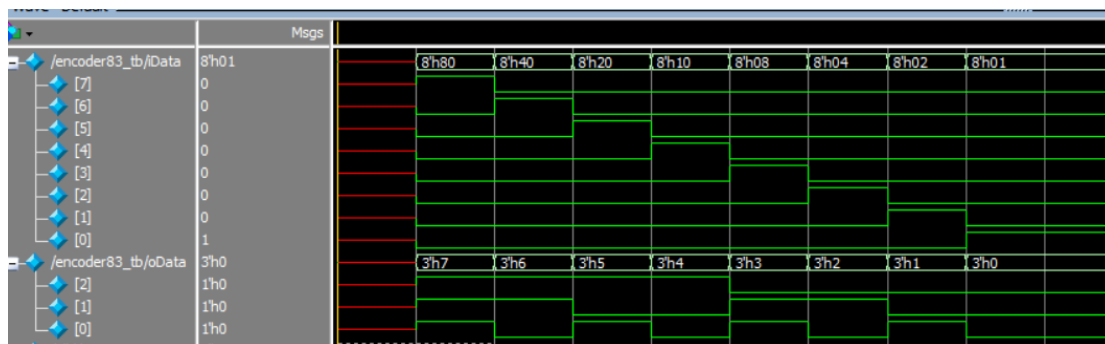
### (一)6.3\_1 decoder 3-8 译码器



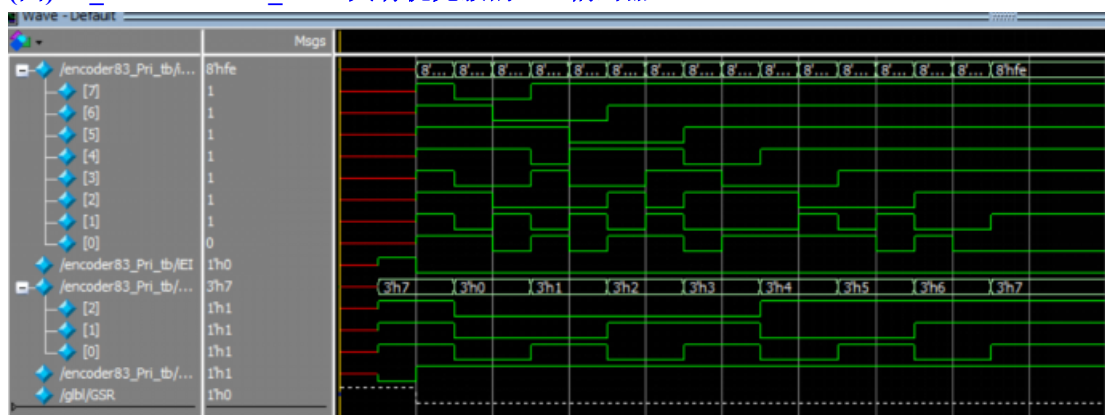
## (二)6.3\_2 display7 七段数码管译码驱动器



## (三)6.3\_3 encoder83 8-3 编码器



## (四)6.3\_4 encoder83\_Pri 具有优先级的 8-3 编码器

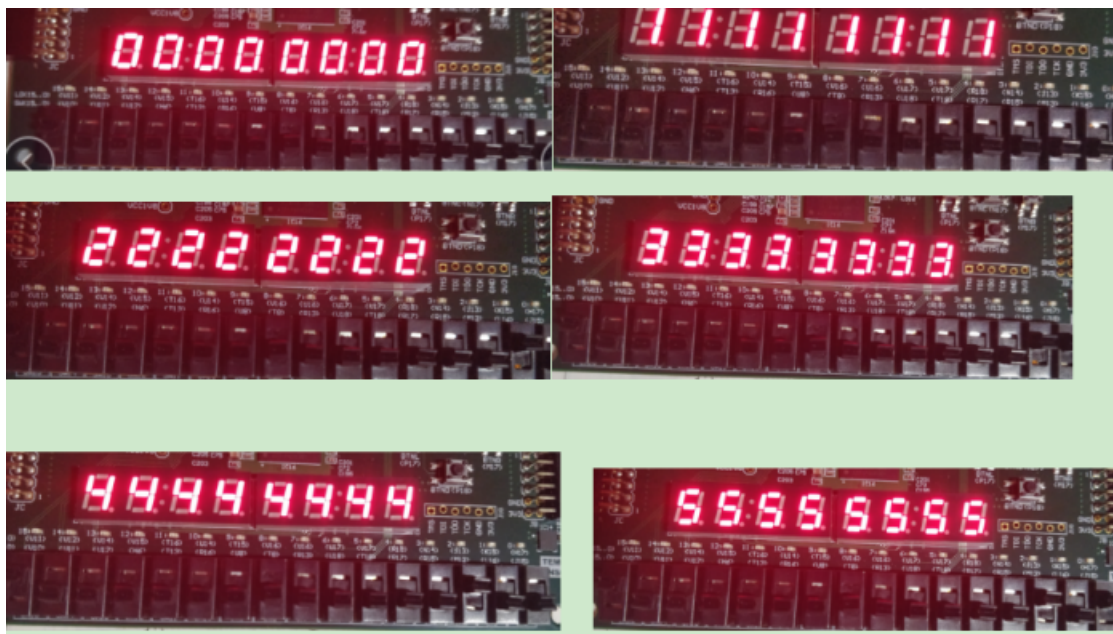


## 下板后贴图

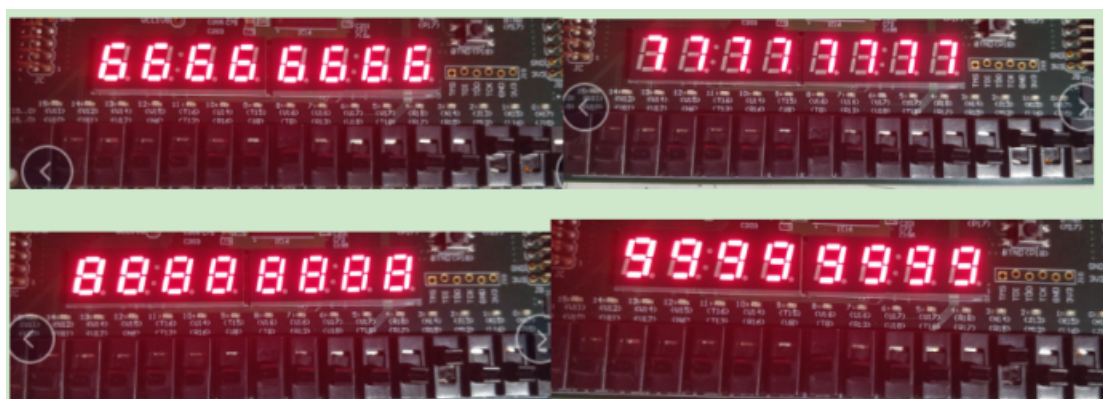
### (一)6.3\_1 decoder 3-8 译码器



### (二)6.3\_2 display7 七段数码管译码驱动器







(三)6.3\_3 encoder83 8-3 编码器



(四)6.3\_4 encoder83\_Pri 具有优先级的 8-3 编码器

