同济大学计算机系

数字逻辑课程实验报告



学	号	1652286
姓	名	李辉
专	业	计算机
授课老师		张冬冬

二、实验内容

- 1. 实现 4 位数据比较器和 8 位数据比较器(以 4 位比较器为基础)的设计; 2. 实现 1 位加法器和 8 位加法器的设计;
- 3.实验过程包括 Verilog HDL 语言描述、Modelsim 仿真和下板验证。硬件逻辑图

三、模块建模

(该部分要求对实验中建模的所有模块进行功能描述,并列出各模块建模的 verilog 代码)

(1)6.5_1 DataCompare4 四位比较器

```
`timescale 1ns / 1ns
module DataCompare4(
    input [3:0] iData_a,
    input [3:0] iData b,
    input [2:0] iData,
    output reg[2:0] oData
    );
    always @(*)
    if(iData a>iData b)
    oData=3'b100;
    else if(iData a<iData b)
    oData=3'b001;
    else if(iData_a==iData_b)
    begin
    if(iData==3'b100)
    oData=3'b100;
    else if(iData==3'b010)
    oData=3'b010;
    else if(iData==3'b001)
    oData=3'b001;
    else
```

```
oData=3'b000;
    end
endmodule
(2)6.5 2 DataCompare8 八位比较器
`timescale 1ns / 1ns
module DataCompare8(
    input [7:0] iData a,
    input [7:0] iData b,
    output [2:0] oData
    );
    wire [2:0]fff;
    DataCompare8 low
ddd(.iData a(iData a[3:0]),.iData b(iData b[
3:0]),.oData(fff));
    DataCompare8 high
ggg(.iData_a(iData_a[7:4]),.iData_b(iData_b[
7:4]),.iData(fff),.oData(oData));
    endmodule
    module DataCompare8 low(
         input [3:0] iData_a,
         input [3:0] iData b,
         output reg[2:0] oData
         always @(*)
              if(iData_a>iData_b)
              oData=3'b100;
              else if(iData a<iData b)
              oData=3'b001;
              else if(iData_a==iData_b)
              oData=3'b010;
         endmodule
    module DataCompare8 high(
                input [3:0] iData_a,
                input [3:0] iData_b,
                input [2:0] iData,
                output reg[2:0] oData
                );
                always @(*)
                     if(iData_a>iData_b)
```

```
if(iC==0)
                    oData=3'b100;
                    else if(iData a<iData b)
                                                    begin
                    oData=3'b001;
                                                    oData=iData a+iData b;
                    else
if(iData_a==iData_b)
                                                    if(oData[8]==1)
                    begin
                                                    oData_C=1;
                    if(iData==3'b100)
                                                    else
                    oData=3'b100;
                                                    oData C=0;
                    else if(iData==3'b010)
                                                    end
                    oData=3'b010;
                    else if(iData==3'b001)
                                                    else
                    oData=3'b001;
                                                if(iC==1&&iData a[7]==0&&iData b[7]==0)
                    else
                                                    begin
                    oData=3'b000;
                                                    oData=iData a+iData b;
                    end
                                                    if(oData[7]==1)
                endmodule
                                                    oData_C=1;
(3)6.5 3 FA 8-3 编码器
                             一位加法器
                                                    else
`timescale 1ns / 1ns
                                                    oData C=0;
module FA(
                                                    end
    input iA,
    input iB,
                                                    else
                                                if(iC==1&&iData_a[7]==1&&iData_b[7]==0)
    input iC,
    output reg oS,
    output reg oC
                                                    if(iData a[6:0]>iData b[6:0])
    );
                                                    begin
    always@(*)
                                                    oData[7:0]=iData_a[6:0]-iData_b[6:0];
    begin
                                                    oData[8]=1;
    oC=(iA\&iB)|(iA\&iC)|(iB\&iC);
                                                    oData C=0;
    if(iC)
                                                    end
    oS=!(iA^iB);
                                                    else if(iData a[6:0]<iData b[6:0])
    else
                                                    begin
    oS=(iA^iB);
                                                    oData[7:0]=iData b[6:0]-iData a[6:0];
    end
                                                    oData[8]=0;
endmodule
                                                    oData_C=0;
(4)6.5 4 Adder 八位加法器
                                                    end
 `timescale 1ns / 1ns
                                                    else if(iData a[6:0]==iData b[6:0])
module Adder(
                                                    begin
    input [7:0] iData_a,
                                                    oData=0;
                                                    oData C=0;
    input [7:0] iData b,
    input iC,
                                                    end
    output reg [8:0] oData,
                                                    end
    output reg oData_C
                                                    else
    );
                                                if(iC==1&&iData_a[7]==0&&iData_b[7]==1)
    always @(*)
```

```
if(iData a[6:0]<iData b[6:0])
                                              initial
                                              begin
     begin
     oData[7:0]=iData b[6:0]-iData a[6:0];
                                              #50
    oData[8]=1;
                                              iData a=4'b1010;
    oData_C=0;
                                              iData_b=4'b0110;
    end
                                              iData=3'b010;
    else if(iData_a[6:0]>iData_b[6:0])
                                              #50
    begin
                                              iData a=4'b0010;
    oData[7:0]=iData_a[6:0]-iData_b[6:0];
                                              iData_b=4'b1110;
    oData[8]=0;
                                              iData=3'b010;
    oData C=0;
                                              #50
    end
                                              iData_a=4'b1010;
    else if(iData a[6:0]==iData b[6:0])
                                              iData b=4'b1110;
    begin
                                              iData=3'b010;
    oData=0;
                                              #50
    oData_C=0;
                                              iData a=4'b1110;
    end
                                              iData b=4'b1010;
    end
                                              iData=3'b010;
    else
                                              #50
if(iC==1\&\&iData \ a[7]==1\&\&iData \ b[7]==1)
                                              iData a=4'b1100;
                                              iData_b=4'b1110;
                                              iData=3'b010;
    oData[7:0]=iData a[6:0]+iData b[6:0];
                                              #50
    oData[8]=1;
                                              iData a=4'b1110;
    if(oData[7]==1)
                                              iData_b=4'b1101;
    oData_C=1;
                                              iData=3'b010;
                                              #50
    else oData C=0;
    end
                                              iData a=4'b1100;
endmodule
                                              iData b=4'b1101;
                                              iData=3'b010;
                                              #50
四、测试模块建模
                                              iData a=4'b1101;
 (要求列写各建模模块的 test
                                   bench
                                              iData b=4'b1100;
模块代码)
                                              iData=3'b010;
                           四位比较器
(1) 6.5 1 DataCompare4
                                              #50
`timescale 1ns / 1ns
                                              iData a=4'b1101;
                                              iData_b=4'b1101;
module DataCompare4 tb();
reg [3:0] iData_a;
                                              iData=3'b100;
reg [3:0] iData b;
                                              #50
reg [2:0] iData;
                                              iData a=4'b1101;
wire [2:0] oData;
                                              iData_b=4'b1101;
DataCompare4
                                              iData=3'b010;
uut(.iData a(iData a),.iData b(iData b),.iDat
                                              #50
```

a(iData),.oData(oData));

begin

```
#50
iData_a=4'b1101;
iData b=4'b1101;
                                               iData a=8'b10110011;
iData=3'b001;
                                               iData b=8'b10111101;
#50
                                               #50
iData a=4'b1101;
                                               iData a=8'b10111011;
iData_b=4'b1101;
                                               iData_b=8'b10110101;
iData=3'b101;
                                               #50
end
                                               iData a=8'b10110011;
                                               iData b=8'b10110101;
endmodule
(2)6.5 2 DataCompare8 八位比较器
                                               #50
`timescale 1ns / 1ns
                                               iData a=8'b10110111;
                                               iData b=8'b10110001;
module DataCompare8 tb();
reg [7:0] iData_a;
                                               #50
reg [7:0] iData b;
                                               iData a=8'b10110111;
wire [2:0] oData;
                                               iData b=8'b10110101;
                                               #50
DataCompare8
uut(.iData_a(iData_a),.iData_b(iData_b),.oDat
                                               iData_a=8'b10110101;
a(oData));
                                               iData b=8'b10110111;
                                               #50
initial
begin
                                               iData a=8'b10110100;
#50
                                               iData b=8'b10110101;
                                               #50
iData_a=8'b10101011;
iData b=8'b01111101;
                                               iData a=8'b10110101;
#50
                                               iData b=8'b10110100;
iData a=8'b00101011;
                                               end
iData_b=8'b11111101;
                                               endmodule
#50
                                               (3)6.5_3 FA 一位加法器
iData a=8'b10101011;
                                               `timescale 1ns / 1ns
iData b=8'b11111101;
                                               module FA tb();
#50
                                               reg a;
iData_a=8'b11101011;
                                               reg b;
iData b=8'b10111101;
                                               reg c;
#50
                                               wire s;
iData a=8'b10101011;
                                               wire out;
iData b=8'b10011101;
                                               FA uut(.iA(a),.iB(b),.iC(c),.oS(s),.oC(out));
#50
                                               initial
iData a=8'b10001011;
                                               begin
iData_b=8'b10111101;
                                               a=0;b=0;c=0;
#50
                                               #10
                                               a=0;b=0;c=1;
iData a=8'b10101011;
iData b=8'b10111101;
                                               #10
#50
                                               a=0;b=1;c=0;
iData_a=8'b10111011;
                                               #10
iData b=8'b10101101;
                                               a=0;b=1;c=1;
```

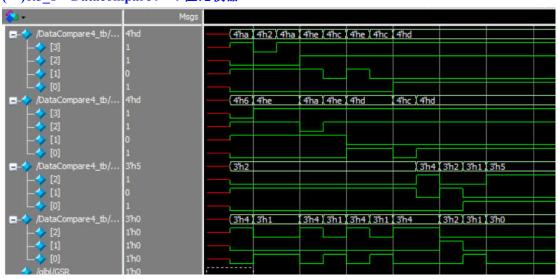
```
#10
                                                iData_b=8'b10001101;
a=1;b=0;c=0;
                                                #50
#10
                                                iC=0;
a=1;b=0;c=1;
                                                iData a=8'b00000001;
#10
                                                iData_b=8'b00000001;
a=1;b=1;c=0;
                                                #50
#10
                                                iC=1;
                                                iData a=8'b00000001;
a=1;b=1;c=1;
end
                                                iData b=8'b00000001;
endmodule
                                                #50
(4)6.5 4 Adder 八位加法器
                                                iC=1;
`timescale 1ns / 1ns
                                                iData a=8'b10000001;
module Adder_tb();
                                                iData b=8'b00000001;
                                                #50
reg iC;
                                                iC=1;
reg [7:0] iData_a;
reg [7:0] iData_b;
                                                iData a=8'b10000001;
wire [8:0] oData;
                                                iData_b=8'b00000011;
wire oData C;
                                                #50 iC=1;
                                                iData a=8'b10000011;
Adder uut(.iC(iC),
                                                iData b=8'b00000001;
.iData_a(iData_a),
                                                #50 iC=1;
.iData_b(iData_b),
                                                iData_a=8'b00000001;
.oData(oData),
                                                iData b=8'b10000011;
.oData_C(oData_C));
                                                #50
initial
                                                iC=1;
begin
                                                iData_a=8'b00000011;
#50
                                                iData_b=8'b10000001;
iC=0;
                                                #50
iData a=8'b00000001;
                                                iC=1;
 iData b=8'b00000001;
                                                iData a=8'b10000011;
 #50
                                                iData_b=8'b10000001;
                                                #50 iC=1;
 iC=0;
 iData_a=8'b11111111;
                                                iData_a=8'b11111111;
 iData b=8'b11111111;
                                                iData b=8'b11111111;
 #50
                                               end
 iC=0;
                                               Endmodule
 iData a=8'b10001001;
```

五、实验结果

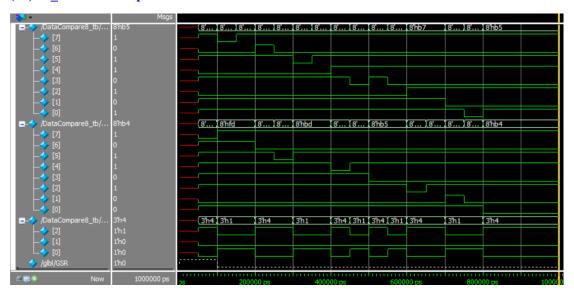
(该部分可截图说明,要求 logisim 逻辑验证图、modelsim 仿真波形图、以及下板后的实验结果贴图(实验步骤中没有下板要求的实验,不需要下板贴图))

Modelsim 仿真波形图

(一)6.5 1 Datacompare4 4位比较器



(二)6.5_2 DataCompare8 八位比较器



(三)6.5_3 FA 一位加法器

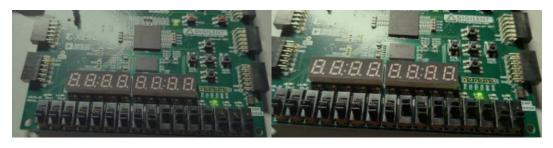


(四)6.5_4 Adder 八位加法器

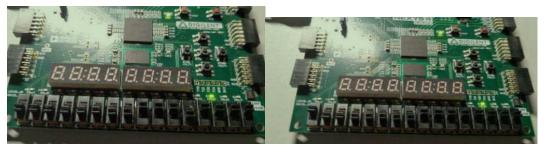
≨ 1 •	Msgs							
/Adder_tb/iC	1'h1							
/Adder_tb/iData_a	8'hff		X X	8'h01	8'h81	X X	X X	8'hff
	8'hff		X	8'h01	X	X X	8'h81	8hff
→ /Adder_tb/oData	9'h1fe	-	X	9'h002	X X	9h102	X	9h1fe
/ /Adder_tb/oData_C / /glbl/GSR	1'h1 1'h0							

下板后贴图

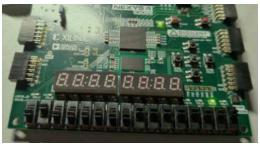
(一)6.5_1 DataCompare4 四位比较器



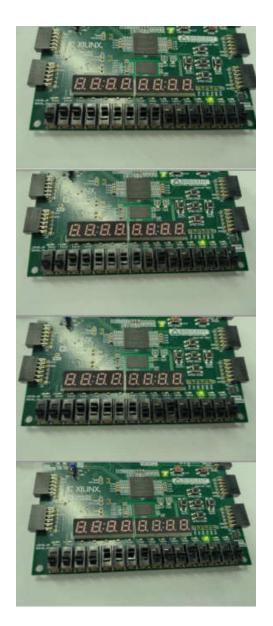




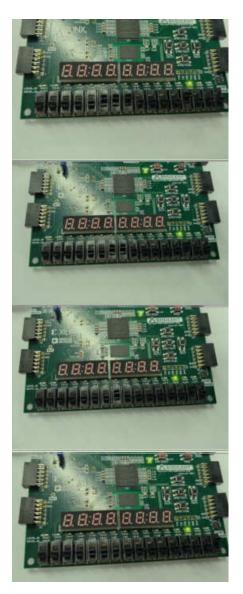


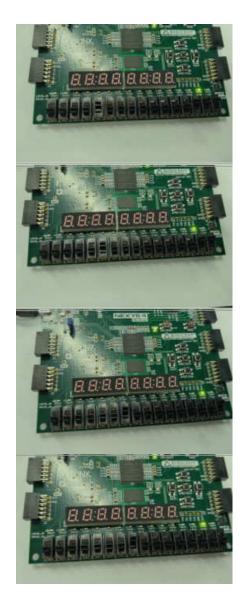


(二)6.5_2 DataCompare8 八位比较器





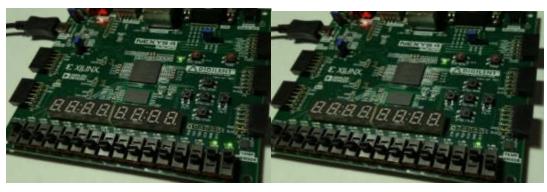


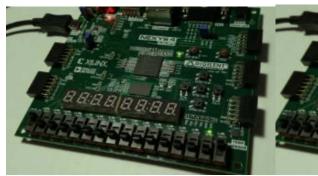


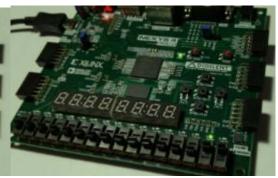




(三)6.5_3 FA 一位加法器













(四)6.5_4 Adder 八位加法器

结果比较多,不一一列出

