

同济大学计算机系

数字逻辑课程实验报告



学 号 1652286

姓 名 李辉

专 业 计算机

授课老师 张冬冬

一、实验内容

在本次实验中，将使用 Verilog HDL 语言实现 D 触发器、JK 触发器以及 PC 寄存器的设计和仿真。

二、硬件逻辑图

（实验步骤中要求用 logisim 画图的实验，在该部分给出 logisim 原理图，否则该部分在实验报告中不用写）

三、模块建模

（该部分要求对实验中建模的所有模块进行功能描述，并列出各模块建模的 verilog 代码）

(1)6.6_1 Synchronous_D_FF 同步复位 D 触发器

```
`timescale 1ns / 1ns
module Synchronous_D_FF(
    input CLK,
    input D,
    input RST_n,
    output reg Q1,//Q
    output reg Q2//Q 非
);
always@(posedge CLK)//上升沿有效
begin
    if(RST_n==0)
    begin
        Q1=0;
        Q2=1;
    end
    else
    begin
        Q1=D;
        Q2=~D;
    end
end
endmodule
```

(2)6.6_2 Asynchronous_D_FF 异步复位 D 触发器

```
`timescale 1ns / 1ns
module Asynchronous_D_FF(
    input CLK,
```

```

input D,
input RST_n,
output reg Q1,
output reg Q2
);
always@(posedge CLK or negedge RST_n)
begin
if(RST_n==0)
begin
Q1=0;
Q2=1;
end
else
begin
Q1=D;
Q2=~D;
end
end
endmodule

```

(3)6.6_3 JK_FF JK 触发器

```

`timescale 1ns / 1ns
module JK_FF(
input CLK,
input J,
input K,
input RST_n,
output reg Q1,
output reg Q2
);
always@(posedge CLK or negedge RST_n)
begin
if(!RST_n)
begin
Q1<=0;
Q2<=1;
end
else
begin
if(J==0&&K==0)
begin
Q1<=Q1;
Q2<=Q2;
end
else if(J==1&&K==1)

```

```

begin
Q1<=Q2;
Q2<=Q1;
end
else
begin
Q1<=J;
Q2<=K;
end
end
end
endmodule

```

(4)6.6_4 pcreg PC 寄存器

```

`timescale 1ns / 1ns
module Asynchronous_D_FF(
    input CLK,
    input D,
    input RST_n,
    output reg Q1,
    output reg Q2
);
always@(posedge CLK or negedge RST_n)
begin
if(RST_n==0)
begin
Q1=0;
Q2=1;
end
else
begin
Q1=D;
Q2=~D;
end
end
endmodule

module pcreg(
    input clk,    //1 位输入，寄存器时钟信号，上升沿时为 PC 寄存器赋值
    input rst,    //1 位输入，异步重置信号，高电平时将 PC 寄存器清零 //注：当 ena 信号
                //无效时，rst 也可以重置寄存器
    input ena,    //1 位输入,有效信号高电平时 PC 寄存器读入 data_in //的值，否则保持原
                //有输出
    input [31:0] data_in, //32 位输入，输入数据将被存入寄存器内部
    output [31:0] data_out //32 位输出，工作时始终输出 PC //寄存器内部存储的值

```

```

    );
    wire Q2;
    genvar i;
    for(i=0;i<32;i=i+1)//允许产生 module 和 primitive 的多个实例化
        Asynchronous_D_FF every(clk&ena,data_in[i],~rst,data_out[i],Q2);
endmodule
endmodule

```

四、测试模块建模

（要求列写各建模模块的 test bench 模块代码）

(1)6.6_1 Synchronous_D_FF 同步复位 D 触发器

```

`timescale 1ns / 1ns
module Synchronous_D_FF_tb;
    reg CLK;
    reg D;
    reg RST_n;
    wire Q1;
    wire Q2;
    Synchronous_D_FF uut(.CLK(CLK),.D(D),.RST_n(RST_n),.Q1(Q1),.Q2(Q2));
    always //产生时钟
    begin
        #10
        CLK=~CLK;
    end

    always //产生波形
    begin
        #20
        D=~D;
    end

    initial
    begin
        CLK=0;
        D=0;
        RST_n=1;
        #95
        RST_n=0;
        #20
        RST_n=1;
    end
endmodule

```

(2)6.6_2 Asynchronous_D_FF 异步复位 D 触发器

```
`timescale 1ns / 1ns
module Asynchronous_D_FF_tb;
reg CLK;
reg D;
reg RST_n;
wire Q1;
wire Q2;
Asynchronous_D_FF uut(.CLK(CLK),.D(D),.RST_n(RST_n),.Q1(Q1),.Q2(Q2));
initial
begin
CLK=0;
D=1;
#75 D=0;
#100 D=1;
end
initial
begin
RST_n=1;
#275 RST_n=0;
#50 RST_n=1;
end

always
#50 CLK=~CLK;
endmodule
```

(3)6.6_3 JK_FF JK 触发器

```
`timescale 1ns / 1ns
module JK_FF_tb;
reg CLK;
reg J;
reg K;
reg RST_n;
wire Q1;
wire Q2;
JK_FF uut(
.CLK(CLK),
.J(J),
.K(K),
.RST_n(RST_n),
.Q1(Q1),
.Q2(Q2)
);
```

```

initial
begin
RST_n=0;
CLK=1;
#10 RST_n=1;
#75 RST_n=0;
#10 RST_n=1;
end
initial
begin
J=0;
#30 J=1;
#100 J=0;
#90 J=1;
end
initial
begin
K=1;
#50 K=0;
#60 K=1;
#60 K=0;
end
always #10 CLK=~CLK;
endmodule

```

(4)6.6_4 pcreg PC 寄存器

```

`timescale 1ns / 1ns
module pcreg_tb;

reg clk;
reg rst;
reg ena;
reg [31:0] data_in;
wire [31:0] data_out;

pcreg pp(clk,rst,ena,data_in,data_out);

always //产生时钟
begin
    #10
    clk=~clk;
end

always //产生波形
begin

```

```

        #15
        data_in=data_in+1;
    end

    initial
    begin
        clk=0;
        data_in=0;
        rst=0;

        ena=1;//高电平读入
        #100
        ena=0;//低电平保持
        #100
        ena=1;
        rst=1;//rst 无论 ena 怎样都清 0
        #10
        ena=0;//rst 无论 ena 怎样都清 0
        #13
        ena=1;
        rst=0;//下一个时钟复原
    end
end
endmodule

```

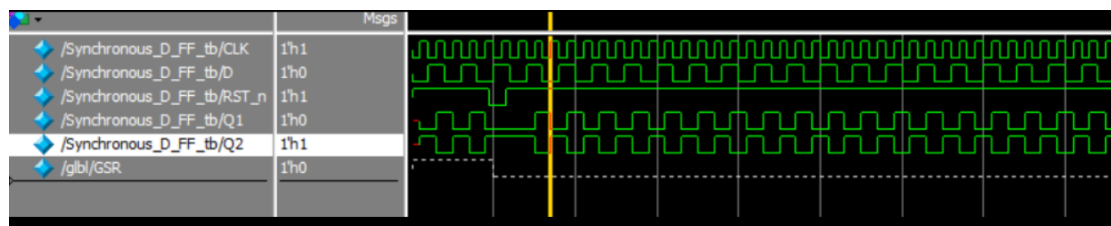
五、实验结果

（该部分可截图说明，要求 logisim 逻辑验证图、modelsim 仿真波形图、以及下板后的实验结果贴图（实验步骤中没有下板要求的实验，不需要下板贴图））

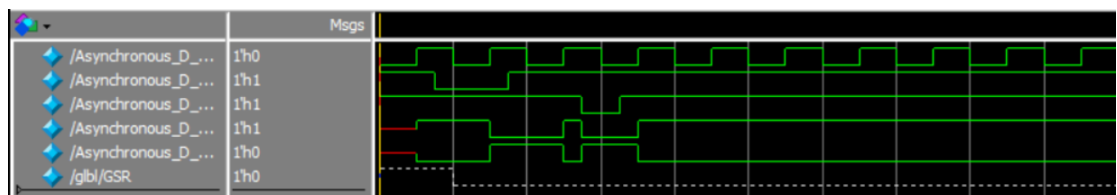
logisim 逻辑验证图

Modelsim 仿真波形图

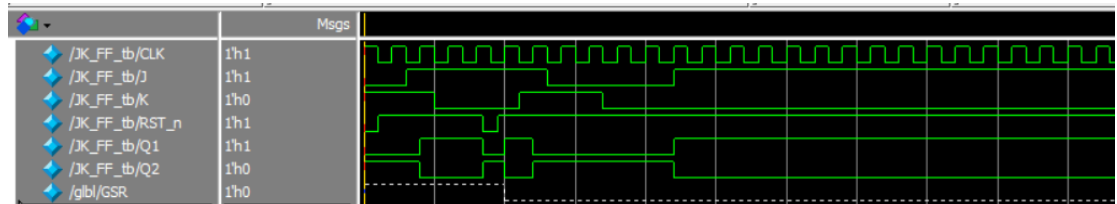
(1)6.6_1 Synchronous_D_FF 同步复位 D 触发器



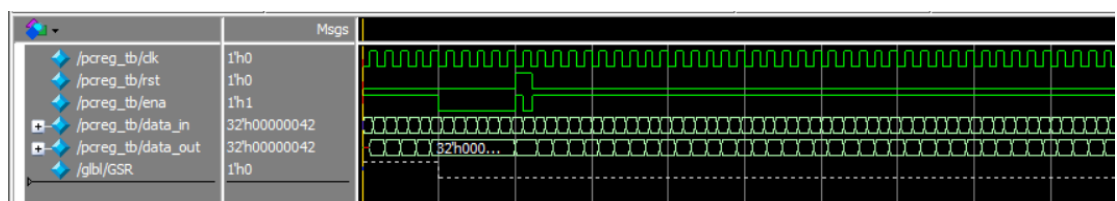
(2)6.6_2 Asynchronous_D_FF 异步复位 D 触发器



(3)6.6_3 JK_FF JK 触发器



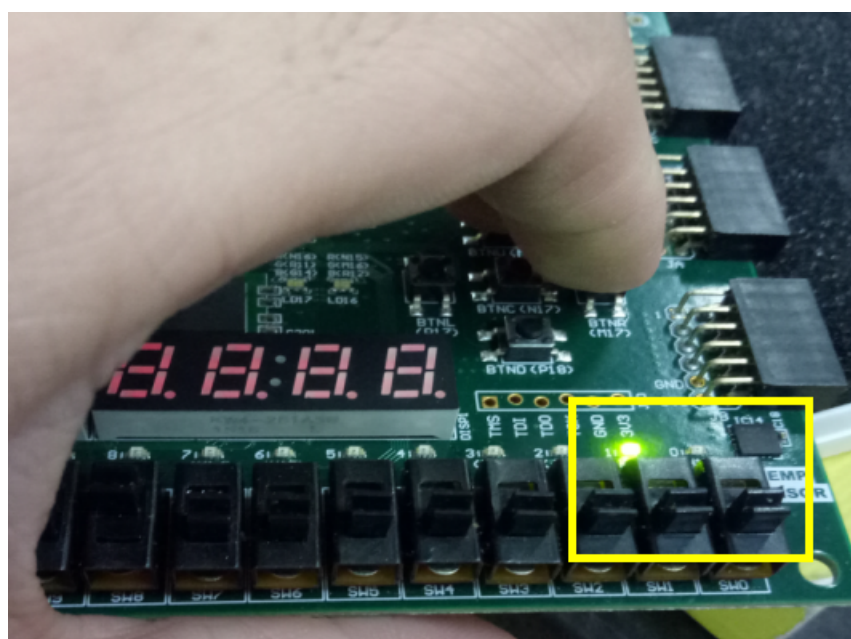
(4)6.6_4 pcreg PC 寄存器

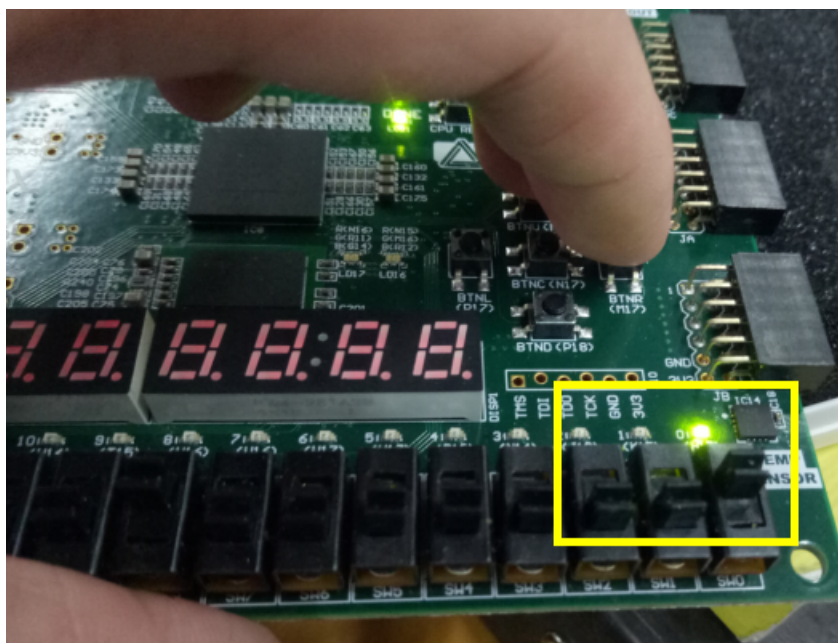


下板后贴图

(1)6.6_1 Synchronous_D_FF 同步复位 D 触发器

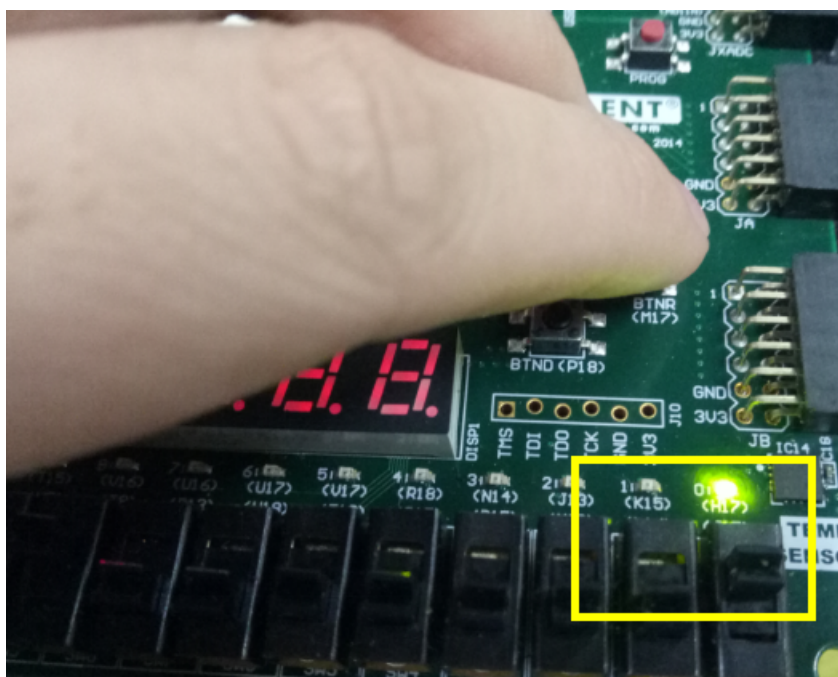
注：RST_n 为低电平有效时，Q1 等到时钟上升沿变 0；等 RST_n 无效时，等到了下一个时钟才恢复正常。

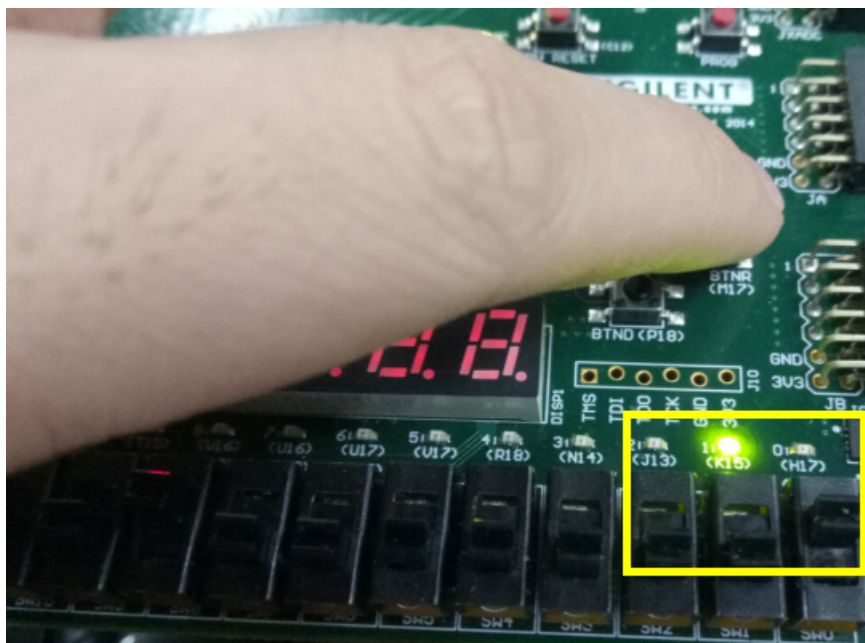




(2)6.6_2 Asynchronous_D_FF 异步复位 D 触发器

注：RST_n 为低电平有效时，Q1 立刻变 0；等 RST_n 无效时，等到了下一个时钟才恢复正常。

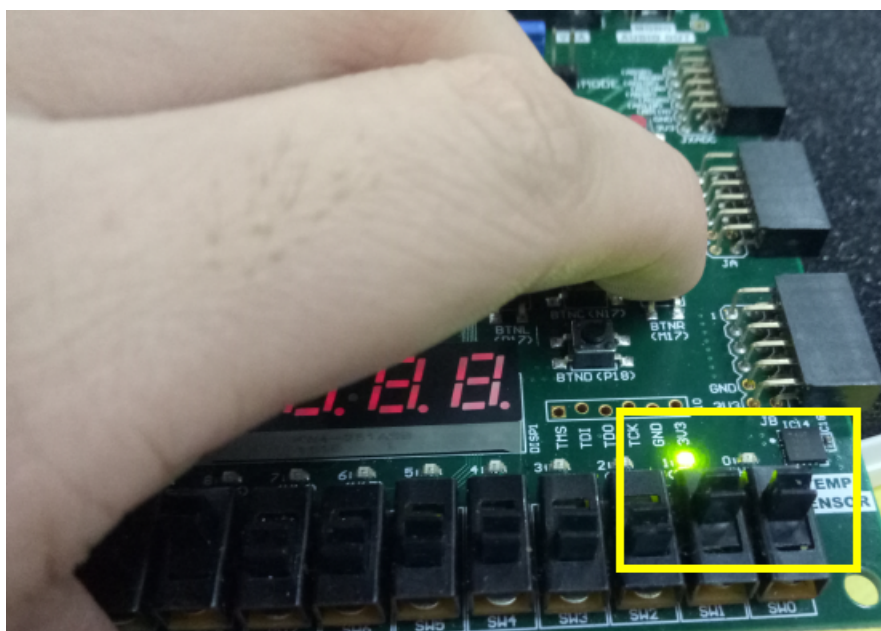


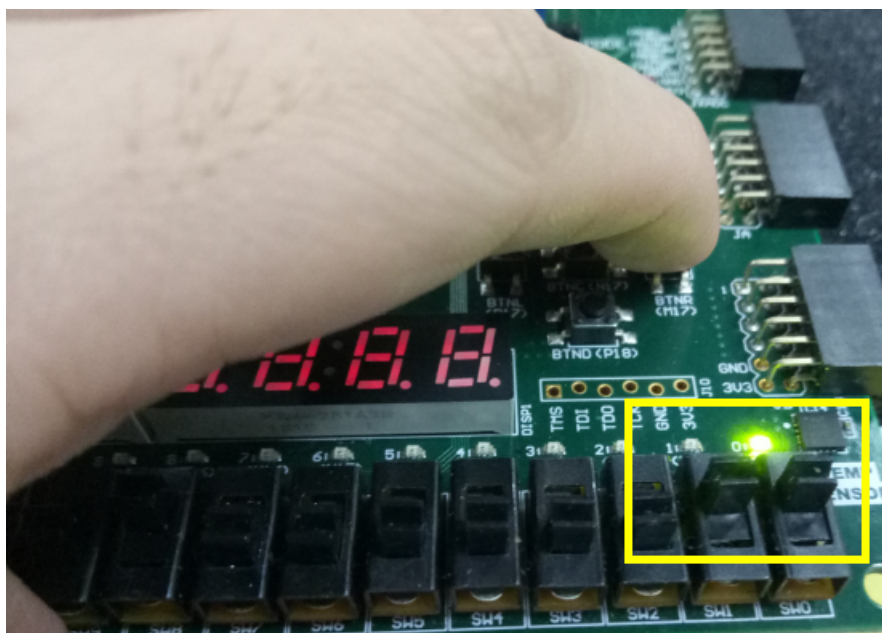


(松掉 M18 H17 立即灭掉)

(3)6.6_3 JK_FF JK 触发器

注：RST_n 为低电平有效时，Q1 立刻变 0；等 RST_n 无效时，等到了下一个时钟才恢复正常。





(4)6.6_4 pcreg PC 寄存器

注：rst 为高电平有效时,不管 ena 是什么，Q1 立刻变 0；等 rst 无效时，等到了下一个时钟才恢复正常。ena 为低电平是保持，一直为 32'h00000006。