

实验三 利用MSI设计组合逻辑电路

实验报告

15331304 王治鋆

一、实验目的：

1. 熟悉编码器、译码器、数据选择器等组合逻辑功能模块的功能与使用方法。
2. 掌握用 MSI 设计的组合逻辑电路的方法。

二、实验仪器及器件

1. 数字电路实验箱、数字万用表、示波器。
2. 器件：74LS00,74LS197,74LS138, 74LS151。

三、实验预习

1. 仔细阅读实验原理，有疑问处做好记号，查阅相关资料。
2. 列真值表推导设计出实验内容中电路的实现。

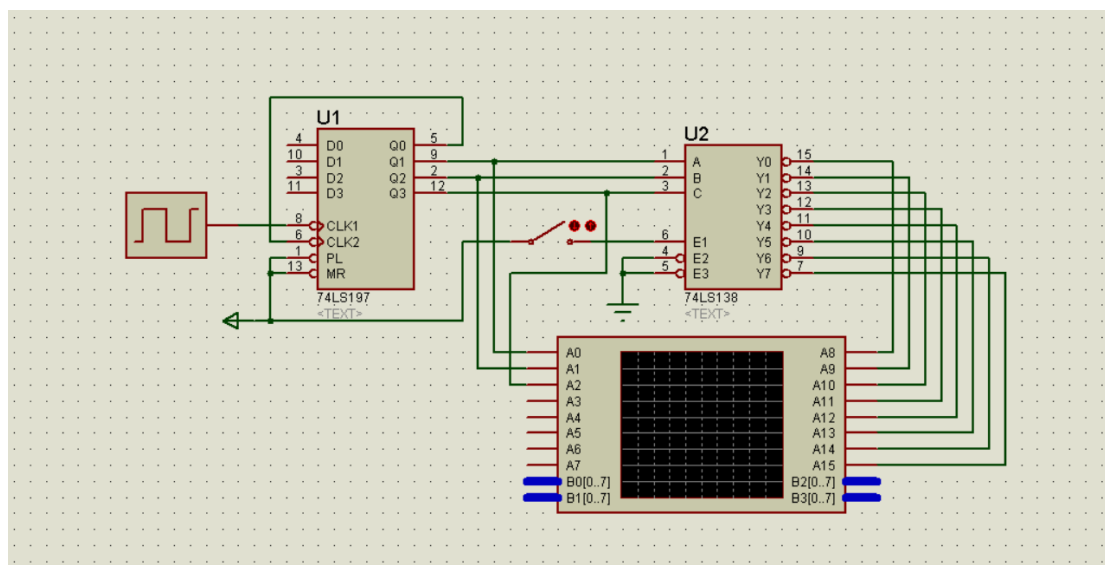
四、实验原理

中规模的器件，如译码器、数据选择器等，它们本身是为实现某种逻辑功能而设计的，但由于它们的一些特点，我们也可以利用它们来实现任意逻辑函数

五、实验内容

1. 数据分配器与数据选择器功能相反。它是将一路信号送到地址选择信号指定的输出。输入为 D，地址信号为 A、B、C，可将 D 按地址分配到八路输出 F0、F1、F2、F3、F4、F5、F6、F7。其真值表如表（四）所示。试用 3 线-8 线译码器 74LS138 实现该电路。将 74LS197 连接成八进制作为电路的输入信号源，将 Q3Q2Q1 分别与 A、B、C 连接，D 接模拟开关，静态检测正确后，用示波器观察并记录 D=1 时，CP、A、B、C 及 F0~F7 的波形。

逻辑电路图：



2. LU(Logic Unit, 逻辑单元)设计，在实验箱上实现。

用八选一数据选择器 151 设计一个函数发生器电路，它的功能如表（五）所示。待静态测试检查电路正常工作后，进行动态测试。将 74LS197 连接成 16 进制作为电路的输入信号源，用示波器观察并记录 CP、S1、S0、A、B、Y 的波形。

画出真值表：

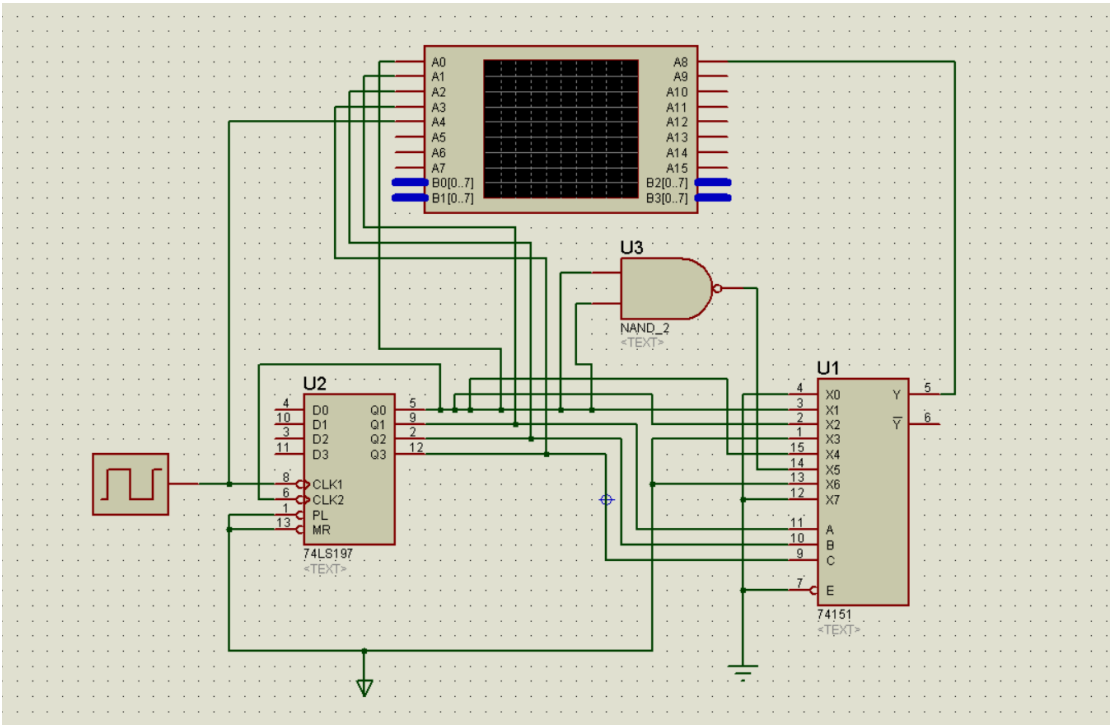
S1 (S2)	S0(S1)	A(S0)	B	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

做出卡诺图

化简可得：

D0 = 0, D1 = B, D2 = B, D3 = 1, D4 = B, D5 = 非 B, D6 = 1, D7 = 0;

做出仿真逻辑电路图：



3. AU(Arithmetic Unit，算术单元)设计，在实验箱上实现。

设计一个半加半减器，输入为 S、A、B。其中 S 为功能选择口。当 S=0 时，输出 A+B 及进位；当 S=1 时。输出 A-B 及借位。

画出真值表：

S	A	B	Sum	进/借位 Cn
0	0	0	0	0
0	1	0	1	0
0	0	1	1	0
0	1	1	0	1
1	0	0	0	0
1	1	0	1	0
1	0	1	1	1
1	1	1	0	0

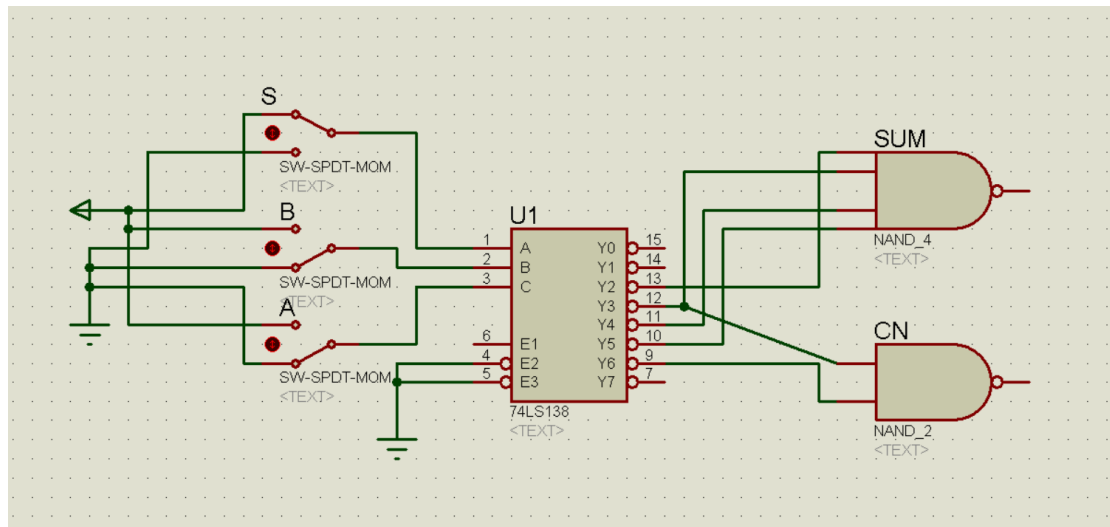
做出卡诺图

化简可得

$$\begin{aligned} \text{Sum} &= A \oplus B \\ &= \bar{A} B S + \bar{A} B \bar{S} + A \bar{B} S + A \bar{B} \bar{S} \end{aligned}$$

$$C_n = \bar{A} B S + \bar{A} B \bar{S}$$

逻辑电路图：

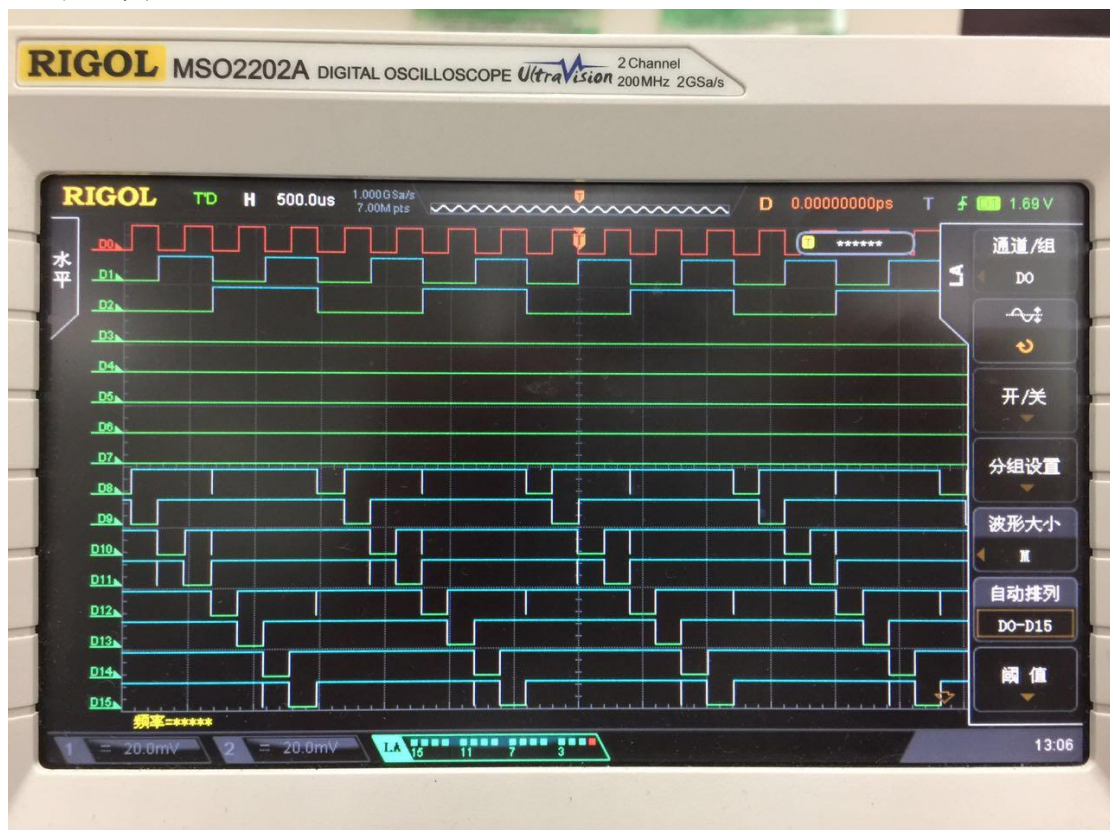


心得总结：

这次的实验并不难，但是都没有能一次就得到正确的波形。很大一部分原因，是因为忽略了静态检查的重要性。根据静态检查和真值表的对应，是很方便能够发现接线错误的。

附录：

1. 验证图：



2. LU(Logic Unit, 逻辑单元)设计, 验证图:

