14/02/24, 21:36 OneNote

Capitolo 2.4

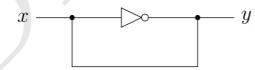
domenica 24 dicembre 2023 13:22

Home

CIRCUITI SEQUENZIALI

Sono dei circuiti che si ripetono e che hanno degli step.

Ad esempio eccone uno.



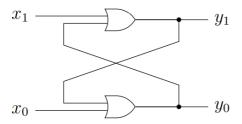
Questo circuito ha un problema.

L'output non sarà uguale all'input e quindi si creerà un paradosso che manderà il circuito in corto

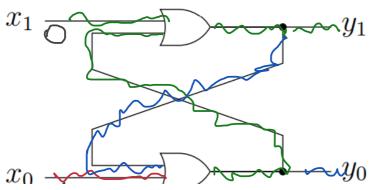
Quando l'output è uguale all'input lo chiamiamo elemento bistabile tipo così:



Cosa succede se abbiamo un circuito con porte or?



Cosa accadrà nel seguente circuito?



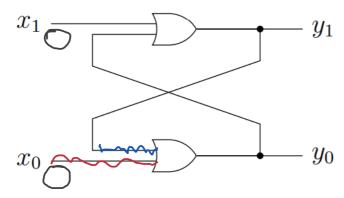
Situazione 1,0.

Iniziamo dalla corrente che scorre di colore rosso.

Dovrà fare un confronto con una cosa che al momento non c'è. Però noi sappiamo che 1 or qualsiasi cosa fa 1.

Quindi l'output sarà 1, lo diamo in pasto al confronto x1 con il colore verde e ci sarà 1 or 0 che fa 1, ora il verde passerà sotto con il blu Quindi avremo tutti e due gli output ora che abbiamo fatto il confronto giusto.

Il problema avviene quando abbiamo una situazione 0 0, perché?



Perché non possiamo presuppore un output. Il filo rosso và, ma abbiamo 0 0 or qualcosa quanto fa? Può fare sia 0 che 1. Quindi dipenderà dalla y precedente, che sarà rimasta nel filo di colore blu, successivamente quindi, in output avremo y0 precedente e y1 precedente

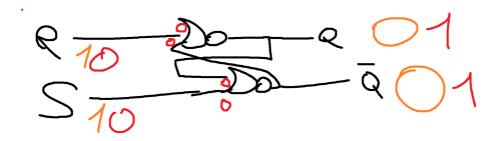
SR-LATCH

L'sr latch è un blocco sequenziale che ti permette di settare o resettare l'output, Ad esempio se abbiamo s=1 e r=0 avremo q=1 Not Q=0 14/02/24, 21:36 OneNote

Se abbiamo s e r che sono 0 terremo conto degli output precedenti

E se abbiamo 0 1 q sarà resettato quindi 0

Se sono entrambi 1 ci sarà un paradosso perché 11 fa 0 0 e se poi mettiamo subito dopo 0 0 ci saranno i precedenti che sono 0 0 quindi ci sarà in output 1 1 ma è diverso dallo 0 0 che avevamo, quindi non abbiamo i prec.



D-LATCH

Come si risolve? Aggiungendo una cosa che fa tipo da muro, il clock.

Se il CLK è 1 i dati passeranno(trasparente), se è 0 i dati non passeranno(opaco) così eviti dei paradossi inoltre aggiungiamo il nostro input di set senza mettere il reset.

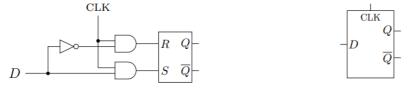


Figura 2: Schema e simbolo di un D-Latch

D-latch

Come funziona?

Se hai clock 1 e D 1 allora Q sarà 1 e not Q sarà 0

Se hai clock 1 e D 0 allora Q=0 e not Q=1

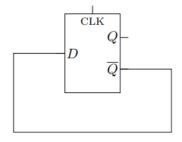
Se hai clock 0 e D 1 allora dipenderà dal qprec.

14/02/24, 21:36 OneNote

Se hai clock 0 e D 0 allora dipenderà dal qprec.

CHE PARADOSSO HA?

Che se facciamo un circuito così



e abbiamo clk=1 Q in teoria con clk=1 è uguale a D Ma D è anche uguale a not Q, come fa q a essere uguale a Not Q? Paradosso.

PER RISOLVERE FACCIAMO 2 d-latch E così si avrà il D-FLIP-FLOP

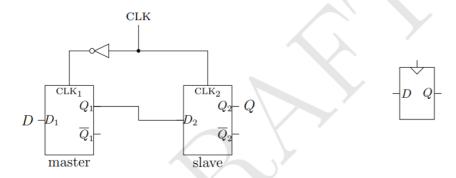


Figura 3: Schema e simbolo di un D-FlipFlop

Il D-flip flop funziona così

Se CLK è 0 il master prende il dato e slave stampa q prec che ha ricevuto.

Se CLK è 1 il master smette di prendere dati e stampa lui ora il suo q prec e lo slave si prende l'ultimo dato del master che ha preso.