

Departamento de Computação
Curso de Graduação em Engenharia da Computação
Laboratório de Arquitetura e Organização de Computadores II
Profa. Poliana Aparecida Corrêa de Oliveira (poliana@cefetmg.br)

Prática II – Valor: 30 Pontos

Data de Entrega: 22/09/2023

Objetivo: Esta prática tem a finalidade de exercitar os conceitos relacionados à implementação de um processador multiciclo.

- 1- Leiam as páginas 1, 2, 3, 4 e 5 do arquivo “Prática 2 - Instruções da Parte A (inglês)”.
- 2- Leiam as páginas 1, 2 e 3 do arquivo “Prática 2 - Instruções da Parte B (inglês)”.

- 1) Cada dupla deve implementar o processador multiciclo descrito nos arquivos indicados acima. Isso significa que a versão inicial do processador deve executar as seguintes instruções: ~~MV~~, ~~MVI~~, ~~ADD~~, ~~SUB~~, LD, ST e MVNZ, a partir da leitura de instruções armazenadas na memória principal e seguindo o esquemático mostrado na Figura 7. Siga as orientações descritas nos arquivos e acrescente no relatório todas as decisões de projeto necessárias para o funcionamento do processador na versão completa (item 2).

- 2) Além das instruções indicadas no item 1, o processador na versão completa deve suportar também as seguintes operações:

Operações	Função Realizada
or Rx, Ry	$Rx \leftarrow [Rx] \text{ II } [Ry]$
slt Rx, Ry	$\text{If } (Rx < Ry) [Rx] = 1$ $\text{else } [Rx] = 0$
sll Rx, Ry	$Rx = [Rx] << [Ry]$
srl Rx, Ry	$Rx = [Rx] >> [Ry]$

- 3) Use os códigos de testes a seguir para validar o funcionamento do seu processador multiciclo.
- Inicialize todos os registradores com valor “0” (zero)
 - Inicialize a memória principal na posição 3 com o valor 4 (MEM[3] = 4)

	Instrução	R0	R1	R2	R3
●	MVI R0, #2	2	0	0	0
●	MVI R1, #3	2	3	0	0
●	ADD R1, R0	2	5	0	0
●	MVI R2, #6	2	5	6	0
●	SUB R2, R1	2	5	1	0
●	MV R3, R2	2	5	1	1
●	OR R0, R3	3	5	1	1
●	SLL R0, R3	6	5	1	1
●	SRL R0, R3	3	5	1	1
●	SLT R0, R1	1	5	1	1
●	SLT R0, R3	0	5	1	1
●	MVI R3, #3	0	5	1	3
●	ADD R0, R3	3	5	1	3
●	LD R2, R3	3	5	4	3
●	ADD R2, R3	3	5	7	3
	ST R2, R0	3	5	7	3
●	LD R0, R0	7	5	7	3
●	SUB R0, R3	4	5	7	3
●	MVI R0, #0	0	5	7	3
●	ADD R0, R0	0	5	7	3
●	MVNZ R0, R2	0	5	7	3
●	SUB R3, R0	0	5	7	3
●	MVNZ R2, R3	0	3	7	3
●	ADD R2, R3	0	6	7	3

LOOP:

Instrução
MVI R2, #1
MVI R4, #10
MV R5, R7
SUB R4, R2
MVNZ R7, R5

Submissão

Crie um pacote contendo o *workspace* do projeto juntamente TODOS os arquivos de código-fonte e o relatório do projeto. Cada dupla deverá submeter um pacote no Moodle. O nome do arquivo deve ser: *pratica2_nomealuno1_nomealuno2.zip*

O relatório deverá incluir os seguintes componentes:

1. O **projeto** do seu sistema incluindo todas as **decisões** tomadas para implementação e **detalhes** necessários para criação dos módulos necessários para o funcionamento da versão completa do processador multiciclo.
2. As imagens de formas de onda com uma explicação que demonstre o correto funcionamento de **TODAS** as instruções. É importante que seja mostrado **todos os estágios** do caminho de dados. Não é obrigatório simular todo o código de testes, apenas uma instrução de cada tipo é suficiente.

Apresentação em sala

A dupla deverá apresentar o funcionamento na placa FPGA DE-2 Altera de **TODAS** as instruções, para as sequências de código testes, mostrando no display de 7 segmentos o resultado das instruções e outras informações que julgarem necessárias para o entendimento do funcionamento do processador e memória (endereços, dados dos registradores etc.)

Avaliação

- Qualidade, clareza e organização do código-fonte (20% - 6 pontos)
- Simulações com explicações no relatório (35% - 10,5 pontos)
- Apresentação na placa (35% - 10,5 pontos)
- Relatório (10% - 3 pontos): Qualidade do texto, organização e descrição do projeto