

## 组成原理复习题（往年真题 1 套）

### 一、选择题：

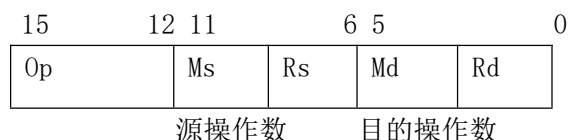
- 1、在机器数（ ）中，零的表示形式是唯一的且全为零。  
A. 原码 B. 补码 C. 反码 D. 移码
- 2、冯·诺依曼机工作方式的基本特点是（ ）。  
A. 多指令流单数据流 B. 按地址访问并顺序执行指令 C. 堆栈操作 D. 存储器按内容选择地址
- 3、某计算机字长 32 位，其存储容量是 1MB，若按字编址，它的寻址范围是（ ）。  
A. 0—1M B. 0—512KB C. 0—256K D. 0—256KB
- 4、下面说法正确的是（ ）。  
A. 微程序控制方式比硬连线控制方式的指令执行速度快 B. 微指令由若干条机器指令组成  
C. 直接表示法比编码表示法的微指令字长短 D. 微程序控制器可以采用 EPROM 实现
- 5、在下面描述的 RISC 指令系统基本概念中不正确的表述是（ ）。  
A. 选取使用频率低的复杂指令 B. 指令长度固定  
C. 指令格式种类少 D. 只有取数/存数指令访问存储器
- 6、某机器采用四体交叉存储器，执行一段小循环程序，此程序存放在存储器的连续地址单元中。假设每条指令的执行时间相同，而且不需要用到存储器存取数据，在下面两种情况下（执行指令数相等），程序运行时间之比为（ ）。  
(1) 循环程序由 6 条指令组成，重复执行 80 次；  
(2) 循环程序由 8 条指令组成，重复执行 60 次。  
A. 4: 3 B. 1: 2 C. 2: 1 D. 3: 4
- 7、在 Cache 和主存构成的两级存储体系中，Cache 的存取时间是 100ns，主存的存取时间是 1000ns，如果希望有效（平均）存取时间不超过 Cache 存取时间的 15%，则 Cache 的命中率至少应为（ ）。  
A. 90% B. 98% C. 95% D. 99%
- 8、在主存和 CPU 之间增加 cache 存储器的目的是（ ）。  
A. 增加内存容量 B. 解决 CPU 与内存之间的速度匹配问题  
C. 提高内存的可靠性 D. 增加内存容量，同时加快存取速度
- 9、常用的虚拟存储器由\_\_\_\_\_两级存储器组成，其中辅存是大容量的磁表面存储器。  
A. 主存—辅存 B. 快存—主存 C. 快存—辅存 D. 通用寄存器—主存
- 10、假定用若干个  $2k \times 4$  位的芯片组成一个  $8k \times 8$  位的存储器，则地址 0B1FH 所在芯片的最小地址是（ ）。  
A. 0000H B. 0600H C. 0700H D. 0800H

### 二、简答题：

- 1、什么是刷新周期，刷新分为哪些方式？SRAM 需要刷新吗？
- 2、什么是指令周期、机器周期和时钟周期？三者有何关系？
- 3、已知  $X = 0.1001$ ， $Y = -0.1011$ ，用变形补码计算  $X - Y$ ，并判断是否溢出？（要求：首先给出补码减法公式，接着按照公式推导，给出计算过程，并说明是否溢出理由。）

### 三、计算题：

- 1、已知  $x = 0.10011101$ ， $y = 0.1110$ ，用不恢复余数阵列除法器求  $x / y = ?$
- 2、某计算机字长为 16 位，主存地址空间大小为 128KB，按字编址。采用单字长指令格式，指令各字段定义如下：



转移指令采用相对寻址方式，相对偏移是用补码表示，寻址方式定义如下：

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数= (Rn)
001B	寄存器间接	(Rn)	操作数= ((Rn))
010B	寄存器间接、自增	(Rn) +	操作数= ((Rn)), (Rn) + 1 → Rn
011B	相对	D (Rn)	转移目标地址= (PC) + (Rn)

注：(X) 表示有存储地址 X 或寄存器 X 的内容，请回答下列问题：

1) 该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器 (MAR) 和数据寄存器 (MDR) 至少各需多少位？

2) 转移指令的目标地址范围是多少？

3) 若操作码 0010B 表示加法操作 (助记符为 add)，寄存器 R4 和 R5 的编号分别为 100B 和 101B，R4 的内容为 1234H，R5 的内容为 5678H，地址 1234H 中的内容为 5678H，5678H 中的内容为 1234H，则汇编语言为 add (R4), (R5) + (逗号前原操作数, 逗号后为目的操作数) 对应的机器码是什么 (用十六进制表示)？该指令执行后，哪些寄存器和存储单元的内容会改变？改变后的内容是什么？

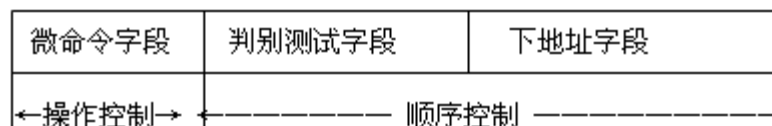
3、某模型机的存储系统总容量是  $64K \times 16$  位。主存地址空间按字编址：0—8191 是系统程序区，由 ROM 芯片组成；8192—32767 是用户程序区；最大的 2K 字是系统程序工作区。可选芯片包括： $8K \times 16$  位的 ROM； $2K \times 16$  位， $4K \times 16$  位， $8K \times 16$  位等三种型号的 SRAM。请画出 CPU 与存储器连接图 (包括访存控制信用 MREQ 号，读写控制信号 R/W，片选信号 CS，74138 译码器等)。并回答如下问题：

1) 该模型机的数据寄存器应该有多少位？

2) 该模型机的地址寄存器应该有多少位？

3) 说明如何选片？并写出每片存储芯片的地址范围。

4、已知某机采用微程序控制方式，其控制存储器容量为  $512 \times 48$  (位)，微程序可在整个控制存储器中实现转移，可控制微程序转移条件共 4 个，微指令采用水平型格式，后继微指令地址采用断定方式，如图所示：



1) 微指令中的三个字段分别应多少位？

2) 画出对应这种微指令格式的微程序控制器逻辑框图。

参考解答：

一、

1-5、 B B C D A

6-10、 A D B A D

二、略。参见教材。

三、

1、商  $Q = q_0.q_1q_2q_3q_4 = 0.1011$

余数  $R = 0.00000011$

2、略。参见课件。

3、

1) 16 位

2) 16 位

3) 略。参见课件。

4、

1) 假设判别测试字段中每一位作为一个判别标志，那么由于有 4 个转移条件，故判别测试条件字段为**4 位**。因为控存的容量为  $512=2^9$  单元，下地址字段为**9 位**。微命令字段则是  $(48-4-9)=35$  位。

2) 略。参见教材或者课件。