

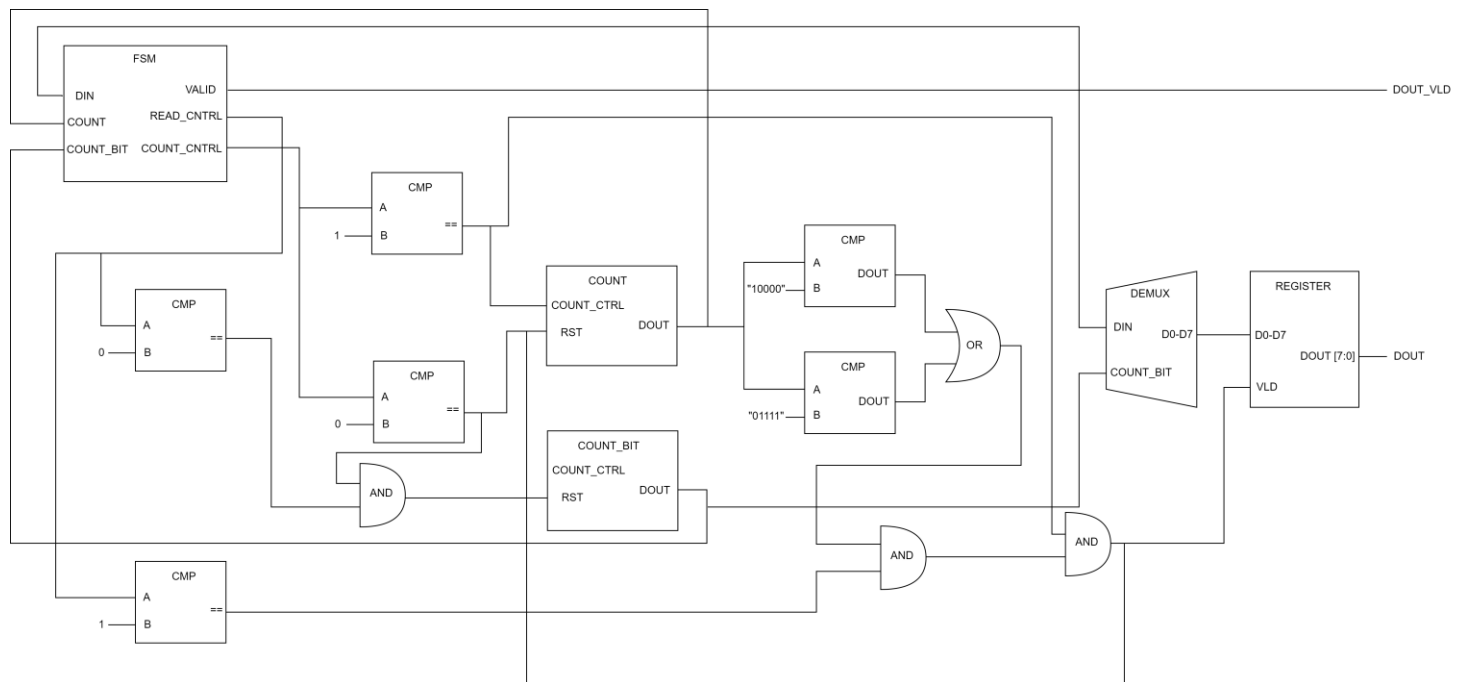
Výstupní zpráva

Jméno: Lilit Movsesian

Login: xmovse00

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu

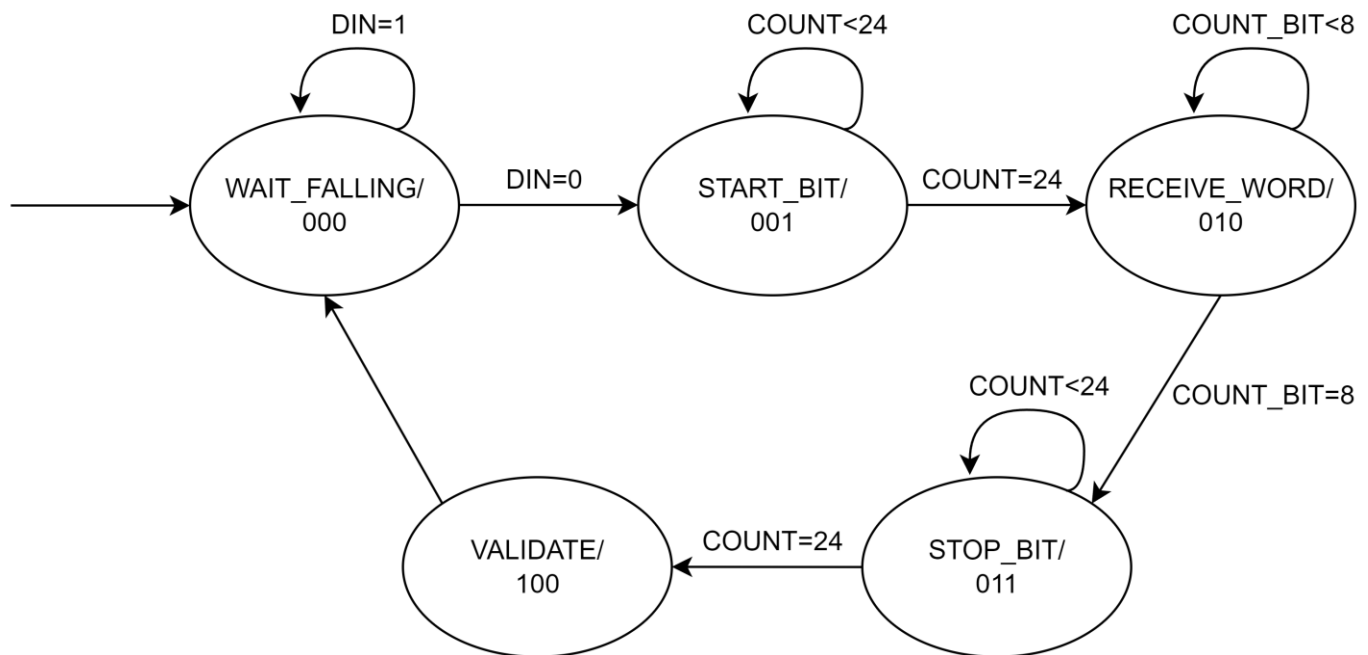


Popis funkce obvodu

Obvod je řízen pomocí FSM automatu, který je definován v samostatné entitě `uart_rx_fsm` a slouží k vysílání kontrolních signálů v závislosti na stavu, ve kterém se nachází. Process `main_proc`, uložený v entitě `uart_rx` je zodpovědný za přenos dat ze vstupního signálu (DIN) do výstupního 8-bitového vektoru DOUT, pozice pro ukládání je určena pomocí bitového počítadla COUNT_BIT. Do DOUT_VLD je uložen výstupní signál, indikující, že výstupní data jsou platná. K uložení počtu hodinových signálů a počtu přečtených bitů jsou použity počítadla COUNT a COUNT_BIT. Pro resetování a inkrementaci počítadel jsou použity komparátory, porovnávající hodnoty kontrolních signálů z FSM s '0' nebo '1'.

Návrh automatu (Finite State Machine)

Schéma automatu



Popis funkce automatu

FSM má 5 stavů (WAIT_FALLING, START_BIT, RECEIVE_WORD, STOP_BIT a VALIDATE) a proces state_case je zodpovědný za přechod mezi těmito stavy na základě vstupních dat DIN, COUNT, COUNT_BIT a aktuálního stavu. Výstupní signály (READ_CNTRL, COUNT_CNTRL a VALID) jsou používány main_proc k řízení přenosu dat ze vstupního do výstupního signálu.

Pokud je signál RST nastaven na '1', automat je ve stavu WAIT_FALLING. V tomto stavu automat čeká na signál DIN = '0' pro přechod do stavu START_BIT. Ve stavu START_BIT automat začíná odečítat hodinové signály dokud nenarazí na střed prvního datového bitu (COUNT = '24'). V tomto případě automat přechází do stavu RECEIVE_WORD, data jsou přenesená z DIN do DOUT a zvyšuje se počítadlo bitu. V okamžiku, kdy COUNT_BIT = '8' automat přechází do stavu STOP_BIT. Automat odečítá 24 hodinových signálů a přechází do stavu VALIDATE. V tomto stavu automat schvaluje data pomocí signálu VALID a přepíná se na výchozí stav.

Snímek obrazovky ze simulací

