

## 4.2 半导体存储原理及芯片

双极型 { TTL型  
ECL型 } 速度很快、功耗大、容量小

MOS型 { 电路结构 { P-MOS  
N-MOS } 功耗小、容量大  
(静态MOS除外)  
CMOS(PN两者互补组成)  
工作方式 { 静态MOS  
动态MOS }

## ※相关术语

**TTL**(Transistor-Transistor Logic), 晶体管-晶体管逻辑

输出 L:  $<0.8V$  ; H:  $>2.4V$ 。

输入 L:  $<1.2V$  ; H:  $>2.0V$

**ECL**(Emitter Couple Logic), 射极耦合逻辑

**MOS**(Metal-Oxide Semiconductor), 金属氧化物半导体,  
即场效应管)

**CMOS**(Complementary Metal-Oxide Semiconductor), 即  
互补对称金属氧化物半导体

输出 L:  $<0.1 \times V_{cc}$  ; H:  $>0.9 \times V_{cc}$

输入 L:  $<0.3 \times V_{cc}$  ; H:  $>0.7 \times V_{cc}$

# ※静态-动态存储器的特点

## (1) 静态存储器(Static RAM)

主要包括：双极型、静态MOS型。

依靠双稳态电路内部交叉反馈机制存储信息。

功耗较大, 速度快, 常用作Cache。

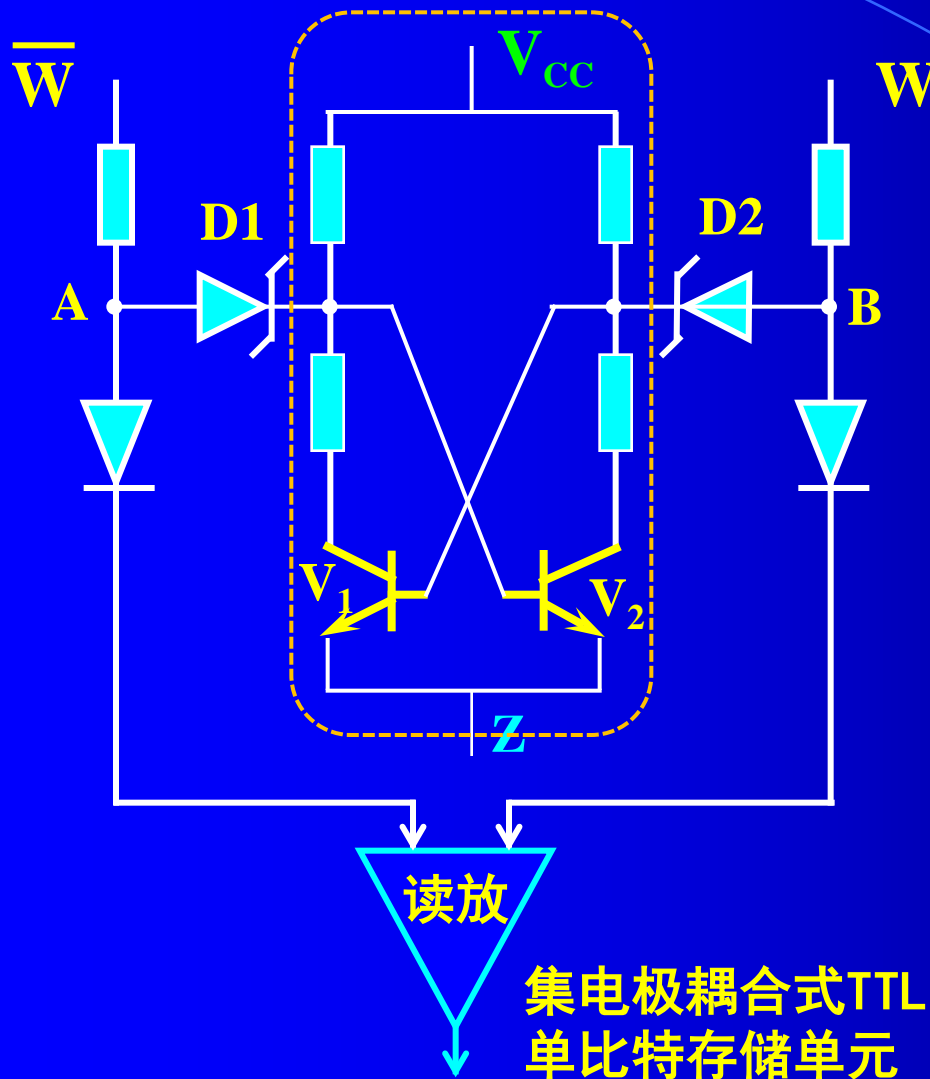
## (2) 动态存储器(Dynamic RAM)

主要包括：动态MOS型等；

依靠电容存储电荷的原理存储信息。

功耗较小, 容量大, 速度较快, 常用作主存。

## 4.2.1 双极型存储单元与芯片



$V_1$  导通,  $V_2$  截止 — 0

$V_1$  截止,  $V_2$  导通 — 1

选中: Z线 0.3V(负脉冲)

(1) 写入数据

0: 左低、右高

1: 左高、右低

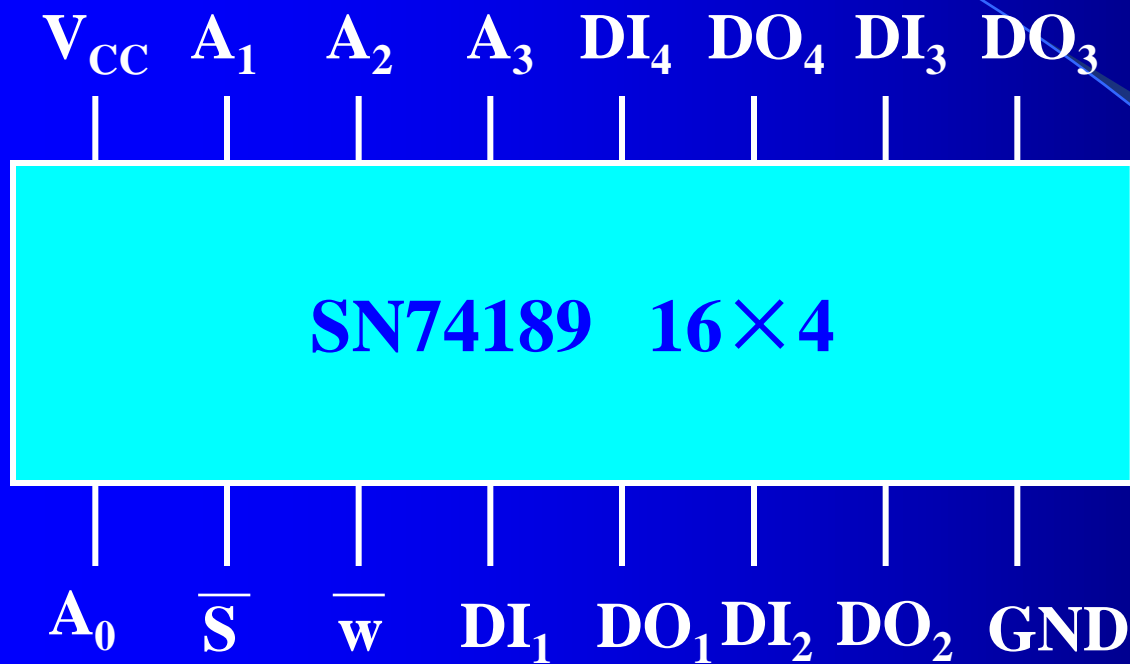
(2) 数据保持(Z加高电平)

(3) 读出数据(Z加低电平)

左低、右高 → 0

左高、右低 → 1

# TTL型存储芯片举例



SN74189芯片引脚图

$V_{CC}$ : 电源

$A_{0\sim3}$ : 地址

$DI_{1\sim4}$ : 数据输入

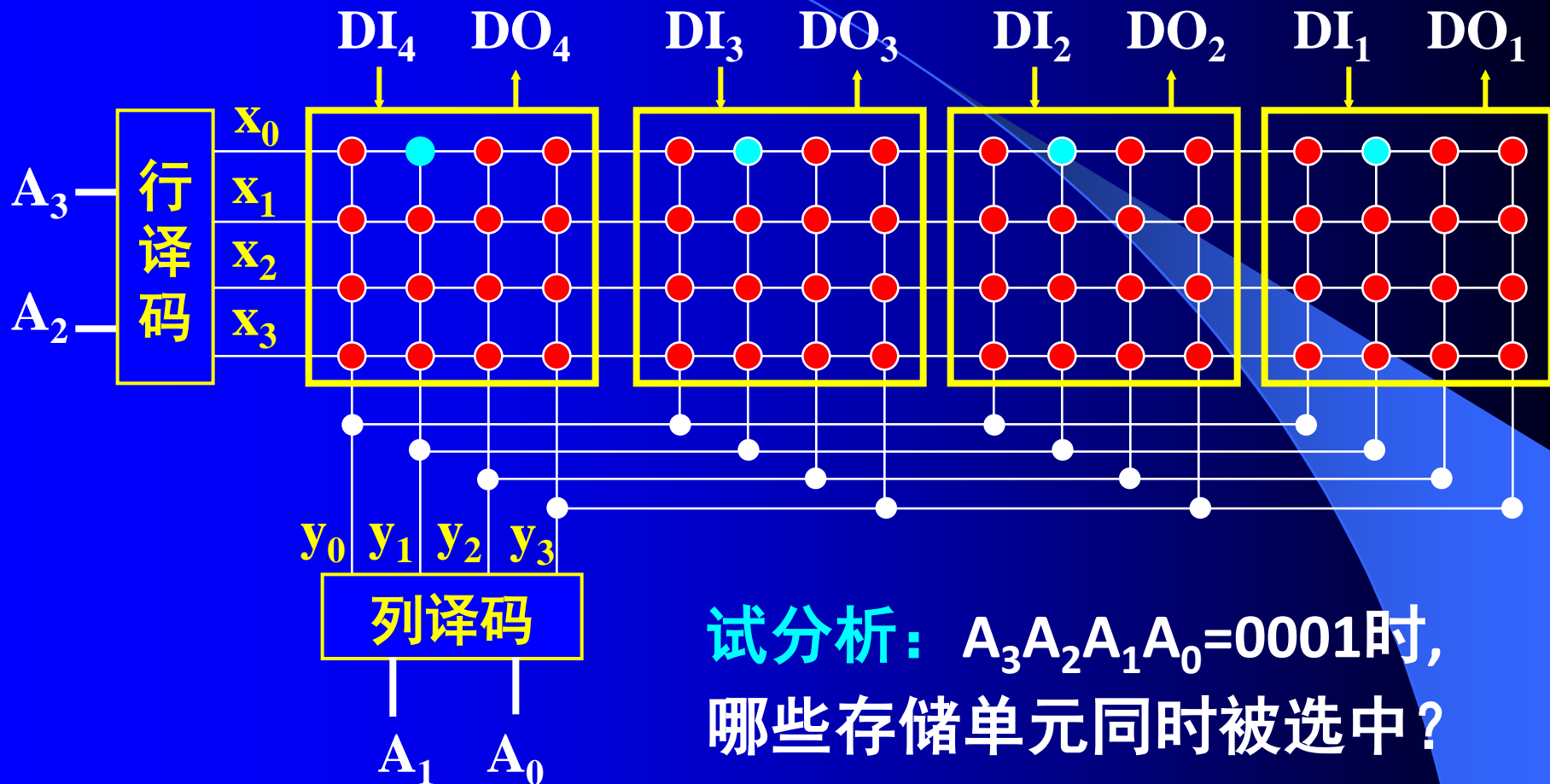
$DO_{1\sim4}$ : 数据输出

GND: 接地线

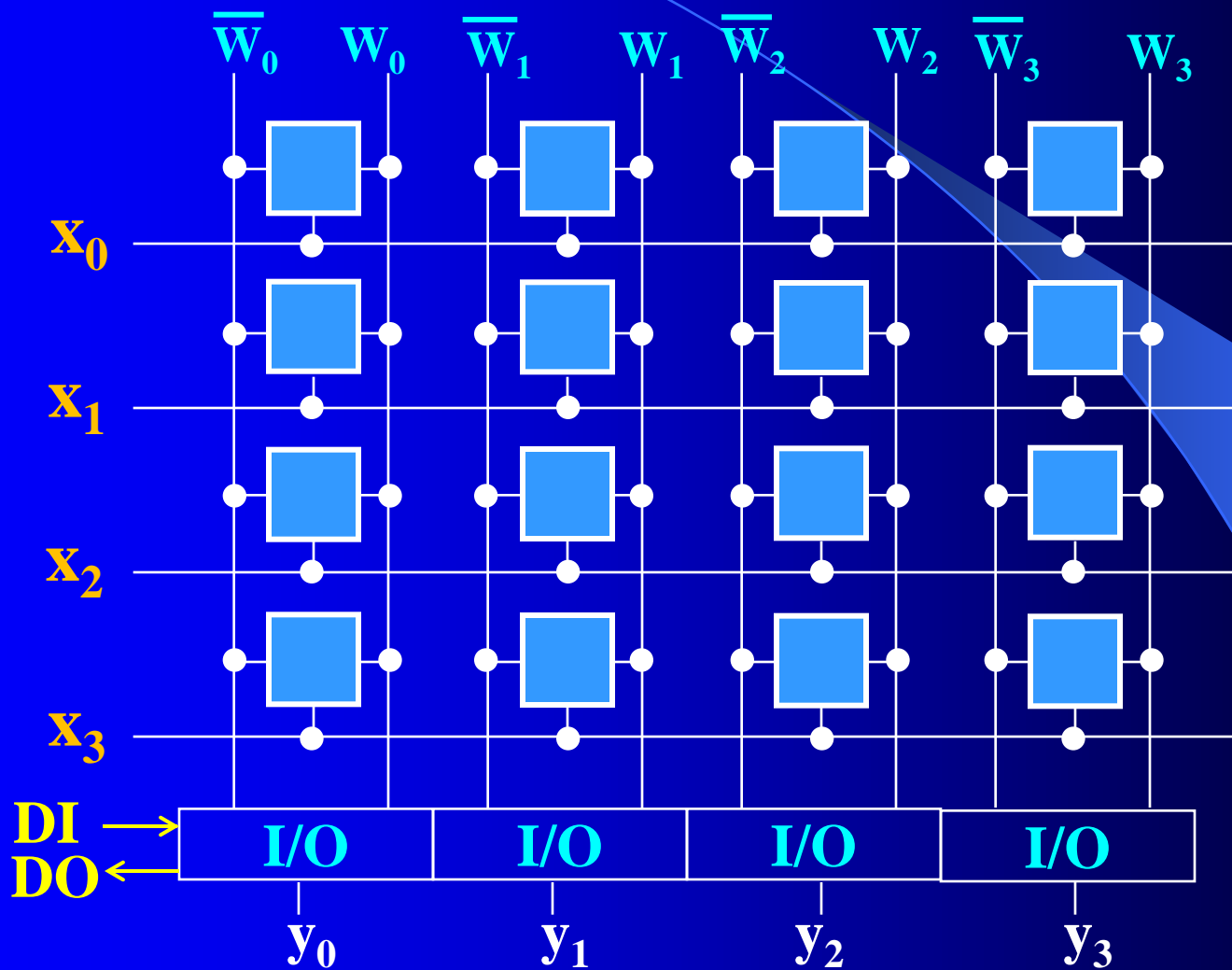
$\overline{S}$ : 片选信号

$\overline{W}$ : 读\写信号

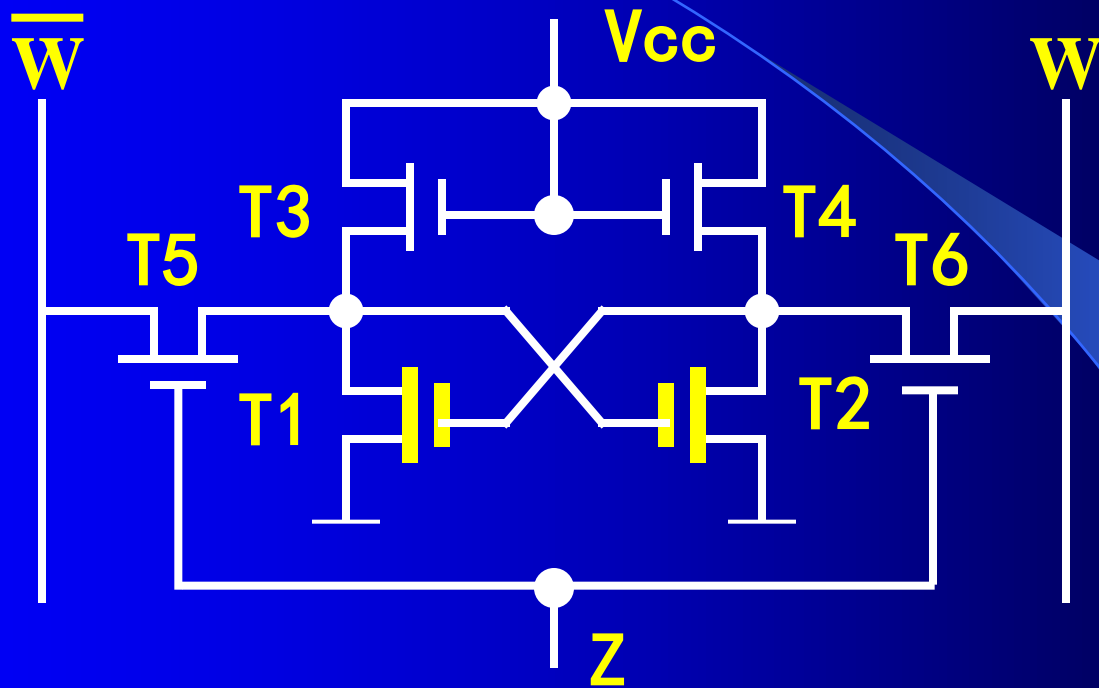
# 内部四个位平面的行列译码结构



# 位平面内部的行列译码结构



## 4.2.2 静态MOS存储单元与芯片



# N沟道-MOS六管(场效应管)静态存储单元



# 1. 六管单元存储电路

## (1) 组成

T1、T3: MOS反相器

T2、T4: MOS反相器

触发器

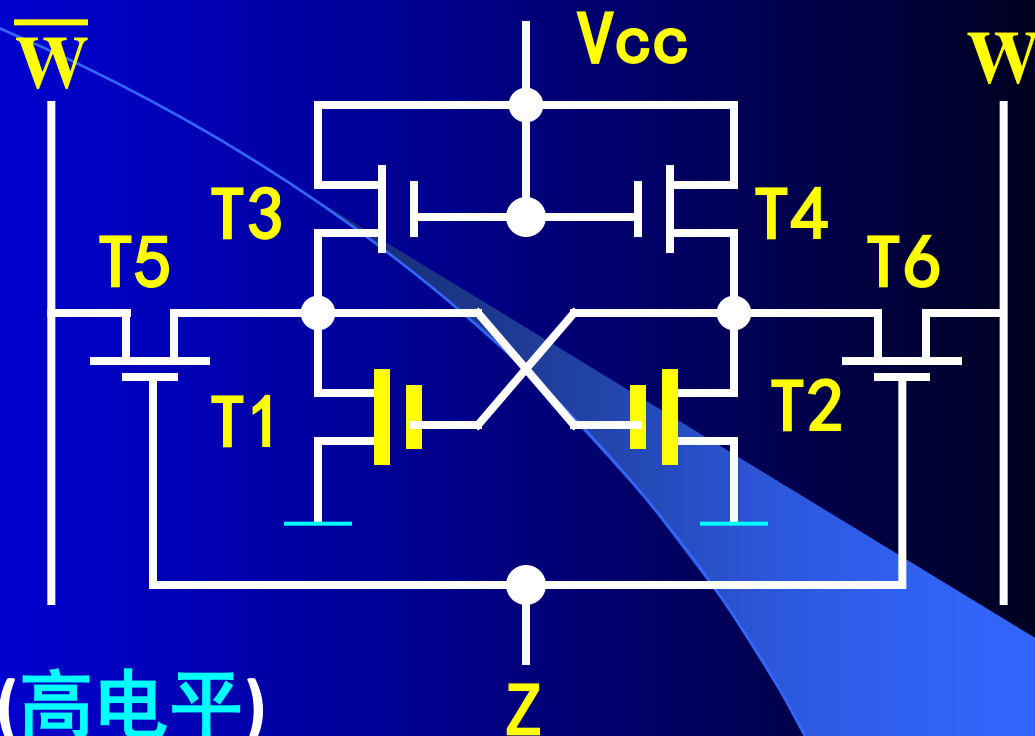
T5、T6: 控制门管

Z: 字线, 选择存储单元(高电平)

$\overline{W}$ 、W: 位线, 完成读/写操作

## (2) 定义

T1导通, T2截止—0; T1截止, T2导通—1

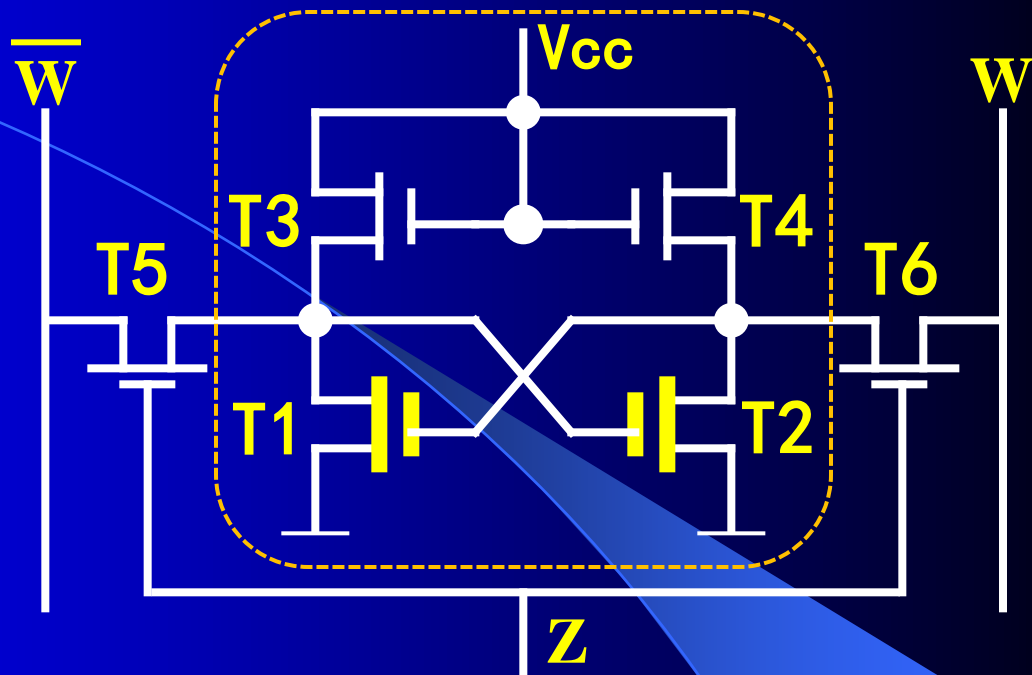


### (3) 工作

**Z: 加高电平, T5、T6 导通, 选中该单元。**

**写入：在 $\bar{W}/W$ 上分别加高/低电平，写1/0。**

读出：充电后根据 $\bar{W}/W$ 上有/无电流，读出0/1.



T1导通, T2截止—0; T1截止, T2导通—1

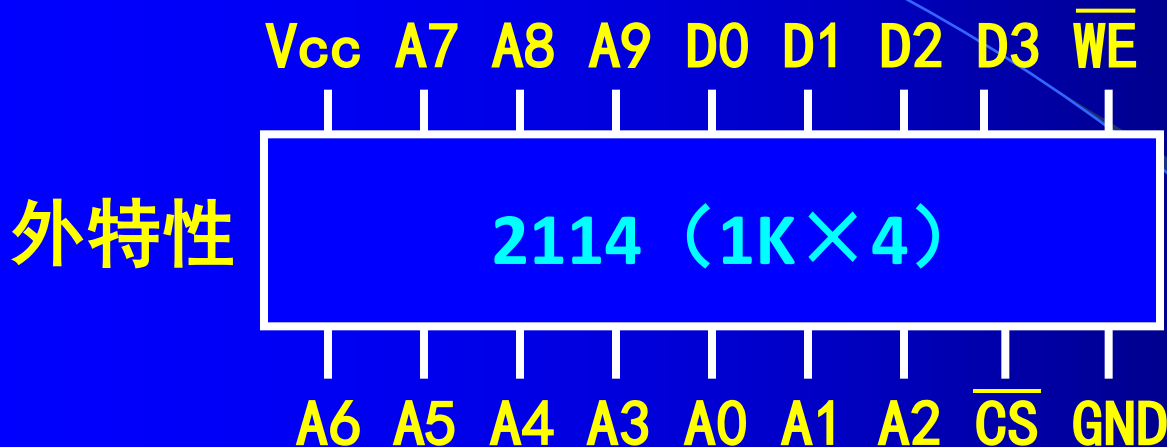
## (4) 数据保持

**Z:** 加低电平, **T5/T6截止**, 该单元未选中, 保持原状态  
只要电源正常, 保证向导通管提供电流, 便能维持**一管导通、另一管截止**的状态不变, 故称**静态存储单元**。

**静态单元是非破坏性读出，读出后不需重写。**

## 2. 存储芯片举例

[例] SRAM芯片 Intel 2114 (1K×4位)

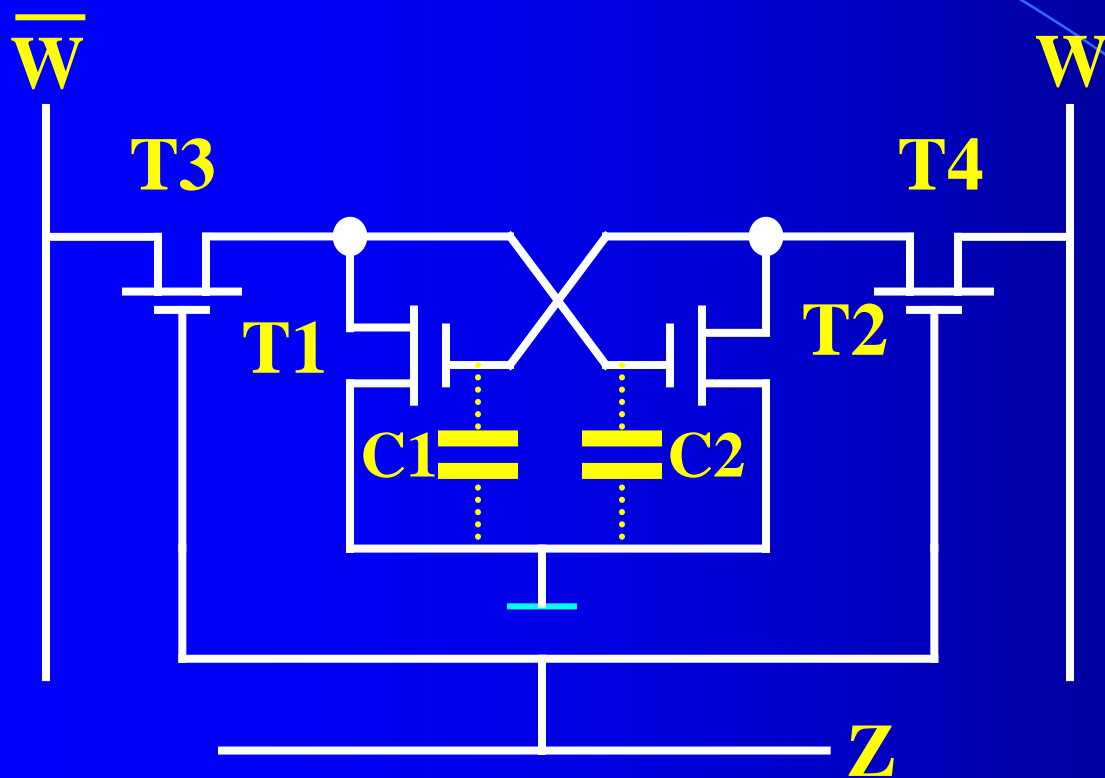


地址: A9~A0; 数据: D3~D0 (双向输入/输出)

控制端:  $\begin{cases} \text{片选 } \overline{CS} \begin{cases} = 0 & \text{选中芯片} \\ = 1 & \text{未选中芯片} \end{cases} \\ \text{写使能 } \overline{WE} \begin{cases} = 0 & \text{写} \\ = 1 & \text{读} \end{cases} \end{cases}$

$V_{CC}$ : 电源, GND: 接地

## 4.2.3 动态MOS存储单元与芯片



动态MOS四管存储单元

### 1. 四管单元电路

#### (1) 结构

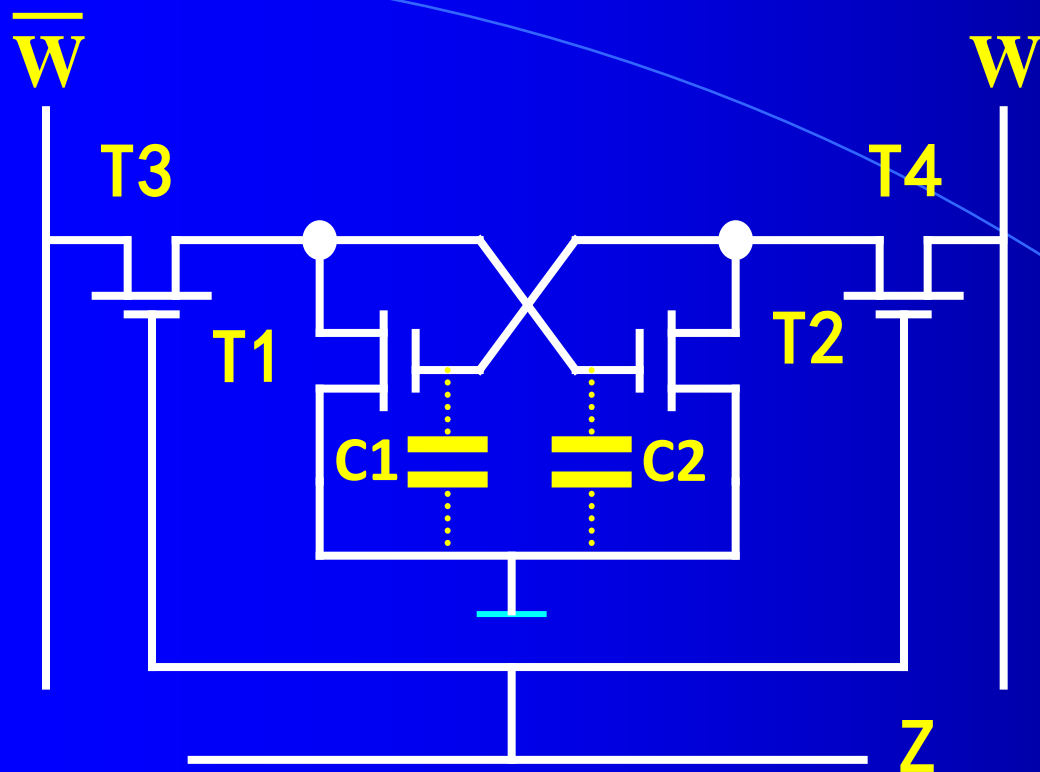
$T1$ 、 $T2$ : 记忆管

$C1$ 、 $C2$ : 栅极电容

$T3$ 、 $T4$ : 控制门管

$Z$ : 字线

$\overline{W}$ 、 $W$ : 位线



## (2) 定义

0: T1导通, T2截止  
(C1带电荷, C2无电荷)

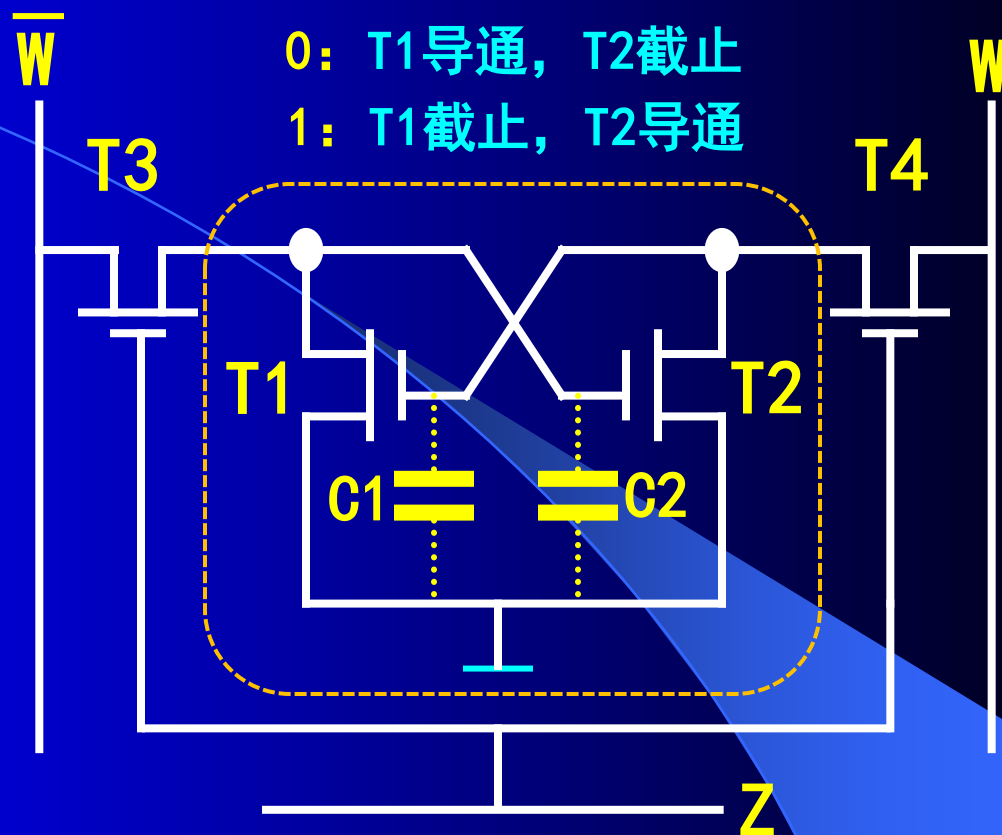
1: T1截止, T2导通  
(C1无电荷, C2带电荷)

## (3) 工作

Z: 加高电平, T3、T4导通, 选中该单元。

**写入：** 在 $\bar{W}/W$ 上分别加高/低电平，写入1/0。

**读出：**  $\bar{W}/W$ 先预充电至高电平，断开充电回路， $Z$ 再加高电平，再根据 $\bar{W}/W$ 上有/无电流，读出0/1。



#### (4) 数据保持

$Z$ ：加低电平， $T3/T4$ 截止，该单元未选中，保持原状态。

需定期向电容补充电荷（**动态刷新**），故称**动态存储器**

四管单元**是非破坏性读出**，读出过程即可实现刷新。

## 2. 单管单元电路

### (1) 组成

C: 存储单元

T: 控制门管

Z: 字线

W: 位线

### (2) 定义

0: C无电荷, 电平 (低)

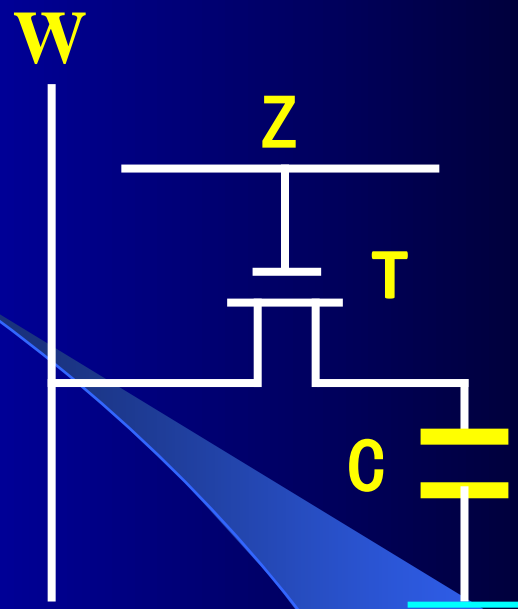
1: C有电荷, 电平 (高)

### (3) 写入

Z加高电平, 使T导通, 在W上加高/低电平, 写1/0

### (4) 保持

Z加低电平, 使T截止, 该单元未选中, 保持原状态。



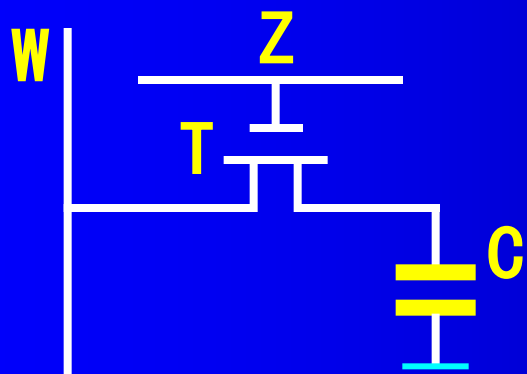
## (5) 读出数据

**W**预充至高电平后，断开充电回路，

**Z**加高电平，使**T**导通

根据**W**线电位是/否降低，判断读到数据 0/1

※单管单元是破坏性读出，读出后需重写。



0: C无电荷，电平（低）

1: C有电荷，电平（高）



### 3. 存储芯片举例

[例] DRAM芯片2164  
(64K×1位)



数据端：  $\text{Di}$  (输入),  $\text{Do}$  (输出)

地址端：  $\text{A}_7 \sim \text{A}_0$  (分时复用, 可提供16位地址)

控制端： 写使能信号 ( $\overline{\text{WE}}$ ) : 0-写入; 1-读出;

行选  $\overline{\text{RAS}}=0$  时:  $\text{A}_7 \sim \text{A}_0$  为行地址 (即高8位)

列选  $\overline{\text{CAS}}=0$  时:  $\text{A}_7 \sim \text{A}_0$  为列地址 (即低8位)

动态刷新: 行选信号送达, 即可实现自动刷新;

## 4.3.4 RAM和ROM存储器介绍

### 1、静态RAM

依靠存储单元中的交叉反馈电路形成互锁，通过电源对电路的持续供电以存储信息。

#### ❖SB SRAM

同步突发静态随机访问存储器

常作为Cache (高速缓存)

**存储特点：** 能向CPU提供两种按突发地址访问存储器的方式。

(交替突发和线性突发)

## ❖MP SRAM

多端口静态随机访问存储器

**存储特点：**提供多个读地址端口、写地址端口、数据I/O端口。

## ❖FIFO SRAM

先进先出的静态随机访问存储器

**存储特点：**支持以不同速率访问存储器，数据先进先出、后进后出。

（常用在接口电路，作为数据缓冲器）

## 2、动态RAM

依靠存储单元中形成的栅级电容来保存信息，不需要持续电源，因此需要定期逐行刷新。

### ❖EDO DRAM

扩展数据输出动态随机访问存储器

**存储特点：**行列地址译码后定位到存储单元，能整体锁定一列数据，保持该列在输出缓冲区中的数据开放，直到列改变或读周期切换。

可避免重复的同列寻址和数据读操作，速度快。

# ❖SDRAM

## 同步动态随机访问存储器

**存储特点：**采用DRAM存储结构，但半导体工艺和工作机制有改进。

※同步时序，时钟上升沿触发。

※具备对芯片的**行、列单元**整体锁定功能。

※内部存储器采用了支持并行操作的分组结构，可交替与外部交互数据。

**10多年前作为计算机主存，现在已基本弃用。**

## ❖ DDR SDRAM

在SDRAM基础上，逐步发展起来的双倍数据率、同步动态、随机访问存储器。

**存储特点：** DRAM存储结构，同步时序，在时钟信号的**上升和下降沿**各触发 1 次存储读写操作。

※提供数据预读（bits）：



## ❖ GDDR SDRAM

专用于显存的DDR存储器

“天河2号”的协处理配置GDDR5局存储器（8GB）

# 介绍几种主要的ROM类型：

## 1、MROM

即掩模型的只读存储器；

### 基本原理：

根据存储信息的二进制代码，设计相应的光刻掩模  
(1-有元件、0-无元件)

**特点：**存储的信息固定不变，不可改写

**应用：**字符点阵存储器、微程序存储器等。

## 2、PROM

即可编程型的只读存储器

**基本原理：**

芯片出厂时其存储的内容为**全0**，用户可通过专用的写入器将信息自行写入；

**结破坏型或者熔丝型；**

**芯片特点：**

写入操作是**不可逆的**，用户只能写入**1次**，无法再次重写数据；

**应用场合：** 可编程逻辑阵列(**PLA**)等。



### 3、EPROM

即擦除型可编程的只读存储器

**基本原理：**

※写入器在25v下写入数据，在5v下读数据；

※通过紫外线照射擦除数据；

**芯片的特点：**

※工作环境下存储芯片为只读模式；

※可擦写次数有限，通常几十次；

※需专用擦写器，只能芯片级擦除；

## 4、EEPROM

即电擦除型可编程只读存储器

### 基本原理：

※采用了更方便的高电压擦除数据的方式，可只对特定存储单元加高压形成电子隧道擦除其数据，其它单元数据保持不变；

※通常采用金属-氮-氧化硅的集成工艺；

### 芯片的特点：

※工作环境下存储芯片为只读模式；

※比EPROM更方便；

※需要专用擦写器，可实现比特级擦除；

## 5、FLASH

即闪存, 是一种快速擦写型的ROM

### 基本原理:

※沿用了EPROM的简单结构和浮栅/热电子注入写入方式, 可**芯片级**擦除;

※兼备EEPROM的**比特级电擦除**特性;

### 芯片的特点:

※掉电时信息不丢失, 功耗低、存储密度高;

※**芯片级+比特级**数据擦除方式, 读写速度很快;

※可在计算机内实现擦写, **不需专用擦写器**;

**典型应用:** U盘、SSD固态硬盘等。